

步进电机自动升降频控制

姚吉文

摘 要 本文介绍了一种采用直接数字合成 DDS(Direct Digit Synthesis) 原理进行步进电机升降频自动控制的方法。在整个升降频过程中,不需 CPU 的介入,输出脉冲的频率可按所要求的曲线变化,并且可以按 1Hz 增量变化,尤其适用于步进电机的微步驱动的控制。

关键词 直接数字合成 电机速度控制 自动升降频

1 引言

受矩频特性的限制,步进电机的起动频率与最高运行频率之间相差甚大。为了充分发挥电机的快速性能,在开环控制系统中,先使电机在低于或等于起动频率的速度下起动,然后逐步增加脉冲频率直至希望的最大速度,所选择的变化速率要保证电机不会发生失步。另一方面,为了保证定位质量,在停止以前必须使电机从最高转速逐步减小到能够停止的速度(制动频率)。因此,步进电机带负载移动一定距离并精确定位,一般说来都应包括“起动—加速—高速运行—减速—停止”的阶段。典型的加减速曲线如图 1 所示。

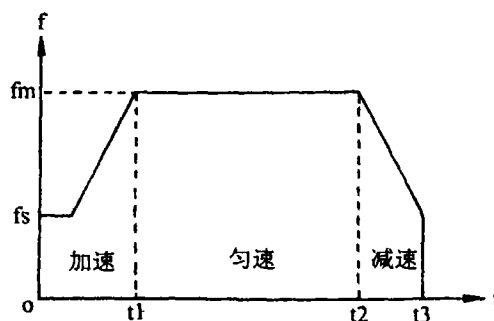


图 1 加减速曲线

0 ~ t₁ 时刻为加速阶段,脉冲频率由起动允许频率开始增加;

t₁ ~ t₂ 时刻为匀速运行阶段,电机在最高工作频率下匀速运动;

t₂ ~ t₃ 时刻为减速阶段,频率逐渐下降到允许最高制动频率后控制脉冲就可撤除。

如何实现这一速度分布,也就是如何选择合适的加(减)脉冲函数的问题。要求使所加的脉冲能按最佳脉冲间隔分布去切换各相绕组,因此,如何产生满足要求的脉冲是一个关键的问题。这里介绍一种利用直接数字合成(DDS)原理来产生频率按梯形分布的脉冲方法。

2 DDS 原理简介

DDS 的原理可用图 2 来进行说明。 n 位寄存器中的数据表示期望的频率。该数作为 m

($m \geq n$) 位累加器的一个累加项, 累加器的另一个累加项来自其输出端。每做完一次加法, 其结果就作为下一次加法的一个累加项。累加器在系统时钟的控制下工作; 即每次时钟的上升沿做一次加法, 时钟周期内的其它时间内保持结果不变。累加器输出的数据经脉冲合成后产生与输入的数据相应的脉冲信号。该信号的频率可用下式表示:

$$f_{out} = L \times \frac{f_{sysclk}}{2^m} \quad (1)$$

其中, L 为 n 位寄存器中的数据。

从式中可见, 当系统时钟和累加器的位数确定后, 输出频率是对输入频率的可变分频, 分频系数由 L 决定。当 $m = n$ 时, 输出脉冲的最高频率与输入频率相等。

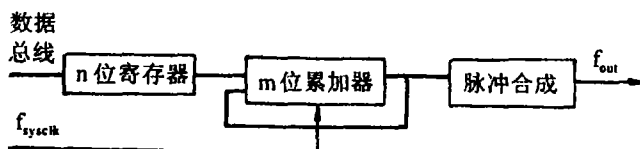


图2 DDS原理图

3 基于DDS的升降频控制

Altera公司的FLEX800系列现场可编程逻辑器件综合了FPGA的精细分割的结构和大量寄存器, 而EPLD具有快速、可预知的连线延时的优点, 可满足数字信号处理、各种数据路径管理、数据变换之类应用的需要。具有编程灵活、修改方便, 便于实现大规模逻辑功能的特点。在此, 我们采用三片FLEX8636芯片实现了3个通道的DDS脉冲信号生成, 如图3中所示。

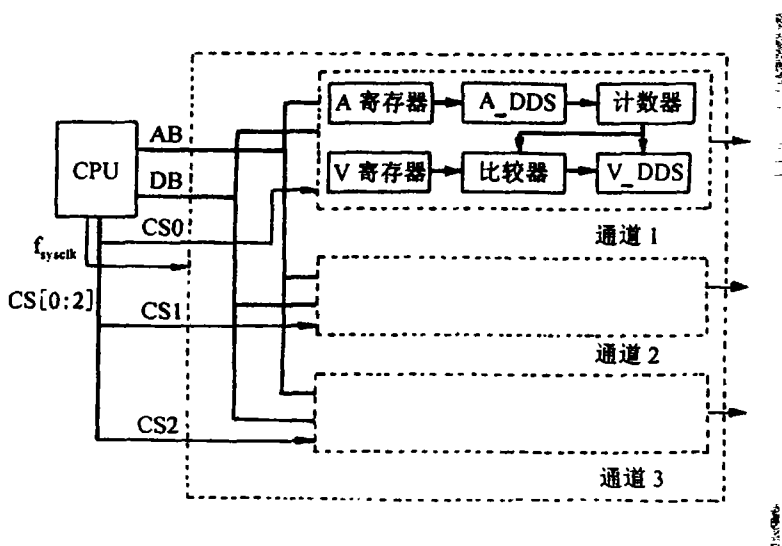


图3 多通道的步进电机加减速控制电路

用可编程逻辑器件设计而成的每个通道的步进电机速度控制芯片,可以完成该通道的电机的单独控制并可实现与其他两个通道的同步控制。芯片上有地址总线 AB (AddressBus)、数据总线 DB(DataBus)和片选 CS 以及系统时钟 fsysclk。

当片选信号 CS 有效时,数据总线上的数据存入由地址总线所给出的寄存器寄存,以便进行脉冲信号的合成。系统初始化后,各个寄存器和 DDS 中的数据皆为 0。向 A 寄存器和 V 寄存器送入数据后,即给定了加速度和速度值。在系统时钟 fsysclk 的作用下, A - DDS 输出与 A 寄存器中数据成正比的脉冲信号,信号的频率 f_a 可由式(2)得出:

$$f_a = A \times \frac{f_{sysclk}}{2^{n_1}} \quad (2)$$

其中, A 表示给出的加速度值, n_1 表示 A - DDS 中累加器的位数。

该信号作为可逆计数器的计数脉冲,计数器的计数方向由比较器输出的结果决定。开始时,计数器内的数据为 0,给定的 V 寄存器中的数据大于 0;然后计数器进行加计数,直至计数器中的数值与给定的数值相等,比较器输出的相等信号使计数器停止计数,加速过程完成。V - DDS 由于输入的数据保持不变,输出的信号的频率保持不变,电机就在这个速度下匀速运行。当 V 寄存器中存入的数据变为 0 时,即要求电机停止运动时,由于计数器中的数值大于 V 寄存器中的数值,比较器的输出使得计数器进行减计数,V - DDS 输出的信号的频率随之减小,直至为 0,完成减速过程。如果保持加速度 A 的值不变,加速与减速过程中输出频率的增量 Δf 可以如下所示的方法计算出:

$$\Delta f = \frac{f_a}{2^{n_1}} = A \times \frac{f_{sysclk}}{2^{n_1} \times 2^{n_2}} = A \times \frac{f_{sysclk}}{2^{n_1 + n_2}} \quad (3)$$

式中, n_1 为 A - DDS 中累加器的位数; n_2 为 V - DDS 中累加器的位数。

从式(3)中可见,选取适当的数值,使得 $A \times f_{sysclk} = 2^{n_1 + n_2}$, 则可以使 $\Delta f = 1$, 即频率可以 1Hz 跳变,达到平滑变频的效果。

整个加减速过程中,不需要 CPU 的参与,通道上从 CPU 接收数据后就可自动运行,使得 CPU 能够有足够的时间去进行运算,计算出下一个速度值并在适当的时刻将这些数据送出以获得最佳的速度-时间曲线,使得 CPU 能够获得更多的时间去处理那些实时事件。由于系统的工作是基于系统时钟频率的,改变系统时钟频率就可获得不同性能的系统。通过控制写入通道的数据及其写入的时间,可以获得不同的加减速曲线,甚至那些复杂函数曲线,如三阶曲线或 S 形曲线。

其它电机,如 DC 或 AC 伺服电机,不能用脉冲直接来控制,因为在这些电机中,脉冲个数与电机的角位移以及脉冲频率与电机的角速度之间不存在严格的比例关系,但通过 D/A 转换后,含有电机速度、位移指令的脉冲序列也可用来控制伺服电机。

4 波形

图 4 中为其中一通道输出的波形。通过示波器,可以看见一系列的脉冲产生。脉冲之间的间隔逐渐减小最后稳定在某一个值上,此时的信号频率与所要求的值相等,表示脉冲的输出符合要求。当改变给定值时,输出频率也会发生相应的变化最终频率总能稳定在所要求的频率上。

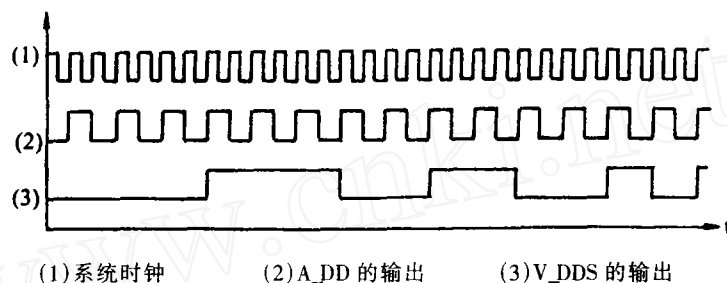


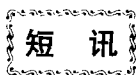
图4 A DDS 和 V DDS 的输出波形示意图

5 特点

- (1) 能够以较高的精度实现所要求的升降曲线;
- (2) 一个 CPU 可同时控制多个通道,各通道可独立工作也可同步工作;
- (3) 由于输出的脉冲信号是由硬件产生的,可以极大地简化软件的设计;
- (4) 可以用来控制多种类型的电机。

参考文献

- 1 李忠杰,宁守信:步进电动机应用技术,机械工业出版社 1988 年 12 月
- 2 于长庆,王丽轩:一种新型的步进电机控制方法,机械与电子,1991,3
- 3 莫锦秋,周晓军:基于存储技术的步进电机升降频过程控制,微特电机,1992, 6
- 4 Compumotor Division of Parker Hannifin Corporation: OEM023—AT Indexer Use Guide,1993



DOD 透露战斧成本估计

据 JDW1999 年 4 月 14 日报道,美国国防部 (DOD) 已透露了美国海军战术战斧陆用攻击导弹计划的初步成本估计。据报告,在 2003 财年后开始的 5 年,计划购买 1,553 枚巡航导弹,价值 18 亿 6340 万美元。

雷声公司正在开发战术战斧导弹,取代现有 BLOCK II 和 BLOCK III。最新型战斧,全球定位系统 (GPS) 制导的 BLOCK III,价值约 100 万美元。