

开关电容ADC的频域响应

作者: Rob Reeder

概述

ADP5022是一款微型电源管理单元(微型PMU), 内置两个高性能降压调节器和一个低压差调节器(LDO), 采用2.08 mm × 2.08 mm、16引脚小型WLCSP封装, 可满足严苛的性能和电路板空间要求。

降压调节器的高开关频率支持小型多层外部器件, 并使所需的电路板空间降至最小。当MODE引脚设置为高电平时, 降压调节器以强制PWM模式工作。当MODE引脚设置为低电平时, 降压调节器根据负载电流水平自动切换工作模式。输出负载较高时, 降压调节器以PWM模式工作。当负载电流降至预定义阈值以下时, 调节器以省电模式(PSM)工作, 以便改善轻负载效率。

为降低输入电容要求和噪声, 两个降压器以错相工作。

ADP5022 LDO的低静态电流、低压差和宽输入电压范围可延长便携式设备的电池使用时间。在频率高达10 kHz时, 该LDO能保持60 dB以上的电源抑制性能, 而所需的电压裕量则很低。

ADP5022的各调节器均具有专用的独立使能引脚。对使能引脚施加高电平将激活相应的调节器。默认输出电压可在工厂编程设置, 选择范围广泛。

输入信号采样, 因此该模式下的输入阻抗应保持匹配。输入阻抗随频率的变化主要取决于采样电容以及信号通道中的寄生电容。为精确匹配阻抗, 应对输入阻抗的频率相关性有所了解。基于AD9236的测量结果解释了输入阻抗在宽输入频率范围下的行为。本应用笔记“示例”部分将展示一种方法, 用于确定跟踪模式下的转换器输入接口。

第二个问题体现在时域方面, 内部开关电容前端会在驱动电路中产生“踢回噪声”(kickback)。转换器从一种模式转换为另一模式时即会出现这个问题, 使输入电容从前一采样换成当前采样。可见, 转换器输入端发生的电流毛刺现象取决于三个因素——前一采样与当前采样之差、输入采样电容的值以及信号路径中全部电阻之和(由信号路径中的开关导通电阻以及信号路径中的任何串联电阻构成)。

图2和图3所示为模拟输入引脚上的电流毛刺的时域示例。图4显示的是整个网络中电流毛刺的频域组成, 这里为变压器耦合网络的原边。

在驱动器响应呈线性的情况下, 如果电流毛刺中的非线性部分破坏了输入采样, 最后的采样信号将失真。因此, 有必要设计一种能够在半个时钟周期内建立电流毛刺的输入网络(即变压器或放大器驱动器), 以维持转换器的性能。

目录

简介.....	1	示例.....	6
方法.....	4	结论.....	6
测量.....	4	转换器S参数	6
结果.....	5	参考文献.....	7

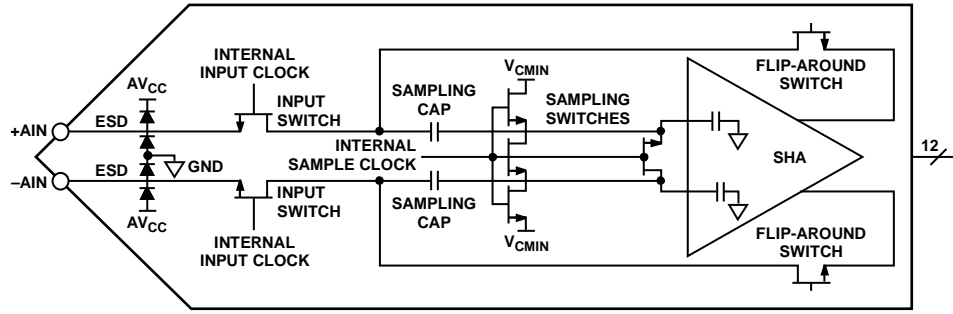


图1. 无缓冲转换器输入前端模型

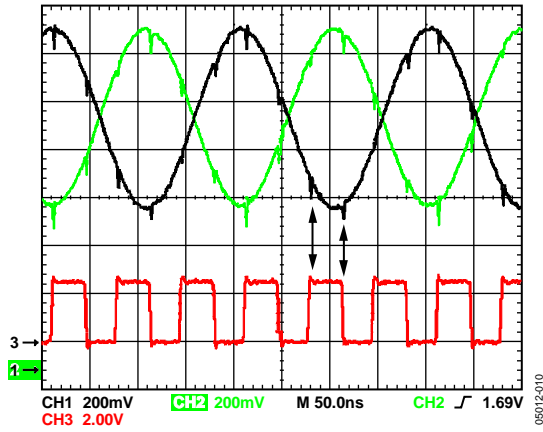


图2. 模拟输入引脚处的单端(+AIN或-AIN)时域测量结果

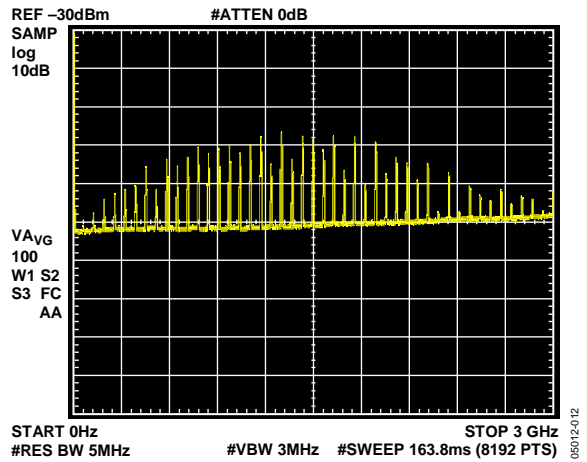


图4. 整个网络的频域测量结果

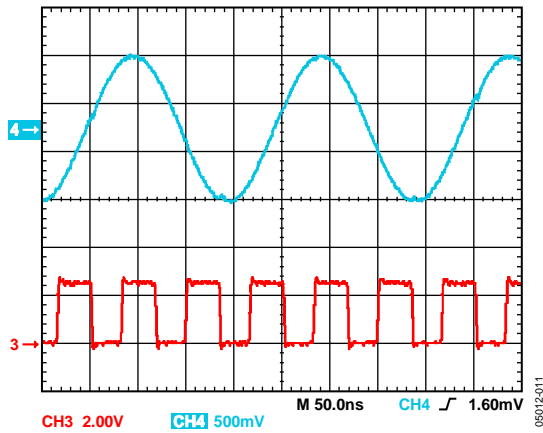


图3. 模拟输入引脚处的差分(+AIN或-AIN)时域测量结果

方法

为了弄清转换器的频率响应，我们用一台网络分析仪对AD9236的内部前端进行了精确测量。同时特别重新设计了AD9236评估板，以使输入走线尽可能短，并尽量减少电路板寄生电感。评估板的偏置电压为额定电源电压，时钟频率为1MSPS。

图5a所示定时设置用于确保在跟踪模式下对网络分析仪采样。时钟占空比设为90%，以便为转换器的输入建立和网络分析仪捕捉延迟提供裕量。另外，我们用相同的设置在保持模式下进行测量，只是时钟反相，如图5b所示。

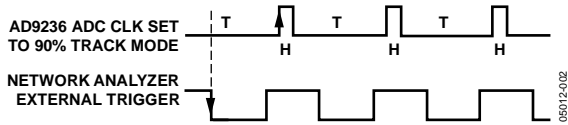


图5a.时序图设置——跟踪模式

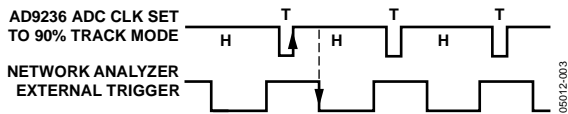


图5b.时序图设置——保持模式

测量设置如图6所示。我们还对网络分析仪进行了配置，以在300kHz至1GHz的频率范围捕捉1601个点。利用一个带匹配电缆的双通道脉冲发生器同时对评估板和网络分析仪的外部触发器进行滤波处理。同时施加电源，以使转换器正确偏置并为各模拟输入提供+1.5 V(AVDD/2)的共模电压。

我们同时测量了评估板和误差板，误差板是评估板的一部分，评估板含有与交流耦合电容相同的走线寄生电感，以及在模拟输入上产生共模电压的两个共模分阻器。误差板数据用于对这类来源的误差进行解嵌入处理，以便对ADC的输入结构进行独立测量(见等式1)。

评估板(寄生 + AD9236)-

$$\text{误差板(寄生)} = \text{评估板(AD9236)} \quad (1)$$

测量

测量数据均为单端形式。但受网络分析仪容量限制，我们用一种常见的方法将这些测量值从单端形式转换成差分形式。利用网络分析仪的LogMag散射参数(即S参数)S11、S12、S21和S22，以下等式可将单端测量值转换成差分形式。

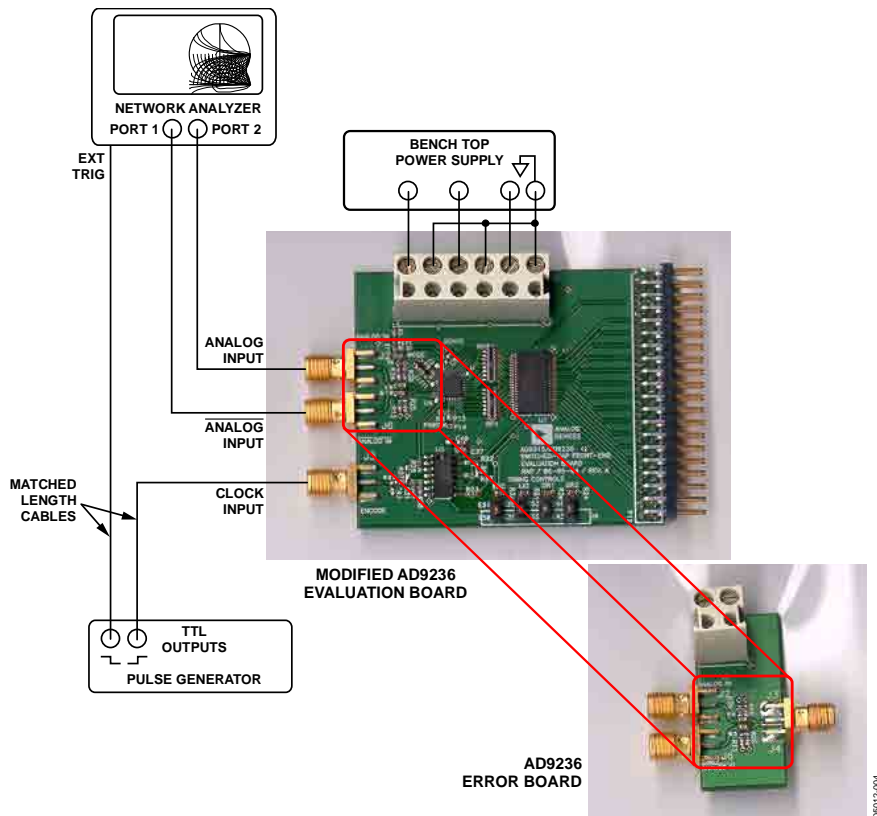


图6.转换器输入阻抗测量设置

$$\Gamma_s = \frac{(2 \times S_{11} - S_{21})(1 - S_{22} - S_{12}) + (1 - S_{11} - S_{21})(1 + S_{22} - 2 \times S_{12})}{(2 - S_{21})(1 - S_{22} - S_{12}) + (1 - S_{11} - S_{21})(1 + S_{22})} \quad (2)$$

进一步利用等式2即可求出差分阻抗ZDIFF，如等式3所示。该等式可基于串联类测量，产生等效的并联实部阻抗和虚部阻抗(ZDIFF)。

$$Z_{DIFF} = 50 \times [(1 + \tau)/(1 - \tau)] = R \pm jX \quad (3)$$

利用安捷伦公司的高级设计系统(ADS)软件仿真套件，我们将数据从网络分析仪导出，转换成差分形式，并减出了共模部分误差(见图8)。

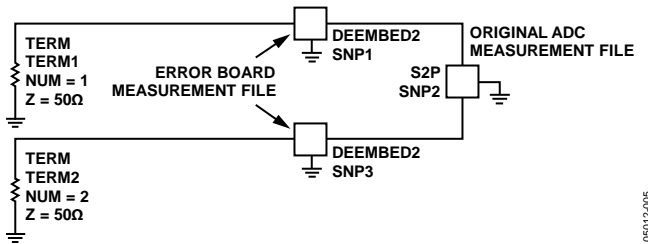


图7.ADS配置设置

结果

这些计算结果同时显示了跟踪模式和保持模式下的实部和虚部。代表实部、单位为欧姆的值位于图8左侧。代表虚部或电容、单位为pF的值位于图8右侧。

在跟踪模式(低频)下，实部看起来很像极高的阻抗，降至700 Ω@ 200 MHz左右。至于前面图1中的转换器输入模型，输入阻抗大约等于跟踪模式下晶体管串并联组合的等效电阻。虚部起始值为4 pF@ 200 MHz，下降至1.5 pF@ 1 GHz。这些值也在意料之中，因为跟踪模式下的输入级为晶体管寄生电容串并联组合之和。保持模式下，阻抗中的实部远高于此，降至570 Ω@ 1 GHz左右。然而，在整个测量范围内，虚部快速降至1 pF或更低，符合对ESD和封装寄生的预期。其原因在于看似开路的输入结构(如图1所示)。

图9为图8的展开视图，显示的是可用阻抗匹配范围。

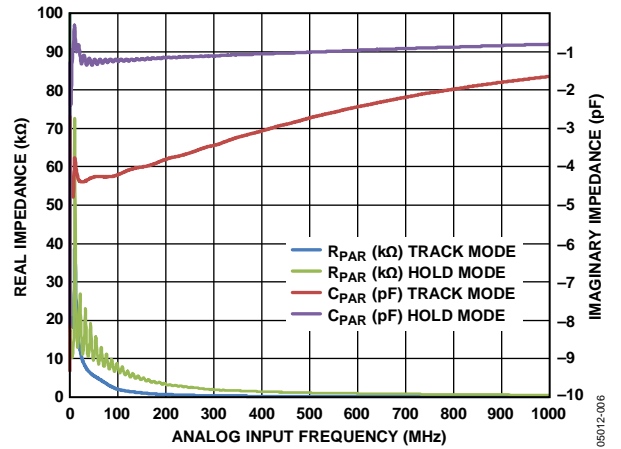


图8.差分输入阻抗与模拟输入频率的关系

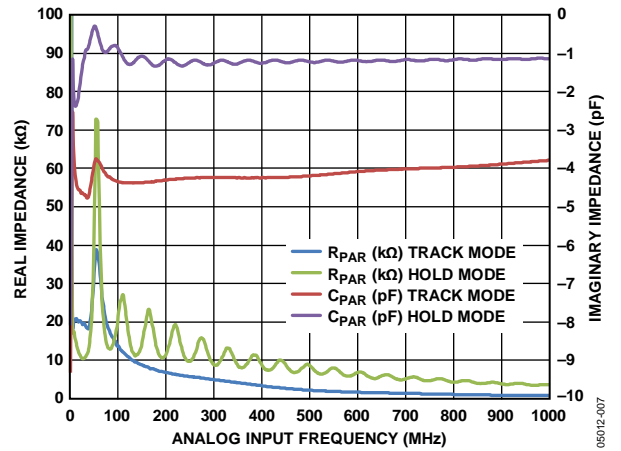


图9.差分输入阻抗与模拟输入频率(展开视图)的关系

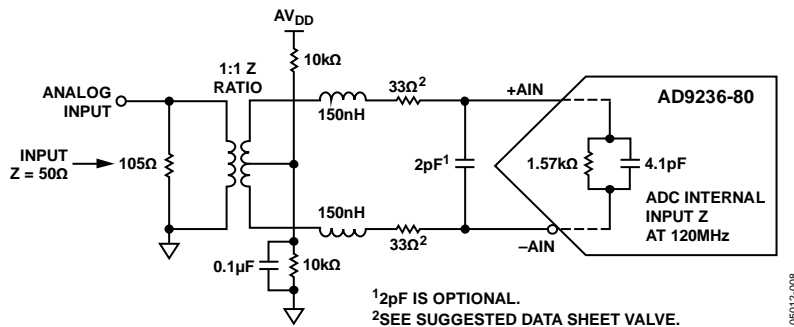


图10.阻抗匹配示例

示例

本节举例说明如何基于测量结果，利用变压器耦合输入连接AD9236。模拟输入频率为120 MHz时，AD9236看起来就像是跟踪模式下的1.57 kΩ差分电阻和4.1 pF电容。如果输入阻抗设计为50Ω，则图10展示了一种部署模式。

在为开关电容ADC设计接口电路时，利用这种电路拓扑结构的其他好处包括：匹配差分输入端可使失真乘积保持低水平，同时还具有较高的开关瞬变共模抑制性能(注意两个33Ω串联电阻)。另外，电容值可根据具体应用所需的带宽来确定。本例选择了2pF电容，以减少转换器中存在的任何宽带混叠噪声。

在设计高中频(IFs)时，关键是使输入尽量像实部。由于输入中以容性成分为主，因为需要找到一种匹配电感项，以取消虚部阻抗。利用复数项的数学计算如下所示：

$$X_{C1} = \frac{1}{2\pi \cdot 120M \cdot 4.1p} = -j323\Omega, X_{C2} = \frac{1}{2\pi \cdot 120M \cdot 2p} = -j663\Omega$$

$$(1.57k - j0) \parallel (0 - j323\Omega) = (64 - j310)\Omega$$

$$(64 - j310) \parallel (0 + j663) = (29.5 - j213.33)\Omega$$

使 $X_L = 213\Omega$ ，在120 MHz下求L的值，结果等于283 nH。

求出L后，将其平均分配并使其与变压器次级绕组上的33Ω电阻串联，如图10所示。注意，33Ω的值可能取决于设计所用转换器。为获得最佳杂散性能，请参考产品数据手册中的建议值。

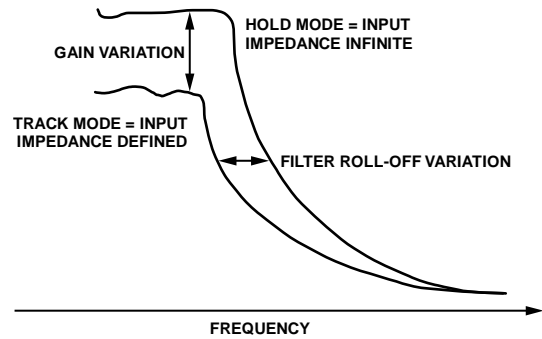
将全部部分相加，求出结果在变压器次级绕组上形成的阻抗。记住加上L，以抵消电容项，使输入尽可能像实部。

$$(29.5 - j213.33) + (66 + j213.33) = 95.5\Omega$$

变压器的阻抗比为1:1，因此，95Ω是与105Ω电阻并联的变压器初级绕组中存在的阻抗。这两个并联电阻还会产生50Ω端接电阻， $95 \parallel 105 = 50\Omega$ 。

有了转换器输入S参数，有望改善前述滤波器或变压器负载端接的定义，如本例所示。如此，设计人员可以尽量减小在通带中导致增益和滚降变化的负载失配。最终，正是这类变化导致了噪声和失真，结果降低转换器的预期性能。

图11所示为特定滤波器响应的夸张示例。注意，滤波器的频率响应随负载端接而变化。借助该简单图示，设计人员可对设计前端接口而不作进一步补偿时的预期结果获得一些感性认识。



NOTES
1. THE SAME CHARACTERISTIC VARIATIONS WILL APPLY TO BOTH SIDES IF USING A BAND-PASS FILTER.

68021006

图11. 负载变化引起的滤波器响应示意图

结论

本应用笔记旨在针对无缓冲、开关电容、流水线转换器的内部前端提供一些背景知识。同时讨论了采样保持电路可变输入阻抗的测量方法，并举例说明了在高中频(>70 MHz)下使用这类转换器解决输入接口问题的办法。记住匹配跟踪模式下的前端设计阻抗，并考虑中心IF频段。

当转换器工作于70 MHz及以下(基带)时，用一个简单的低通滤波器即可。使用无缓冲转换器时，在低频下匹配前端接口以实现最佳性能并非至关重要。

本文所列数据和示例仅针对CSP封装的AD9236而言，描述的是这种开关电容ADC系列的总体表现。其他无缓冲、开关电容器件还包括AD9204/AD9212/AD9215/AD9219/AD9222/AD9228/AD9233/AD9235/AD9236/AD9237/AD9238/AD9244/AD9245/AD9246/AD9248/AD9251/AD9252/AD9258/AD9268/AD9287。

转换器S参数

S参数数据可查阅网站www.analog.com获得。前往产品页面(比如AD9236产品页)，下载含有串联和并联实部及虚部数据值的电子数据表。这些值以表格显示，并以频率为参照绘制了坐标图。

虽然以上未列出未来的产品，但它们将同样会在ADI公司网站上列出，请经常访问ADI网站，了解有关其他开关电容ADC系列的新产品预告和产品发布信息。

参考文献

AD9236 Data Sheet. Analog Devices, Inc., 2006. Norwood, MA. www.analog.com.

Advanced Design System (ADS) Software. 2003. Agilent Technologies. Santa Clara, CA.

ENA Series RF Network Analyzers User's Guide. Agilent Technologies. Santa Clara, CA.

HP 8753C Network Analyzer Reference. Agilent Technologies. Santa Clara, CA.

Kester, Walt, ed. Analog-Digital Conversion. Analog Devices, Inc., 2004. ISBN 0-916550.

注释