

# 电源噪声和时钟抖动对高速DAC相位噪声的影响的分析及管理

作者：Jarrah Bergeron

共享    

在所有器件特性中，噪声可能是一个特别具有挑战性、难以掌握的设计课题。这些挑战常常导致一些道听途说的设计规则，并且开发中要反复试错。本文将解决相位噪声问题，目标是通过量化分析来阐明如何围绕高速数模转换器中的相位噪声贡献进行设计。本文旨在获得一种“一次成功”的设计方法，即设计不多不少，刚好满足相位噪声要求。

从一块白板开始，首先将DAC视作一个模块。噪声可能来自内部，因为任何实际元器件都会产生某种噪声；也可能来自外部噪声源。外部噪声源可通过DAC的任何外部连接，包括电源、时钟和数字接口等，进入其中。图1显示了这些可能性。下面将对每一种可能的噪声嫌疑对象分别进行研究，以了解其重要性。

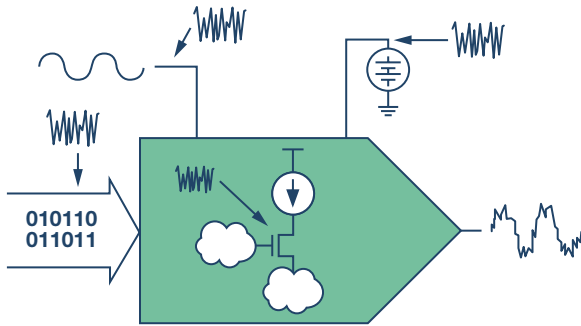


图1. DAC相位噪声来源

首先讨论数字接口，它恰好是最容易处理的。数字I/O负责接收要在模拟域中输出的数字采样信号。众所周知，如图眼图所示，数字电路和收到的波形多含噪声。由此看来，相应的问题是：是否所有这种噪声和活动都能渗入DAC内部的不同区域且表现为相位噪声？当然，数字接口可能在别处引起噪声，但这里关心的是相位噪声。

为了证明I/O是否需要关切，我们比较了AD9162系列高速DAC器件开启和关闭数字接口两种情况下的相位噪声。无数字接口时，器件的NCO模式内部生成波形，DAC事实上变成DDS发生器。图2显示了实验结果。

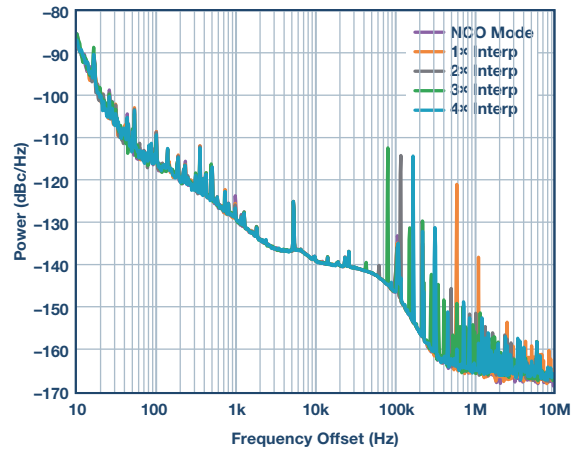


图2. 不同插值时的相位噪声

相位噪声的峰值会根据接口的具体情况发生变化。现在我们感兴趣的是，噪声和所有曲线在彼此之上。因此，对于这个产品线，尽管由于系统要求可能要注意杂散，但接口不是问题。发现接口无需担心之后，我们感兴趣的下一个方面是时钟。

## 时钟

DAC时钟是DAC中产生相位噪声的首要原因。此时钟决定何时发送下一样本，故相位（或时序）中的任何噪声都会直接影响输出的相位噪声，如图3所示。此过程可以视作各相继离散值与一个矩形函数相乘，其时序由时钟定义。在频域中，乘法转换为卷积运算。结果，期望的频谱被时钟相位噪声所破坏，如图4所示。但是，确切的关系并不是显而易见的。下面将给出简明推导。

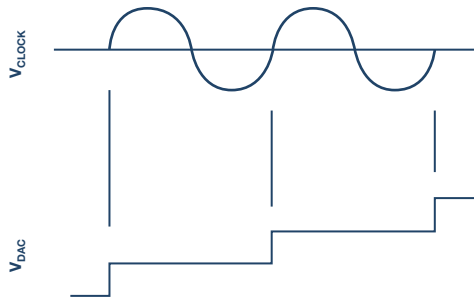


图3. 时钟与相位噪声的相关性

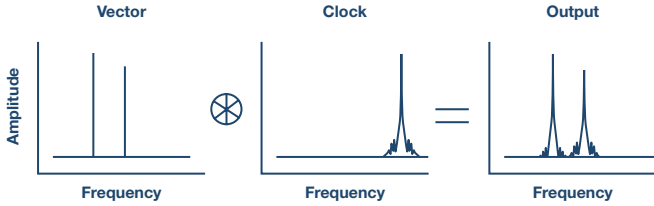


图4. 相位噪声卷积

获取时钟和输出的时间快照，图5显示了一个波形实例。其目的是求出时钟和输出的噪声幅度之比，如图6中的红色箭头所示：可以画直角三角形，虽然任一边长都不知道，但两个三角形有共同的水平边。

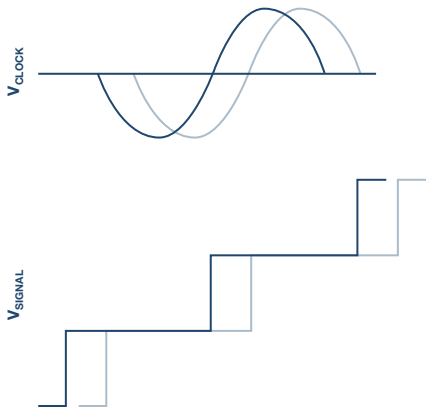


图5. 波形快照

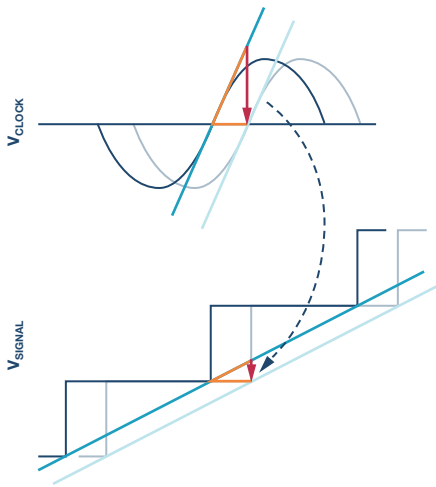


图6. 相位噪声关系

设斜率为相应波形的导数，根据几何可得出以下等式：

$$\frac{V_{CLK\_noise}}{\frac{\partial V_{CLK}}{\partial t}} = \frac{V_{SIG\_noise}}{\frac{\partial V_{SIG}}{\partial t}}$$

针对DAC噪声重新整理，得出下式：

$$V_{SIG\_noise} = V_{CLK\_noise} \frac{\frac{\partial V_{SIG}(t)}{\partial t}}{\frac{\partial V_{CLK}(t)}{\partial t}}$$

我们常常对正弦或接近正弦的DAC输出和时钟波形感兴趣，所以上述结果可进一步简化。如果这一假设不成立，则仍应使用上式。

$$V_{SIG\_noise} = V_{CLK\_noise} \left[ \frac{V_{SIG} f_{SIG}}{V_{CLK} f_{CLK}} \right]$$

重新整理后得到：

$$\frac{V_{SIG\_noise}}{V_{SIG}} = \frac{V_{CLK\_noise}}{V_{CLK}} \left[ \frac{f_{SIG}}{f_{CLK}} \right]$$

注意，噪声关系等同于相对于相应波形幅度的关系，因此可以将其简洁地归纳为相对于载波的关系。另外，通过使用对数单位，我们得到下式：

$$N_{SIG} = N_{CLK} + 20 \log_{10} \frac{f_{SIG}}{f_{CLK}}$$

根据信号频率与时钟频率之比，相对于载波的噪声放大或缩小。信号频率每降低一半，噪声改进6 dB。研究几何图像可知这是合理的，因为下面的三角形会变得更尖锐，垂直边会缩小。还应注意，如果噪声以相同幅度提高，则提高时钟幅度不会改善相位噪声。

为了证明这一点，可通过调制输入DAC的时钟来模拟相位噪声。图7显示5 GHz DAC时钟上有100 kHz的轻度相位调制。其上还绘出了500 MHz和1 GHz的输出频谱。信号音确实遵循了这种关系。从5 GHz时钟到500 MHz DAC输出观测到20 dB降幅，从500 MHz输出到1 GHz输出观测到6 dB增幅。

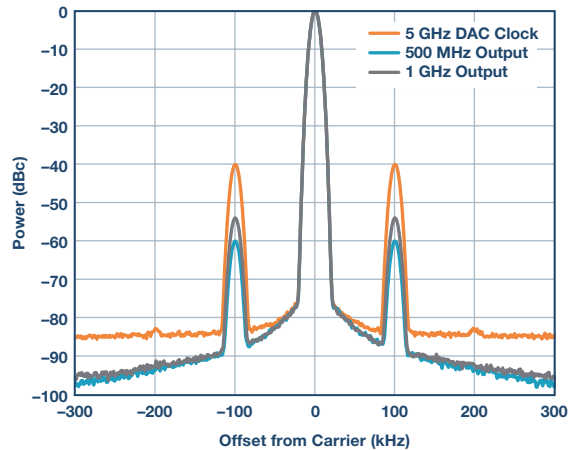


图7. 带100 kHz相位调制的时钟输出相位噪声

精密受控的实验固然好，但我们关心的是实际噪声。用宽带频率合成器ADF4355代替发生器，图8显示了新时钟源的相位噪声曲线，对应的DAC输出为时钟频率的 $\frac{1}{2}$ 和 $\frac{1}{4}$ 。噪声特性得到保留，每次降低6 dB。应注意，PLL未针对最佳相位噪声而优化。目光敏锐的读者会注意到，在小偏移处有一些预期偏差，但这是不同基准源引起的正常现象。

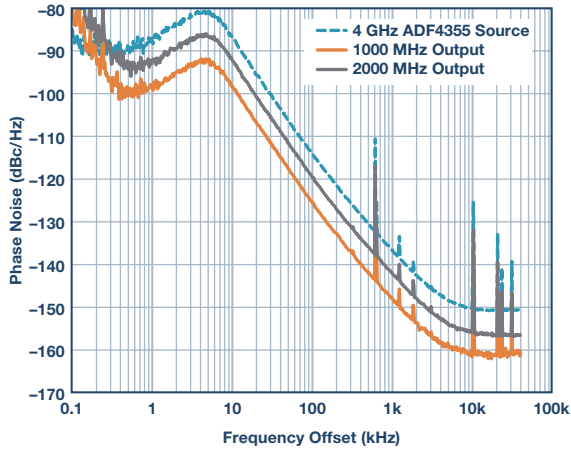


图8. 采用宽带频率合成器时钟源时的DAC输出相位噪声

另一个需要探讨的方面是输入功率与噪声的“无关性”。只有噪声功率与载波的差异才是重要的。这意味着，直接放大时钟信号是没有益处的。图9说明情况确是如此。唯一的变化是噪底略有提高，这要归因于信号发生器。这一看法仅在合理范围内有效；在某一特定点，时钟的贡献会变得非常弱，以致于其他因素（如时钟接收器噪声）开始占主导地位。

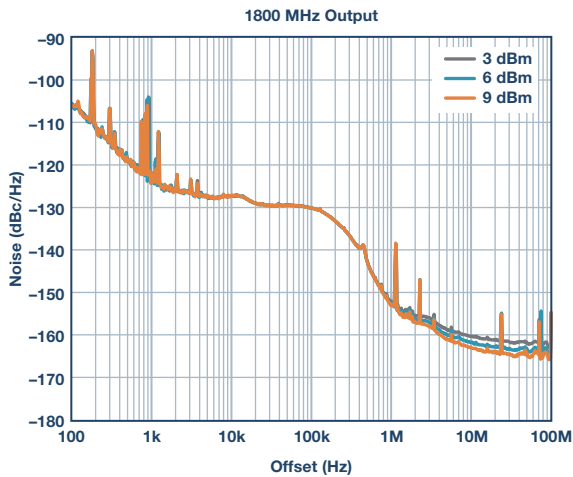


图9. 相位噪声与输入功率的关系

最后简单说明一下新采样方案 $2 \times \text{NRZ}$ 。AD9164 DAC系列器件引入了这种新采样模式，在时钟的上升沿和下降沿均可转换采样数据。不过，尽管有这些变化，相位噪声特性却保持不变。图10比较了原NRZ模式和这一新模式。图中曲线表明相位噪声相同，但可以看到噪底有所上升。这一结论的前提是上升沿和下降沿的噪声特性相同，对大多数振荡器而言这一前提确实成立。

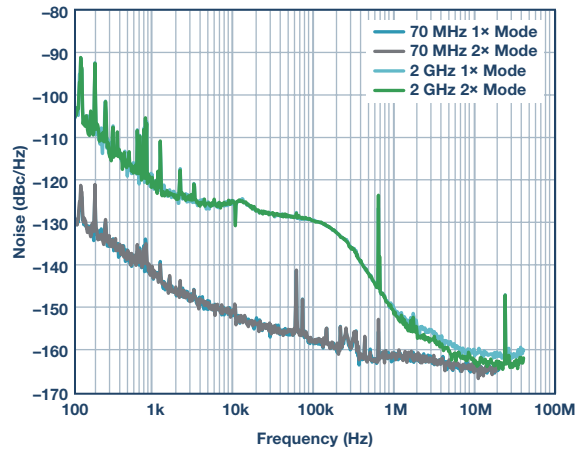


图10. 相位噪声和 $2 \times \text{NRZ}$

## 电源

噪声的下一个可能进入点是电源。芯片上的所有电路都必须通过某种方式供电，这就给噪声传播到输出提供了很多机会。具体机制取决于电路，不过下面着重指出了几种可能性。DAC输出端通常由电流源和MOS开关组成，开关引导电流通过正引脚或负引脚（图11）。显然，电流源从外部电源获得功率，任何噪声都会反映为电流波动。噪声可以经过开关到达输出端，但这仅解释了基带直接耦合。要贡献相位噪声，此噪声必须上混频到载波频率。这一过程是通过开关MOSFET完成的，其充当平衡混频器。噪声的另一路径是通过上拉电感，其从供电轨设置直流偏置，这里存在的任何噪声都会流到晶体管。这种波动会改变其工作条件，如源漏电压和电流源负载等，引起电流变化，从而又一次上混频到RF信号。一般来说，如果开关切换能够把噪声混频到目标信号，这些开关电路都是电源噪声在输出信号中的相位噪声的贡献者。

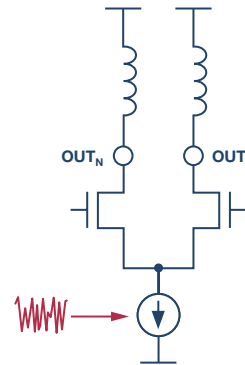


图11. DAC电流源

鉴于所有这些电路和混频现象，要快速模拟所有这些行为是相当困难的。相反，对其他模拟模块的特性分析可以给我们带来一些启发。稳压器、运算放大器和其他IC会规定电源抑制比。电源抑制性能衡量负载对电源变化的灵敏度，可用于这里的相位噪声分析。然而，使用的不是抑制比，而是调制比：电源调制比(PSMR)。传统PSRR方法对基带应用中的DAC仍然有用，但与此处无关。下一步是获得具体数据。

测量PSMR要求调制待研究的供电轨。典型设置见图12。电源调制通过一个插在稳压器与负载之间的耦合电路获得，叠加上一个由信号发生器产生的正弦信号。耦合电路的输出通过一个示波器监控，以找出实际电源调制。最终得到的DAC输出馈入一个频谱分析仪。PSMR等于从示波器发现的电源交流分量与载波周围的调制边带电压之比。

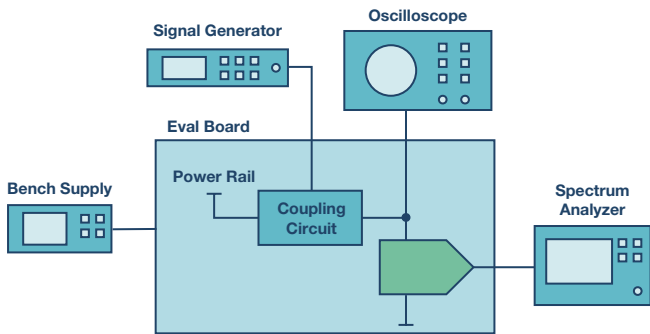


图12. PSMR测量

存在多种不同的耦合机制。ADI公司应用工程师Rob Reeder在应用笔记MS-2210中解释了如何利用LC电路来测量ADC的PSMR。其他选项包括电源运算放大器、变压器或专用调制电源。这里使用的方法是变压器。建议使用高匝数比以降低信号发生器的源阻抗。图14显示了典型测量结果。

采用1:100匝数比的电流检测变压器和函数发生器，1.2 V时钟电源用500 kHz信号调制，所得峰峰值电压为38 mV。DAC时钟速度为5 GSPS。所得输出在一个满量程1 GHz、-35 dBm载波上引起边带。将功率转换为电压，然后利用调制电源电压求比值，所得PSMR为-11 dB。

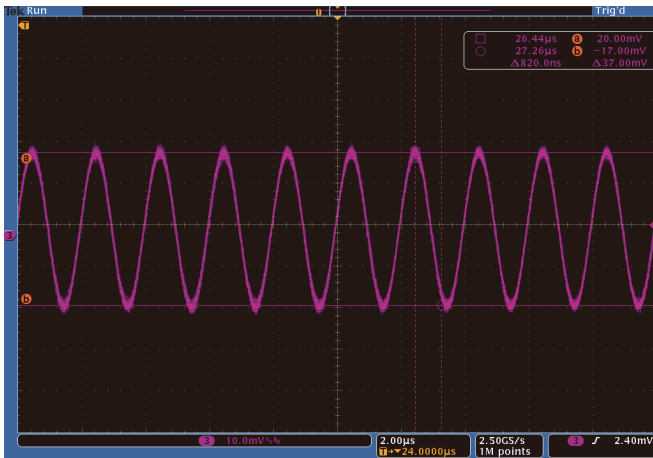


图13. 时钟电源调制

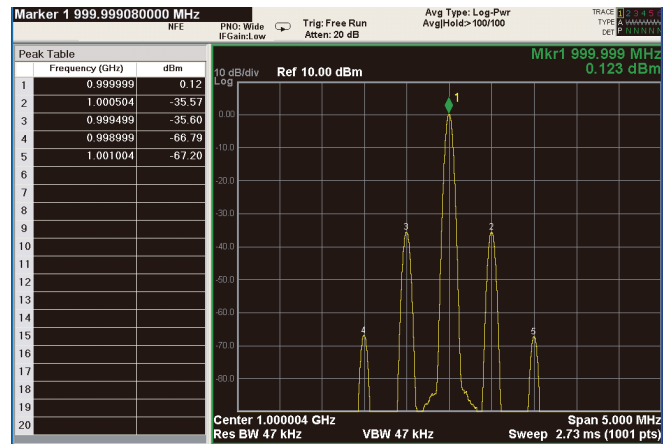


图14. 调制边带

执行单个数据点，可以在多个频率上进行扫描。但是，AD9164 DAC总共包含8个电源。一种方案是测量所有电源，但我们可以把重点放在最敏感的电源上：AVDD12、AVDD25、VDDC12和VNEG12。某些电源（如SERDES）与本分析无关，故不包括在内。扫描多个频率和电源，结果总结于图15中。

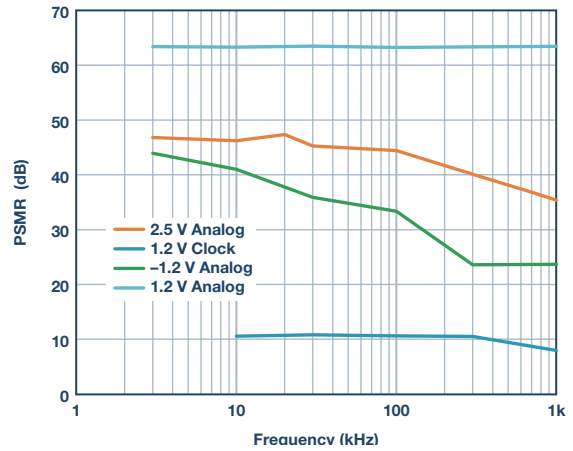


图15. 扫描频率测得的电源PSMR

时钟电源是最为敏感的供电轨，然后是负1.2 V和2.5 V模拟电源，1.2 V模拟电源则不是很敏感。加以适当考虑的话，1.2 V模拟电源可由开关稳压器供电，但时钟电源完全相反：它需要由超低噪声LDO提供以获得最优性能。

PSMR只能在一定频率范围内测量。下限受衰减的磁耦合限制。所选变压器的截止频率较低，约为数十kHz。在上限，去耦电容会降低负载阻抗，导致供电轨越来越难以驱动。只要功能不受影响，为了测试目的可以移除一些电容。

使用PSMR之前，应注意几点。不同于PSRR，PSMR取决于波形功率或数字倒退（后者就DAC而言）。信号功率越低，则边带越低，比例关系为1:1。但是，回退对设计人员无益，因为边带相对于载波是恒定的。第二点是与载波频率的相关性。载波扫描显示，在较高频段时性能会以不同速率发生线性衰减。有意思的是，供电轨越敏感，斜率越陡。例如，时钟电源的斜率为-6.4 dB/倍频程，而负模拟电源的斜率为-4.5 dB/倍频程。采样速率也会影响PSMR。最后，PSMR仅提供相位噪声贡献的上限，因为它并未与同时产生的幅度噪声区分开来。

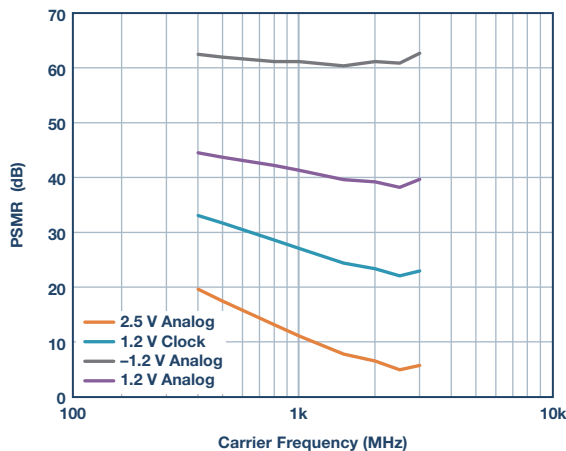


图16. 电源PSMR与信号频率的关系

考虑到这些不同的噪声要求，考察不同电源方案有助于理解电源对相噪的影响。LDO是久经考验的稳压器，尤其适合用来实现最佳噪声性能。然而，不是任何LDO都行。图17中的15002C曲线显示了AD9162 DAC初始评估板的相位噪声。DAC输出设置为3.6 GHz，DAC时钟速度为4 GHz，来自Wenzel时钟源。在1 kHz到100 kHz的相位噪声高原上，占主导地位的疑似时钟电源噪声：ADP1740 LDO。利用此LDO的频谱噪声密度曲线和DAC PSMR测量结果（图16），也可以计算其贡献并绘出曲线，如图17所示。虽然因为外推而没有精确对齐，但计算得到的点与实测噪声是合理对齐的，证实了时钟电源对噪声的影响。在电源解决方案的重新设计中，此LDO被更低噪声的ADP1761取代。在某些偏移处噪声降低多达10 dB，接近时钟的贡献(15002D)。

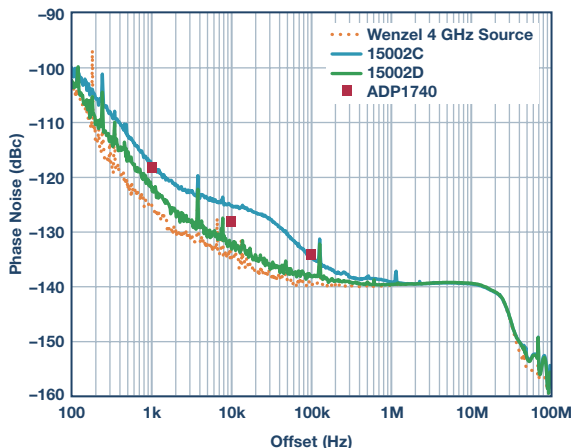


图17. AD9162评估板噪声

噪声不仅会因为稳压电源的不同而大不相同，而且可能受到输出电容、输出电压和负载影响。应当仔细考虑这些因素，尤其是对于敏感的供电轨。另一方面，根据整体系统要求，LDO不一定需要。

通过适当的LC滤波，开关稳压器可提供电源，从而简化电源解决方案。同LDO一样，从稳压器NSD开始，并相应地展开设计。但由于采用LC滤波器，所以应注意串联谐振。不仅瞬变会变得难以驾驭，而且谐振频率附近可能出现电压增益，提高供电轨噪声和相位噪声。谐振可通过对电路降低Q值——给电路增加损耗性元件，加以控制。下图显示了来自另一个设计的例子，其采用AD9162 DAC。

在该设计中，时钟电源也是由ADP1740 LDO提供，但其后接一个LC滤波器。原理图显示了所考虑的滤波器，RL模型表示电感，RC模型表示主滤波电容(C1+R1)。滤波器响应如图20所示，特征谐振用红线表示。正如所料，此滤波器的迹特征出现在相位噪声响应中，即图21中的蓝色曲线。由于滤波作用，100 kHz附近的噪声趋稳，随后急剧下降。幸运的是，LC滤波器峰化不够严重，未引起明显的尖峰，但滤波器仍可改善。这里采用的方案是再增加一个较大电容和一个适当的串联电阻，用来消耗能量。图中所示的串联电路由22 μF电容和100 mΩ电阻组成，它使响应平稳很多（蓝色曲线）。最终结果是此频率偏移附近的相位噪声得到改善，参见图21中的黄色曲线。

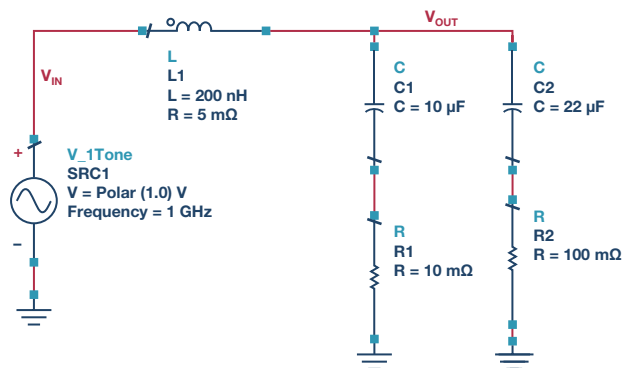


图18. LC滤波器和去Q网络

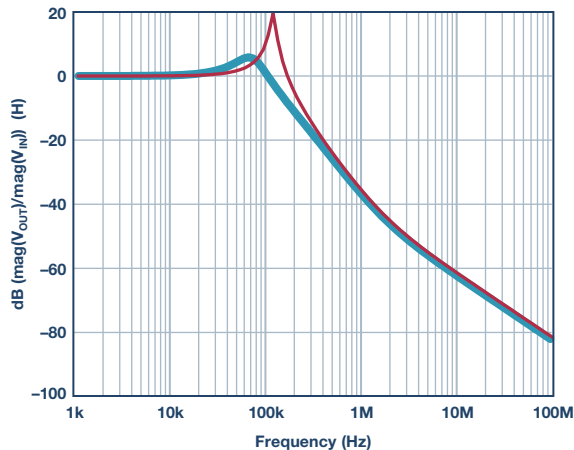


图19. LC滤波器响应

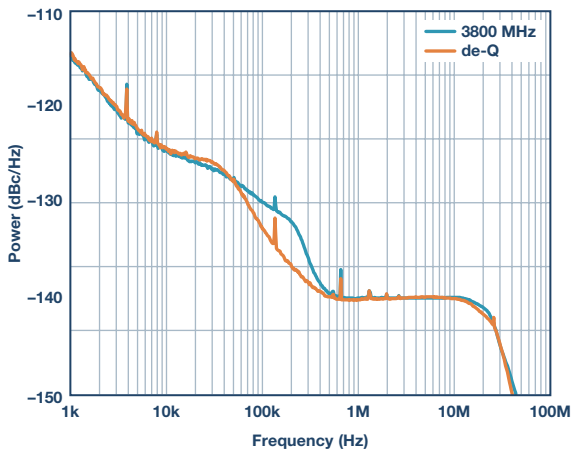


图20. 相位噪声响应

最后需要分析的噪声源是器件本身的相位噪声。AD9164 DAC系列器件的相位噪声非常低，难以量化。消除所有预期噪声源后，残余噪声来自DAC，如图22所示。图中也显示了仿真的相位噪声曲线，其与测量结果相当吻合。在某些区域，时钟相位噪声仍占主导地位。

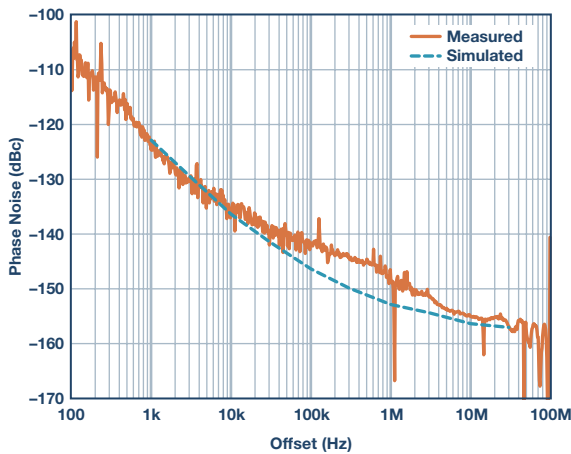


图21. AD9162相位噪声

## 结语

面对上文讨论的所有噪声源，设计人员可能会茫然不知所措。一种简单的做法是采取某种“推荐解决方案”；但对任何具体设计要求而言，这都是次优做法。与RF信号链和精密误差预算类似，设计过程中可以使用相位噪声预算。利用时钟源相位噪声、各供电轨的PSMR结果、LDO噪声特性和DAC设置，可以计算并优化各噪声源的噪声贡献。图22显示了一个预算示例。正确考虑所有噪声源，便可分析和管理的相位噪声，并确保信号链设计一次成功。

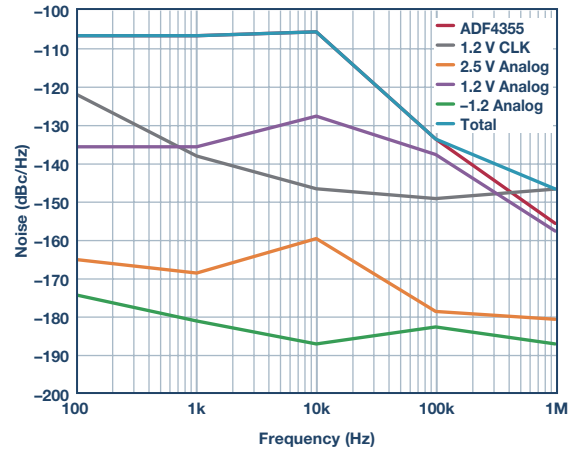


图22. 相位噪声预算示例

## 参考文献

Brannon, Brad。应用笔记AN-756，采样系统以及时钟相位噪声和抖动的影响。ADI公司，2004。

Reeder, Rob。“高速ADC的电源设计”。ADI公司，2012年2月。

Jarrah Bergeron [jarrah.bergeron@analog.com]自2014年起在ADI公司高速转换器部担任应用工程师。他从事过各类项目，涉及从高功率微波系统到纳米尺度微粒检测的不同领域；同时他也非常喜欢攀岩、滑雪等户外运动。Jarrah毕业于维多利亚大学，获电气工程学士学位。



Jarrah Bergeron