

祖父时代的ADC已成往事： RF采样ADC给系统设计带 来诸多好处

Umesh Jayamohan

应用工程师
Analog ADI公司

in | 分享至LinkedIn

✉ | 电子邮件

数据转换器充当现实模拟世界与数字世界之间的桥梁已有数十年的历史。从占用多个机架空间并消耗大量电能(例如DATRAC 11位50 kSPS真空管ADC的功耗为500 W)的分立元件起步, 数据转换器现已蜕变为高度集成的单芯片IC [1]。从第一款商用数据转换器诞生以来, 对更快数据速率的无止境需求驱动着数据转换器不断向前发展。ADC的最新化身是采样速率达到GHz的RF采样ADC。

架构的进步加上半导体技术的迅速成长, 使得模数转换器能够以单芯片的形式实现。20世纪90年代以来, CMOS技术已经能够与构成数据转换器基本模块的分立模拟电路齐头并进。将构建模块集成到单个芯片中可以获得功耗和空间效率更高的设计。现在, 摩尔定律不仅适用于数字IC设计, 同样也适用于模拟设计[2]。只需看看过去二十年(从20世纪90年代中期到现在), 便能明白技术发展是何等之快。技术的发展刺激了对更高速数据转换的需求, 导致数据转换器的带宽越来越高。

这些年来, 硅技术已发展到非常高的程度, 现在已经能以经济上可行的方式设计具有很多强大数字处理功能的模数转换器(ADC)。早先的ADC设计使用的数字电路非常少, 主要用于纠错和数字驱动器。新一代GSPS(每秒千兆样本)转换器(也称为RF采

样ADC)利用尖端65 nm CMOS技术实现, 可以集成许多数字处理功能来增强ADC的性能。这样, 数据转换器便从20世纪90年代中期和21世纪早期的大A(模拟)小D(数字)式ADC变身为现在的小A大D式ADC。这并不意味着模拟电路及其性能已衰退, 而是说数字电路的数量已大幅增加, 与模拟性能互为补充。这些增加的特性使得ADC能够在ADC芯片中快速执行大量数字处理, 分担FPGA的一些数字处理负荷。这就为系统设计人员开启了许多其它可能性。现在, 采用这些先进的新型GSPS ADC, 系统设计人员针对各种各样的平台只需设计一种硬件, 然后高效率地利用软件重新配置该硬件, 便可适应新的应用。

增强的高速数字处理

不断缩小的CMOS工艺尺寸和先进的设计架构相结合, 意味着ADC终于也能利用数字处理技术来改善性能。该突破是在20世纪90年代早期实现的, 自此之后, ADC设计人员再也没有回头[1]。随着硅工艺的改进(从0.5 μm 、0.35 μm 、0.18 μm 到65 nm), 转换速度也得到提高。但是, 几何尺寸缩小使得晶体管变小, 虽然速度更快(因而带宽更高), 但就模拟设计性能而言, 某些特性变得略差, 例如Gm(跨导)。以前, 这要通过增加更多校正逻辑来补偿。然而, 那时的硅仍很昂贵, 导致ADC内部的数字电路数量相对较少。图1所示为一个实例的功能框图。

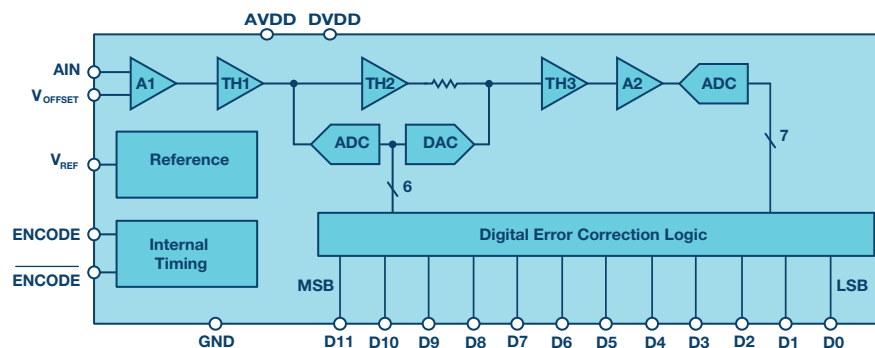


图1. 集成极少数字纠错逻辑的早期单芯片ADC

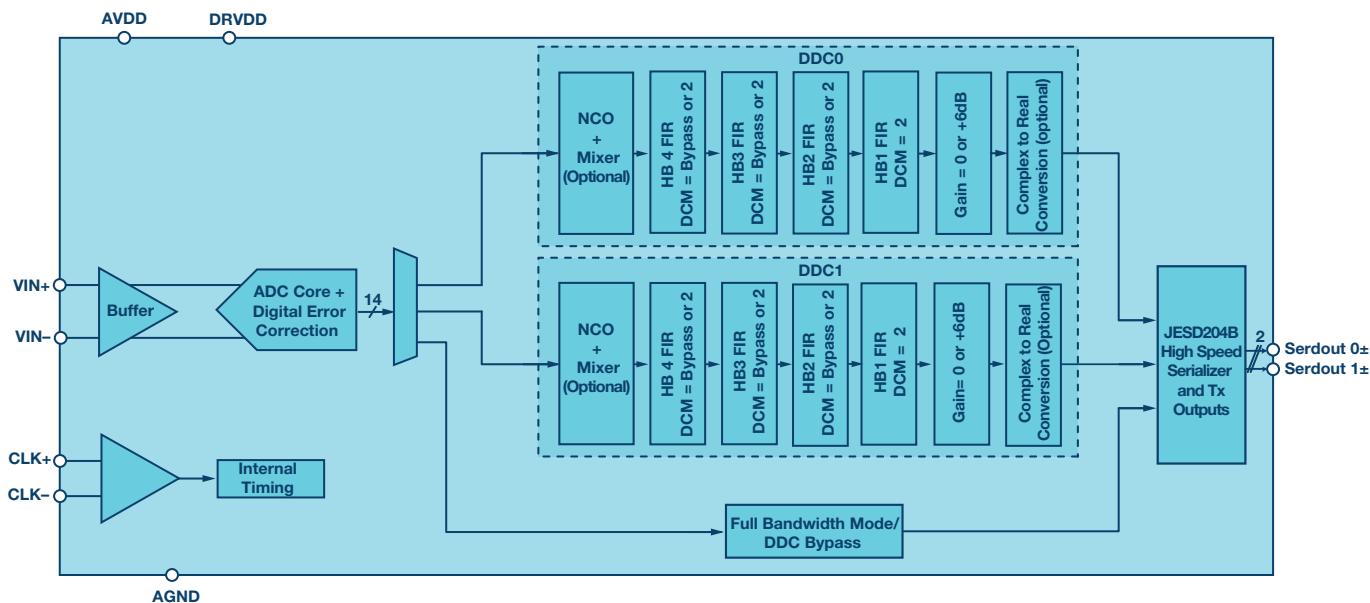


图2. 集成数字处理模块的GSPS ADC

随着硅技术发展到深亚微米尺寸(如65 nm)，数据转换器除了内核能够跑得更快(1 GSPS或更高)以外，规模经济性还使其可以增加大量数字处理[2]。这是再次审视后发现的一个突破性进展。通常，根据系统性能和成本要求，数字信号处理是由ASIC或FPGA处理。ASIC是专用电路，开发需要耗费大量资金。因此，设计人员通常会令ASIC设计长期运行，以扩大ASIC开发的投资回报。FPGA比ASIC便宜，不需要巨额开发预算。然而，由于FPGA追求支持所有应用，所以其信号处理能力会受到速度和功效的限制。这是可以理解的，因为它具备ASIC所不具备的灵活性和重新配置能力。图2所示为一个具有可配置数字处理模块的RF采样ADC(也称为GSPS ADC)的功能框图。

新一代GSPS ADC将彻底改变无线电设计，因为其为设计提供了极大的灵活性，下面将讨论其中几点。

高速数字处理

早先的无线电利用模拟混频器和级联数字下变频器(DDC)的混合结构来将信号降频至基带以供处理，这涉及到大量硬件(模拟混频)和电源(模拟域和ASIC/FPGA中的DDC域)。新一代RF采样ADC的出现，使得DDC可以在充斥定制数字逻辑的ADC内部高速运行，这意味着处理的功效要高得多。

通过JESD204B提供I/O灵活性

新一代RF采样ADC不仅具有GSPS采样能力，而且抛弃了过时的

LVDS输出，转而采用高速串行接口。新的JEDEC JESD204B规范允许数字输出数据通过CML(电流模式逻辑)以每通道最高12.5 Gbps的高通道速率传输，这就提供了高水平的I/O灵活性。例如，ADC既可在全带宽模式下工作并在多个通道上传输数字数据，也可使用其中一个可用DDC并在一个通道上传输抽取的/经处理的数据，只要输出通道速率低于每通道12.5 Gbps即可。

可扩展的硬件设计

在硬件设计方面，DDC的使用提供了更高的灵活性。系统设计人员现在可以冻结ADC和FPGA的硬件设计，然后只需进行细微的变更，重新配置系统便可适应不同的带宽，只要ADC能够支持。例如，利用所提供的DDC，一个无线电既可设计为全带宽ADC(RF采样ADC)，也可设计为IF采样ADC(中频ADC)。唯一的系统变更将是在RF侧，针对IF ADC可能需要增加极少的混频。绝大部分变更将是在软件中进行，配置ADC以支持新的带宽。不过，ADC + FPGA硬件设计可以基本保持不变。这就形成了一个基准硬件设计，其可以适用于许多平台，软件要求是其唯一变数。

更多其他特性

深亚微米CMOS工艺带来的高集成度开创了ADC的新时代——越来越多的特性被内置于ADC中。其中包括支持高效AGC(自动增益控制)的快速检测CMOS输出，以及信号监控(如峰值检波器)。所有这些特性都有助于系统设计，减少外部器件，缩短设计时间。

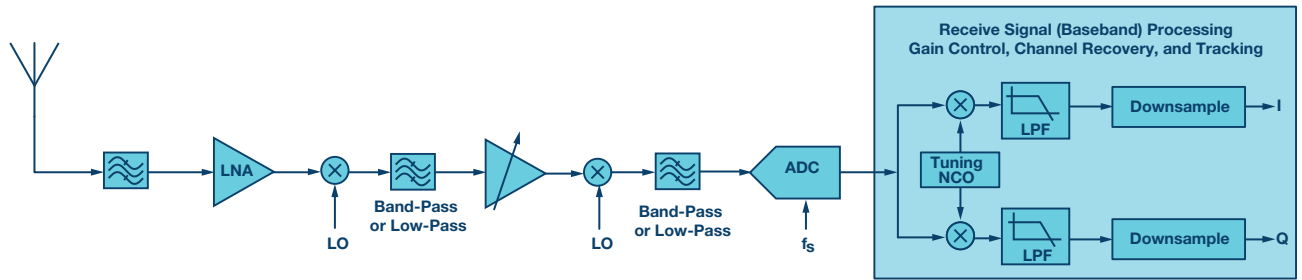


图3. 用于蜂窝无线电的宽带数字接收机

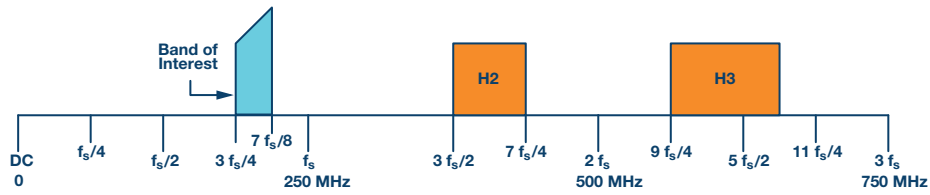


图4. 采用250 MSPS ADC的50 MHz宽带无线电的频率规划

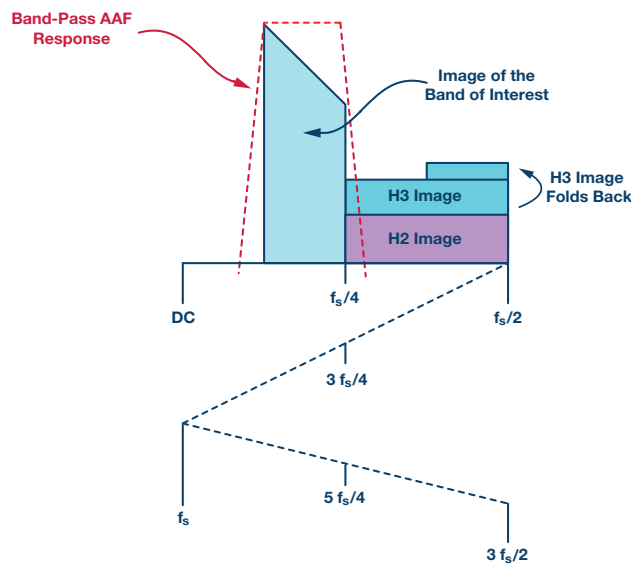


图5. 显示在第一奈奎斯特区中的可用频段, 含二次和三次谐波

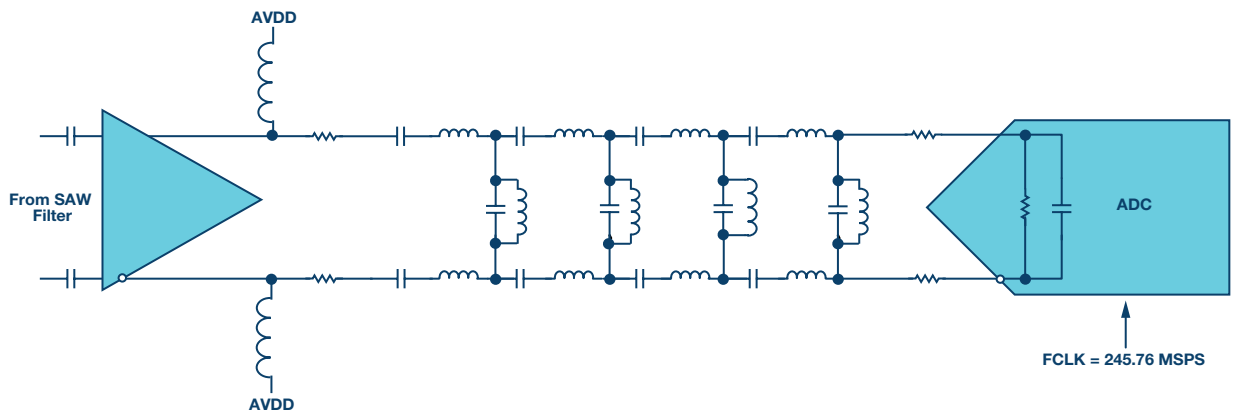


图6. 包括放大器、抗混叠滤波器和250 MSPS ADC的前端设计

通信接收机设计更加灵活

一个非常常见的ADC使用案例是通信接收机系统设计。关于软件定义无线电(SDR)和采用ADC的通信接收机已有许多文献，本文不打算展开讨论。图3所示为较早一代无线电接收机的功能框图[1]。

GSM无线电接收机的一般规格要求ADC的噪声频谱密度(NSD)至少为153 dBFS/Hz或更佳。众所周知，NSD与ADC的SNR存在如下关系[3]：

$$NSD = SNR + 10 \log_{10} (f_s \div 2)$$

其中：

SNR的单位为dBFS

f_s = ADC采样速率

常规软件无线电设计

在宽带无线电应用中，对高达50 MHz的频段同时进行采样和转换并不是罕见的事。为了正确地对50 MHz频段进行数字化，ADC将需要至少5倍的采样带宽，即至少约250 MHz。将这些数值代入上式，ADC达到-153 dBFS/Hz NSD要求所需的SNR约为72 dBFS。

图4显示了利用250 MSPS ADC对50 MHz频段有效采样所采用的频率规划。该图还显示了二次和三次谐波频段的位置。

ADC采样的频率都会落在ADC的第一奈奎斯特(DC - 125 MHz)频段。这种现象称为混叠，因此这些频率包括目标频段、折回或混叠到第一奈奎斯特频段的二次和三次谐波，如图5所示，说明如下：

除NSD规格外，GSM、LTE和LTE-A等蜂窝通信标准还对SFDR(无杂散动态范围)有其它严格要求。这给前端设计带来了很大压力；对目标频段中的信号进行采样时，前端能够衰减干扰信号。

注意，常规无线电前端设计的SFDR规格，即抗混叠滤波器要求很难达到。满足SFDR要求的最佳抗混叠滤波器(AAF)解决方案是采用带通滤波器。通常，此类带通滤波器为五阶或更高阶。一款可以满足此类应用的SNR(或NSD)和SFDR要求的合适ADC是16位250 MSPS模数转换器AD9467 [4]。采用AD9467的蜂窝无线电应用前端设计将类似图6所示。

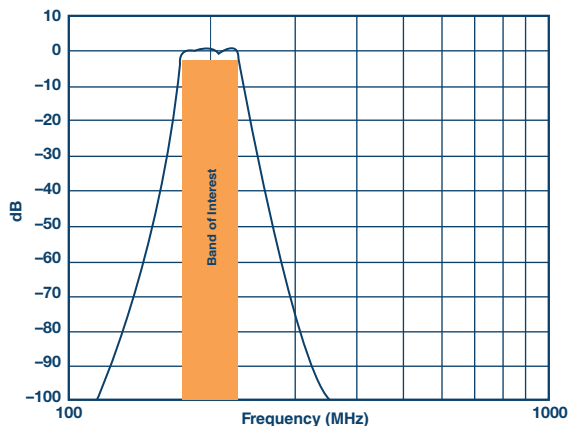


图7. 图6所示前端的带通响应

满足SFDR要求的AAF的频率响应如图7所示。此系统的实现不是不可能，但存在很多设计难题。带通滤波器涉及到大量器件，是最难实现的滤波器之一。器件选择非常重要，任何不匹配都会导致ADC输出中出现不需要的杂散(SFDR)。除了非常复杂以外，任何阻抗不匹配都会影响滤波器的增益平坦度。为了优化该滤波器设计以满足带通平坦度和阻带抑制要求，需要做相当多的设计工作。

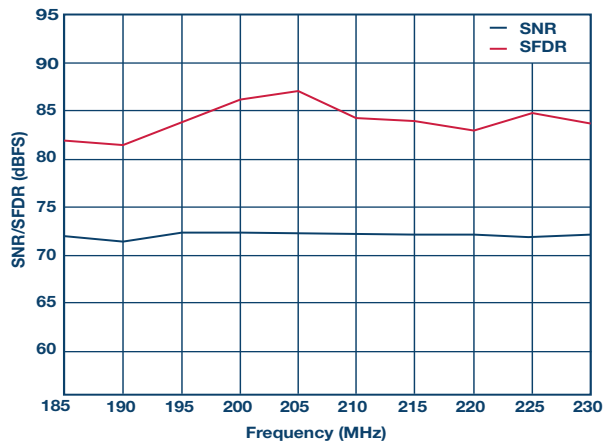


图8. 图6所示16位250 MSPS ADC设计的SNR/SFDR与频率的关系

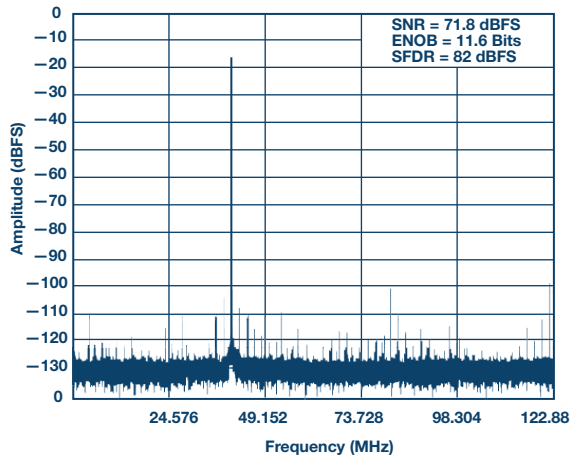


图9. 图6所示16位250 MSPS ADC设计在205 MHz时的FFT

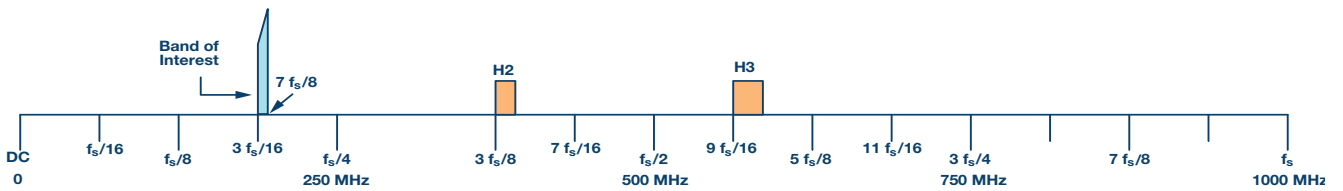


图10. 采用1 GSPS ADC的50 MHz宽带无线电的频率规划

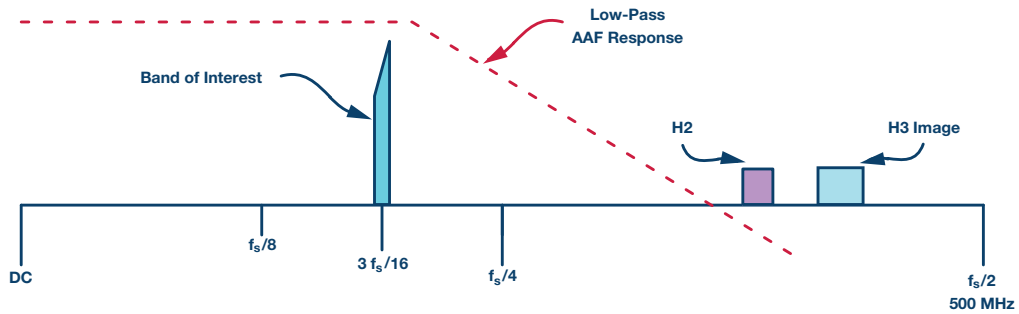


图11. 1 GSPS ADC的AAF移植

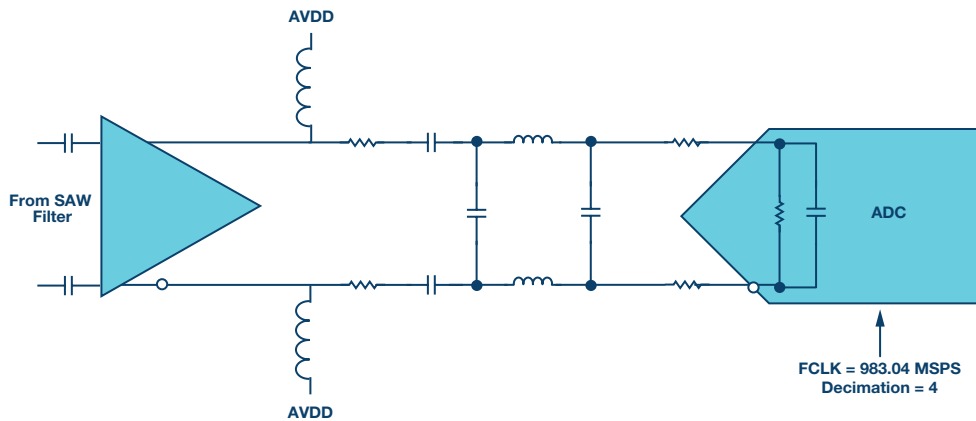


图12. 包括放大器、抗混叠滤波器和1 GSPS ADC的前端设计

虽然这种无线电设计的前端实现很复杂，但它确实有效，如图8中的SNR/SFDR性能与频率的关系曲线所示。205 MHz时的FFT如图9所示。然而，系统实现因为下列原因而变得复杂：

- ▶ 滤波器设计。
- ▶ FPGA必须提供专用I/O端口来捕捉LVDS数据(16对)，这会使PCB设计复杂化。
- ▶ FPGA还需要留出一些处理能力来进行数字信号处理。

RF采样ADC简化并加速设计

RF采样ADC方法采用过采样技术，然后抽取数据以改善动态范围[5]。深亚微米CMOS技术提供的速度优势与高数字集成度能力相结合，开创了RF采样ADC的新纪元，它现在能执行大量重要处理，而不只是简单的模数转换。这些ADC拥有更多的数字电路，支持高速信号处理。

对系统设计人员来说，这意味着实现起来很简单，并可获得其它灵活性，而这在以前一直属于ASIC/FPGA领域。上面的无线

电设计示例也可以利用RF采样ADC实现。AD9680 (14位、1 GSPS JESD204B、双通道ADC)是一款新型RF采样ADC，而且还有其它数字处理能力[6]。此ADC在全速率(1 GSPS)时的NSD约为67 dBFS [3]。现在还不用担心SNR，因为稍后就会知道。目标频段与之前相同，但关于RF采样ADC奈奎斯特区的频率规划要简单得多，如图10所示。这是因为该ADC的采样频率(1 GHz)是上述例子(250 MHz)的4倍。

从频率规划可知，它实现起来要比图4所示简单得多。AAF要求也有所降低，如图11所示。这种方法的思想是使用简单的模拟前端设计，而把数字处理模块留在RF采样ADC内以执行繁重的信号处理。

过采样的好处是将该频率规划扩展到整个奈奎斯特区，即比250 MSPS奈奎斯特区大4倍的区域。这样就大大降低了滤波要求，一个简单的三阶低通滤波器就足够，而无需250 MSPS ADC方案所用的带通滤波器。采用RF采样ADC的简化AAF实现方案如图12所示。

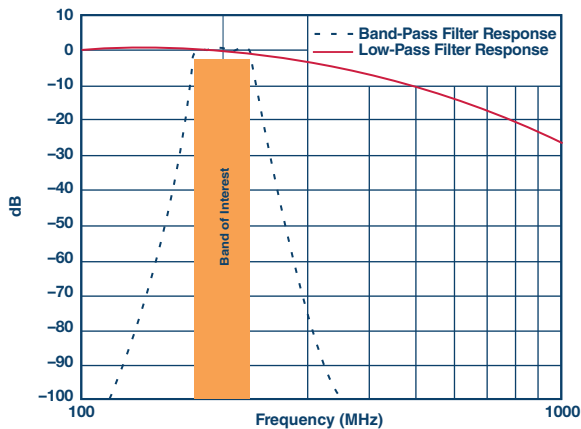


图13. 250 MSPS ADC和1 GSPS ADC的AAF比较

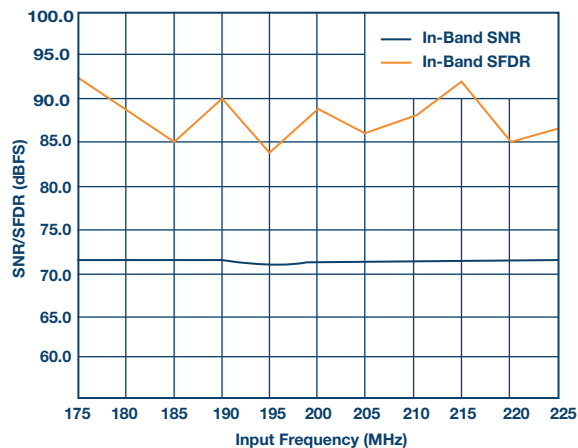


图15. 图12所示14位1 GSPS ADC设计的SNR/SFDR与频率的关系

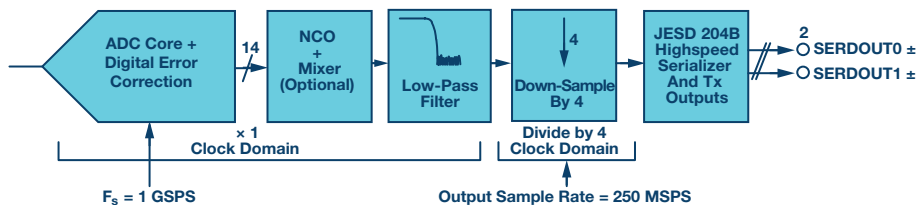


图14. RF采样速率为1 GSPS，DDC设置为1/4抽取

图13所示为低通滤波器响应性能。同时显示了带通滤波器以作比较。低通滤波器的带通平坦度更佳，而且就器件不匹配而言更容易管理。其阻抗匹配也更容易实现。此外，由于器件数量更少，系统成本也更低。简化的前端设计可缩短设计时间。

由于现代RF采样ADC集成了非常多的数字处理功能，因此数字处理可以在ADC内部高速进行。如上文所述，这样可以实现高能效和高I/O效率的设计。现在，系统设计人员可以利用其FPGA的未使用JESD204B收发器来服务来自其它RF采样ADC的数据，这些ADC已对数据进行处理(模数转换、滤波和抽取)。这样就可以高效使用FPGA资源，同时提高无线电设计的通道数。

利用DDC，ADC可以用作数字混频器来调谐至设计需要的任何中频。本例同样使用上述频率规划。采用 $1/4$ 抽取选项和实数混频来演示ADC性能，如图14所示。

在正常或全带宽模式下，AD9680的SNR约为66 dBFS至67 dBFS。当DDC处于工作状态且抽取比为 $1/4$ 时，还可以获得6 dB的额外处理增益[3]。这样可以确保动态范围性能保持不变。由于RF采样ADC以4倍原始采样速率采样，因此谐波会扩展(如图10所示)。RF采样ADC中的DDC确保抽取滤波器以数字方式衰减干扰信号。然而，属于目标频段内的谐波(更高阶或其它)仍会显示，因为DDC允许其通过。引起它的原因可以是放大器伪像或低通滤波器没有足够的衰减能力。低通滤波器可以根据系统要求重新设计，以满足其它杂散性能要求。图15显示了1 GSPS ADC的SNR/SFDR与输入频率的关系。数据清楚地表明，DDC的使用使得SNR提高6 dB(原因是处理增益)，SFDR也得到改善。在全带宽模式下运行时，SFDR通常受二次或三次谐波限制，而在DDC模式($1/4$ 抽取)下，限制因素为最差其它谐波。

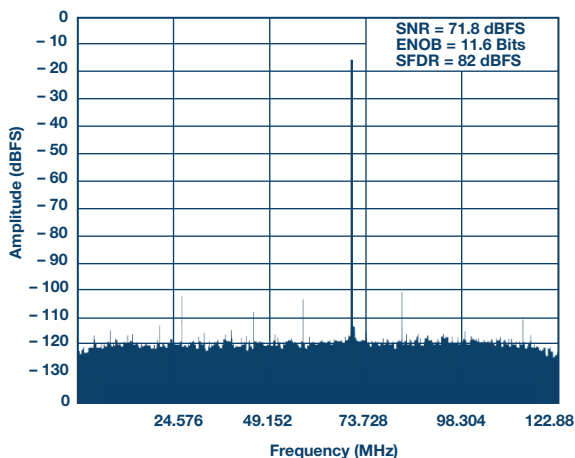


图16. 1/4抽取时1 GSPS ADC的205 MHz FFT; NCO调谐至200 MHz

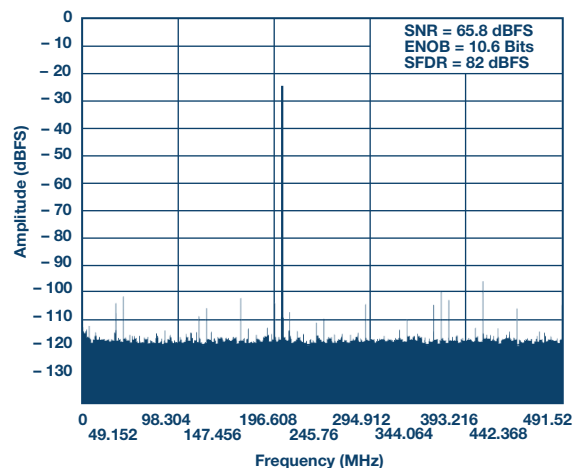


图17. 全带宽模式下1 GSPS ADC的205 MHz FFT

抽取输出的FFT如图16所示。使用DDC时，必须采取措施确保目标频段得到正确处理。本例中，NCO调谐至200 MHz，使得目标频段落在抽取奈奎斯特区的中央。DDC可以方便地消除频谱中不需要的频率。因此，FPGA的处理开销更低。作为对比，图17显示了AD9680在正常(全带宽)工作模式下的FFT。

通过这些图形可知，DDC除了能改善带内噪声性能之外，还能提供无干扰谐波清洁频谱。由于DDC对数据进行滤波和抽取(至250 MSPS)，因此还会降低输出通道速率，这使得JESD204B串行接口具有更灵活的选项。系统设计人员可以选择高通道速率(较昂贵)、低I/O数FPGA或低通道速率(较便宜)、高I/O数FPGA。

结论

RF采样ADC为系统设计提供了独特的优势，而在几年前，这是无法实现的。业界期望加速基础设施的设计和实现，以便应对更高的带宽需求。设计时间和预算不断缩减，对可扩展、可重新配置、更多由软件驱动的架构的需求催生出新的设计范式。更高带宽的需求伴随着更高容量的需求。这就给FPGA I/O带来了更大的压力，而RF采样ADC可以利用内部DDC予以化解。

参考文献

1. “噪声频谱密度：一个‘新’ADC指标？”《Electronic Design》，2014年。
2. W. Kester. 数据转换手册，Elsevier/Newnes, 2005年。
3. D. Robertson. “高速转换器：简介和工作原理”《Electronic Design》，2014年。
4. “AD9467.” ADI公司。 www.analog.com/AD9467
5. “AD9680.” ADI公司。 www.analog.com/AD9680
6. “过采样” <http://en.wikipedia.org/wiki/Oversampling>

作者简介

Umesh Jayamohan是ADI公司(美国北卡罗来纳州格林斯博罗)高速模数转换器团队的应用工程师。他于2010年加入ADI公司。1998年获得印度喀拉拉大学电气工程学士学位。2002年获得亚利桑那州立大学电气工程硕士学位。他是ADI技术支持论坛高速ADC支持社区的会员。通过以下任一链接均可与其联系：

https://ez.analog.com/community/data_converters/high-speed_adcs

<https://ez.analog.com/people/UmeshJ>

umesh.jayamohan@analog.com

在线支持社区

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

ezchina.analog.com

engineerzone[®]
中文技术论坛

全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编: 100085
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. TA13179sc-0-11/15

analog.com/cn

