

了解JESD204B规范的各层——从高速ADC的角度出发(第一部分)

作者: Jonathan Harris, ADI公司应用工程师

简介

随着高速ADC跨入GSPS范围, 与FPGA(定制ASIC)进行数据传输的首选接口协议是JESD204B。为了捕捉频率范围更高的RF频谱, 需要宽带RF ADC。在其推动下, 对于能够捕捉更宽带宽并支持配置更灵活的SDR(软件定义无线电)平台的GSPS ADC, 高速串行接口(在此情况下即JESD204B)是必不可少的。JESD204B标准是一种分层规范, 了解这一点很重要。规范中的各层都有自己的功能要完成。应用层支持JESD204B链路的配置和数据映射。传输层实现转换样本与成帧未加扰八位字之间的映射。加扰层可以选择性地获取八位字并进行加扰或解扰, 以便通过延展频谱尖峰来降低EMI效应。加扰在发送器中完成, 解扰在接收器中完成。在数据链路层中, 可选加扰的八位字编码成10位字符。该层也是产生或检测控制字符的地方, 目的是监视和维护通道对齐。物理层即串行器/解串器(SERDES)层, 负责以线路速率发送或接收字符。该层包括串行器、驱动器、接收器、时钟和数据恢复电路。图1显示了这些层在JESD204B中的安排。为了更好地理解该规范, 详细阐释各层对了解ADC样本如何映射到8B/10B串行字是有好处的。

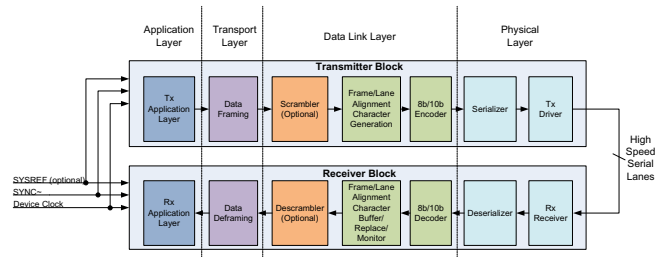


图1. 通过JESD204B各层的简化数据流

应用层

通过应用层可以实现特殊用户配置, 以及将采样数据映射到典型JESD204B规范之外。这样便能更有效地使用该接口来降低功耗并获得其它好处。必须注意: 发送器(ADC)和接收器(FPGA)均须采用此类特殊配置。接收器和发送器必须以相同方式进行配置, 以便正确传输和解读数据。对于需要以不同于N'(每个样本传输的位数)的样本大小传输数据的ADC, 以独特方式配置应用层可能有利。可以将多个样本重新包装, 从而降低通道速率, 提高链路整体效率。

传输层

让我们仔细看看JESD204B规范的传输层。传输层接受ADC样本并添加信息(填充)以产生半字节组(通常在4位边界上)。此信息以结束位或控制位的形式提供, 是有关所传输数据的附加信息。传输层将这些半字节组安排为帧。必须注意: 传输层以并行数据将这些样本提供给数据链路。并行数据总线的宽度由成帧器结构决定, 单字节为8位, 双字节为16位, 以此类推。此时的数据流尚未达到串行器。

一个ADC可以映射到一个单通道链路，或者映射到一个多通道链路。这种配置能力对于宽带RF应用中使用的GSPS ADC特别方便，在此类应用中，采样速率决定是否使用多个通道，以便符合对通道速率的限制。若同一器件中有M个ADC，也可以将多个转换器映射到多个通道。这些ADC可以映射到一个单通道链路，或者映射到一个包括L个通道的多通道链路。某些情况下，一个ADC可能需要多个通道。这要由给定ADC的最大通道速率来决定。例如，12位、2.5 GSPS AD9625的最大通道速率为6.5 Gbps。这意味着当N'等于16时，总共需要8个通道。有时候，通道速率可能受到系统中的FPGA限制。对于在RF应用中使用GSPS ADC的客户，成本可能是设计考虑之一。为了降低成本，可以使用通道速率较低的FPGA。例如，14位、1.0 GSPS双通道AD9680的最大通道速率为12.5 Gbps。AD9680有4个输出通道，可配置抽取来降低采样速率，从而降低通道速率。这对于特定RF应用有两个作用：一是降低通道速率，二是带宽选择。

现在回到JESD204B参数，N'参数指定JESD204B字大小。转换器采样分辨率被分解成4位半字节。14位转换器和16位转换器分别有4个半字节，而12位转换器有3个半字节。如果AD9625的N'设置为12，则所需通道数可以减少2个，有6个通道便可使通道速率小于6.5 Gbps。建议将转换样本数(S)映射到4位半字节边界上的JESD204B字中。图2显示了ADC样本数到串行通道的映射。它已经参数化，支持许多可以利用JESD204B实现的潜在情况。

N'参数等于半字节数量乘以4。将转换器的N'设为16，分辨率范围设为8位至16位，对于发射器和接收器都是有益的。这允许将相同的发射器和接收器用于多个转换器，从而简化了整体系统设计。不完整的半字节有空间可用于JESD204B标准定义的控制位(CS)或结束位(下面的图2中显示为TT)中。必须满足公式 $N' = N + CS + T$ 。如有控制位，其附于每个转换器样本的LSB之后。在使用转换器数量、每帧采样数量、JESD204B字大小和最大通道速率来计算通道数量后，我们就可以确定每帧所发送的八位字数量F。可采用下面的公式来确定该参数： $F = (M \times S \times N') / (8 \times L)$ 。有关JESD204链路参数的更多信息，请参阅参考文献1，其

中对链路参数做了更详细的说明。另有一个分为四部分的在线研讨会，它从传输层开始，提供了有关JESD204标准的进一步信息。

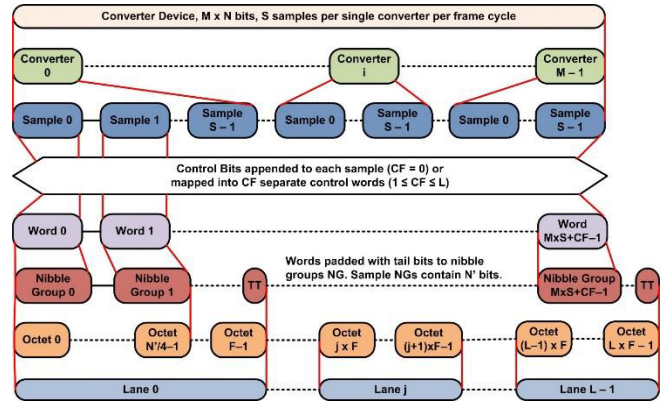


图2. 传输层ADC样本映射

传输层根据给定器件已定义的链路配置参数，决定如何包装来自ADC的数据。这些参数在初始通道对齐序列(ILAS)期间从ADC传输到FPGA。这些设置通过串行端口接口(SPI)配置，其设置ADC和FPGA上的寄存器值来定义链路配置参数。根据这些参数产生一个校验和并将其传输给接收器，以便接收器(FPGA)能够验证链路配置参数是否正确接收。通过链路传输的这些参数不是用于配置接收器，而是仅用于验证链路参数匹配。若检测到错误，FPGA将通过JESD204B规范的错误报告中定义的中断报告此错误。有关链路配置参数的更多信息，请参阅本文末尾列出的参考文献1。

数据链路层

数据链路层接受并行成帧数据(包含ADC样本、控制位和结束位)，并输出8B/10B字，后者在物理层中进行串行化且可以加扰。8B/10B方案会增加一些开销，但能提供直流平衡的输出数据和内置差错校验。数据链路层通过链路建立过程同步JESD204B链路。链路建立包括三个不同阶段：

- 1) 代码组同步(CGS)
- 2) 初始通道对齐序列(ILAS)
- 3) 用户数据

在代码组同步(CGS)期间，各接收器(FPGA)必须利用时钟和数据恢复(CDR)技术，在ADC传来的输入数据流中找到

K28.5字符。一旦在所有链路通道上检测到某一数量的连续K28.5字符，接收器模块就会解除置位送至发送器模块在代码组同步(CGS)期间，各接收器(FPGA)必须利用时钟和数据恢复(CDR)技术，在ADC传来的输入数据流中找到K28.5字符。一旦在所有链路通道上检测到某一数量的连续K28.5字符，接收器模块就会解除置位送至发送器模块的SYNC~信号。在JESD204A中，发送模块捕捉SYNC~信号的变化，经过固定数量的帧时钟之后，ILAS就会启动。在JESD204B中，发送模块捕捉SYNC~信号的变化，并在下一个本地多帧时钟(LMFC)边界上启动ILAS。

ILAS的主要作用是对齐链路的所有通道，验证链路参数，以及确定帧和多帧边界在接收器的输入数据流中的位置。在ILAS期间，链路参数被发送到接收器(FPGA)，以决定如何将数据发送到接收器。ILAS由4个或更多多帧组成。各多帧的最后一个字符是多帧对齐字符/A/。第一、第三和第四个多帧以/R/字符开始，以/A/字符结束。对于ADI ADC，其间的数为斜坡数据。接收器利用各通道的最后一个/A/对齐接收器内各多帧的末尾。

第二个多帧包含/R/和/Q/字符，随后是链路参数。/Q/字符表示之后的数据是链路配置参数。如果接收器需要，ILAS可以添加其它多帧。最后一个ILAS多帧的最后一个/A/字符出现后，用户数据开始。在不需要通道间偏斜管理的系统中，可以旁路ILAS，只要发送器和接收器均支持这种模式。

CGS和ILAS阶段完成后，发送器开始送出用户数据(即来自ADC的样本)。在这一阶段，用户数据根据发送器(ADC)中定义并转发到接收器(FPGA)的链路参数，以流形式从发送器传输到接收器。这就是RF频谱中被GPS ADC数字化的所有带宽传输以供处理的地方。接收器模块处理并监视收到的数据有无错误，包括运行差异不正确(8B/10B错误)、不在表中(8B/10B错误)、意外控制字符、ILAS不正确和通道间偏斜(注意：8B/10B以某种方式来维持运行差异，使得输出数据处于直流平衡状态，同时为接收器中的时钟和数据恢复电路保持充足的输出跃迁)。如有这其中的任何错误，将以两种方式中的一种向发送器报告：

- SYNC~置位—每个错误都需要重新同步(SYNC~拉低)。
- SYNC~报告—如果发生错误，SYNC~将变为高电平并持续一个帧时钟周期。

在初始通道对齐序列期间，数据链路层负责使接收器中的通道对齐。/A/字符就是为了对齐接收器中的通道而使用。JESD204 A和B规范要求/A/字符之间至少隔开17个八位字。这样可以降低系统大偏斜量的影响。在JESD204 A和B系统中，偏斜在下列三个可能的场景中进行了定义：

- 1) 一个发送器模块和一个接收器模块
- 2) 多个发送器模块和一个接收器模块
- 3) 多个发送器模块和多个接收器模块

达到用户数据阶段后，如果需要，通过数据链路中的字符替换可以监视并纠正帧和通道对齐。字符替换在帧和多帧边界处进行。有两种情况，一是基于帧的字符替换，二是基于多帧的字符替换。在基于帧的字符替换中，若给定通道上某一帧的最后一个字符与上一帧的最后一个字符相同，则发送器将用/F/字符替换该字符。这一做法同样适用于使能加扰时，上一帧的最后一个字符是0xFC。在基于多帧的字符替换中，若给定通道上某一多帧的最后一个字符与上一帧的最后一个字符相同，则发送器将用/A/字符替换该字符。这种情况下，当使能加扰时，若上一多帧的最后一个字符是0x7C，字符替换也会进行。CGS、ILAS、用户数据阶段以及字符替换的图解如图3所示。

在接收器字符替换中，接收器的操作必须与发送器的操作刚好相同。若检测到/F/字符，它将被上一帧的最后一个字符替代。若检测到/A/字符，它将被上一多帧的最后一个字符替代。加扰使能时，/F/字符被0xFC替代，/A/字符被0x7C替代。若接收器检测到两个连续错误，它可以重新对齐通道。然而，当它执行该操作时，数据会被破坏。表1是JESD204所有控制字符的简单列表。有关控制字符的更多信息，请参阅参考文献3。

表1. JESD204控制字符

控制字符	控制符号	8位值	10位值, RD = -1	10位值, RD = +1	描述
/R/	K28.0	000 11100	001111 0100	110000 1011	多帧开始
/A/	K28.3	011 11100	001111 0011	110000 1100	通道对齐
/Q/	K28.4	100 11100	001111 0010	110000 1101	链路配置 数据开始
/K/	K28.5	101 11100	001111 1010	110000 0101	组同步
/F/	K28.7	111 11100	001111 1000	110000 0111	帧对齐

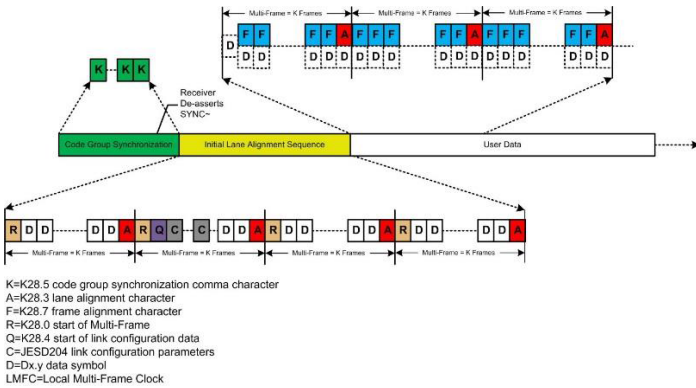
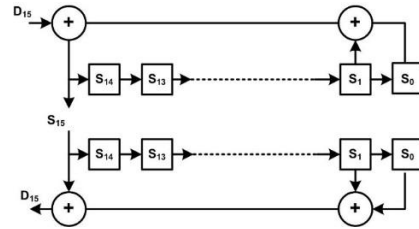


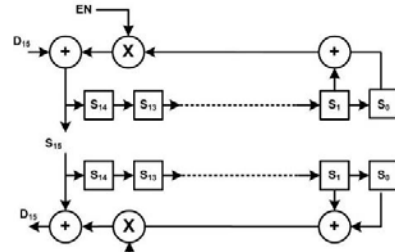
图3. 数据链路层—ILAS、CGS、数据序列

可以选择加扰数据，但必须注意：加扰要等到ILAS完成后出现第一个八位字之后才会开始。这意味着CGS和ILAS不会加扰。实施加扰可以降低发送器与接收器之间的高速串行通道上的频谱峰值辐射。在某些系统设计中，特定数据模式可能会导致产生对给定系统工作频率不利的频谱，实施加扰可以解决这一问题。加扰模块利用一个自同步的加扰模式，其具有如下多项式： $1 + x^{14} + x^{15}$ （框图见图4）。数据在8B/10B编码器之前进行加扰，解码后在接收器中进行解扰。由于加扰模式是自同步的，因此输入和输出端的两个移位寄存器不得具有相同的初始设置，否则加扰功能会不起作用。解扰器总是在两个八位字数据之后跟上步伐并

与加扰器自动同步。不是所有系统都需要加扰数据，因此，该层应有能力旁路加扰功能。



a. JESD204B Scrambler



b. JESD204B Descrambler

图4. JESD204B加扰/解扰

物理层

在物理层中，数据进行串行化，8B/10B编码数据以线路速率发送和接收。物理层包括串行/解串器(SERDES)模块、驱动器、接收器和CDR。由于数据传输速率非常高，这些模块常常采用定制单元设计。JESD204和JESD204A均支持最高3.125 Gbps的速度。JESD204B规范支持三种可能的速度等级。速度等级1支持最高3.125 Gbps的速度，基于OIF-Sx15-0.10规范。速度等级2支持最高6.375 Gbps的速度，基于CEI-6G-SR规范。速度等级3支持最高12.5 Gbps的速度，基于CEI-11G-SR规范。表2概要显示了三种速度等级对应的一些物理层规格。

表2. JESD204B物理层规范

参数	OIF-Sx15-01.0	CEI-6G-SR	CEI-11G-SR
线路速率(Gbps)	≤3.125	≤6.375	≤12.5
输出差分电压 (mVppd)	500(最小值) 1000(最大值)	400(最小值) 750(最大值)	360(最小值) 770(最大值)
输出上升/下降时间(ps)	>50	>30	>24
输出总抖动 (pp UI)	0.35	0.30	0.30

表2列出了各种速度等级的JESD204B标准物理层信号的线路速率、差分电压、上升/下降时间和总抖动。速度等级越高，信号幅度越小，保持高压摆率就越容易，因而能够维持开数据眼以正确传输信号。这些高速信号具有快速上升沿和下降沿，对电路板设计的约束非常严格。对于许多宽带RF系统设计者来说，这不是新鲜事。然而，高速数字设计的一个重要区别是宽带宽。典型RF系统的信号带宽约为RF工作频率的10%或以下。对于这些高速串行通道速率，系统设计需要考虑的带宽通常为通道速率的3倍至5倍。通道速率为5 Gbps时，信号带宽将是7.5 GHz到12.5 GHz。对于如此宽的带宽，保持适当的信号完整度并且了解如何衡量信号完整度是很重要的。

在串行差分接口中，眼图是信号完整度的常用测量方法。图5显示了以最高3.125 Gbps的速度工作时JESD204发送器的眼图罩。表3提供了有关时序、电压电平、阻抗和回波损耗的详细信息。信号不得侵占图中的米色区域，必须始终处于白色区域中。表中给出了发送器必须满足眼罩的条件。对于JESD204B规范中的另外两种速度等级，也有类似的眼图罩。详情请参阅CEI-6G-SR和CEI-11G-SR物理层规范。有关眼图罩的更多信息，请参阅参考文献2，其中说明了物理层测量。

表3. 眼图测量

参数	值	单位
XT1	0.175	UI
XT2	0.45	UI
YT1	0.50	UI
YT	0.25	UI
DJ	0.17	pp UI
TJ	0.35	pp UI

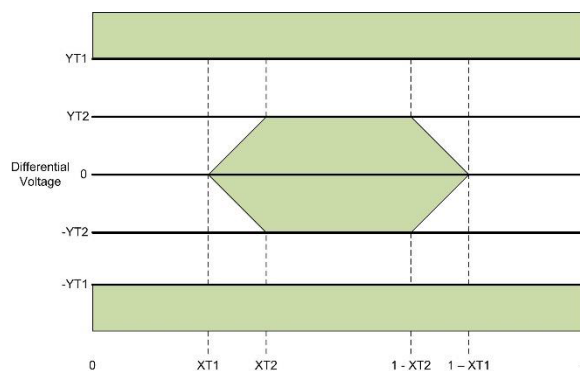


图5. Tx眼图罩示例

结语

采用JESD204B的设计数量与日俱增，并且涉及诸多市场，例如通信、仪器仪表、军工和航空航天。这些市场推动宽带RF系统设计使用GSPS ADC，因而需要JESD204B串行接口。收发器支持JESD204B串行化/解串的FPGA越来越多，而且越来越便宜。随着JESD204B接口变得越来越受欢迎，了解JESD204B规范的各层是很重要的。如上所述，规范中的各层都有自己的功能要完成。配置和数据映射是应用层的功能，而转换样本与未加扰八位字之间的映射是在传输层完成。加扰可以选择性使能，以通过延展频谱尖峰来降低EMI影响。在数据链路层，可选加扰的八位字编码为8B/10B字符，控制字符的产生或检测也在这里完成，以便支持通道对齐监控和维护。驱动器、接收器、时钟和数据恢复电路构成发送和接收数据的物理层。通过本文，系统设计者应当能够更好地了解JESD204B规范的各层，从而在下一个设计中更加有准备地实施JESD204B。

MS-2714

参考文献

Jonathan Harris, “[了解JESD204B链路参数](#)”, *Planet Analog*, 2013年。

Jonathan Harris, “[JESD204B发送器的三个关键物理层\(PHY\)性能指标](#)”, *EE Times*, 2013年。

Jonathan Harris, “[JESD204B中的链路同步和对齐: 了解控制字符](#)”, *EE Times*, 2013年。

[JESD204B数据转换器串行接口JEDEC标准](#)。

Palkert, Thomas. “[系统接口第5级: 2.488-3.125 Gbps并行接口的常见电气特性](#)”, *Optical Internetworking Forum*, 2002年。

“[常见电气I/O \(CEI\)—6G+ bps、11G+和25G+bps I/O的电气和抖动互操作性协定](#)”, *Optical Internetworking Forum*, 2005年。

资源

分享本文:

[facebook](#)

[twitter](#)