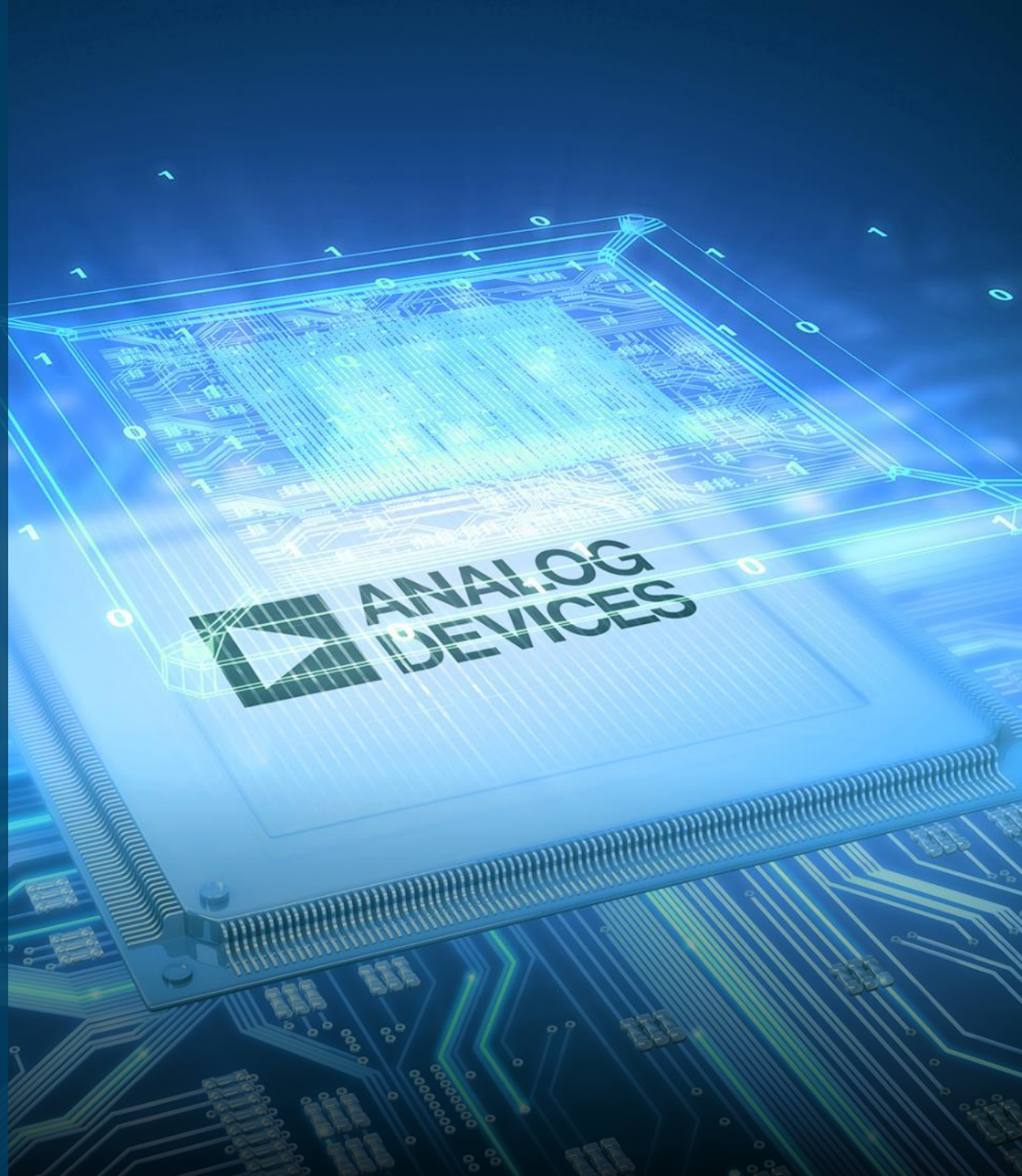
ANALOG DEVICES

AHEAD OF WHAT'S POSSIBLE™

时钟与频率合成基本原理



今日议程

- 时钟和频率合成的应用领域
- 锁相环(PLL)的设计与应用
- 直接数字频率合成(DDS)的设计与应用
- 数据转换器时钟的问题
- 时钟产生与分配

五类时钟芯片

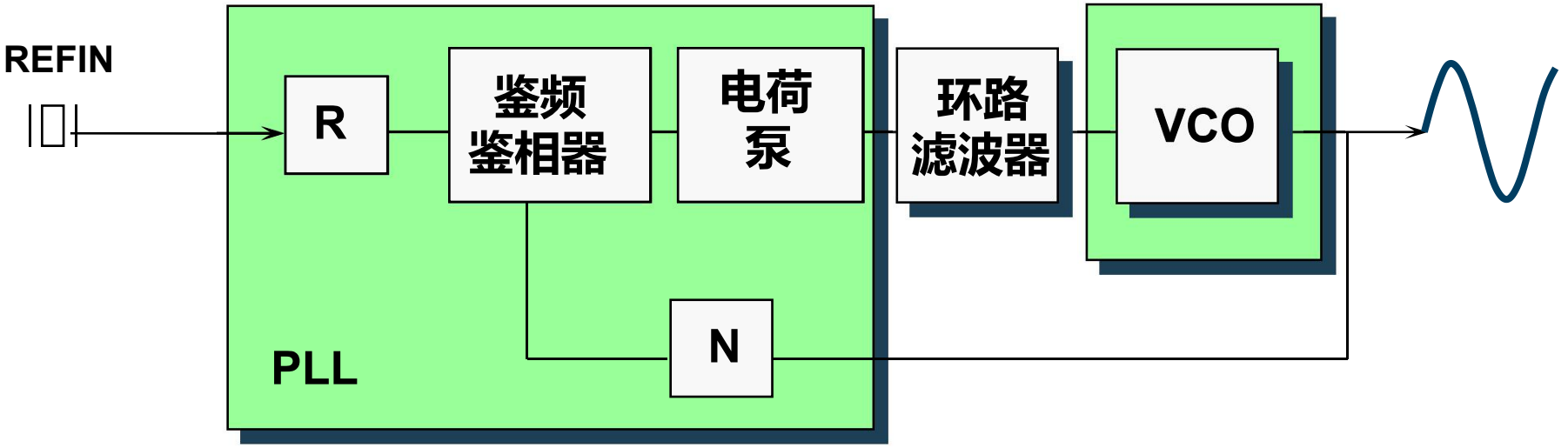
- 模拟PLL
  - 使用模拟乘法器作为鉴相器
  - 未广泛使用
- 数字PLL
  - 使用数字鉴频鉴相器(PFD)、模拟环路滤波器、电压控制振荡器(VCO)
  - 架构简单
  - 极高性能和低噪声
- 全数字PLL
  - 使用数字鉴频鉴相器(PFD)、数字环路滤波器、NCO
  - 出色的抖动净化功能
  - 极其灵活
- 直接数字频率合成器
  - 极其灵活的频率产生功能
  - 极快的扫频和跳频功能
  - 非常受军用和仪器仪表应用欢迎
- 通用振荡器
  - 晶振
  - 电压控制振荡器(VCO)

什么是时钟？常用频率是多少？

- 与数据波形不同，时钟信号是一个方波，其频率通常是恒定的。

- 常用频率包括：
  - GPS 使用 1 pps（脉冲/秒）
  - 有线通信常用8 kHz，一般将该频率称为BITS时钟
  - 同步光(SONET)网络的常用参考时钟是19.44 MHz，并且替代SONET的OTU（光纤传输单元）网络依然使用该时钟
  - 122.88/245.75/491.52… MHz常用于无线通信
  - 以太网的常用参考时钟是125 MHz和156.25 MHz
  - 时钟晶振常用32.768 kHz

PLL与DDS功能框图



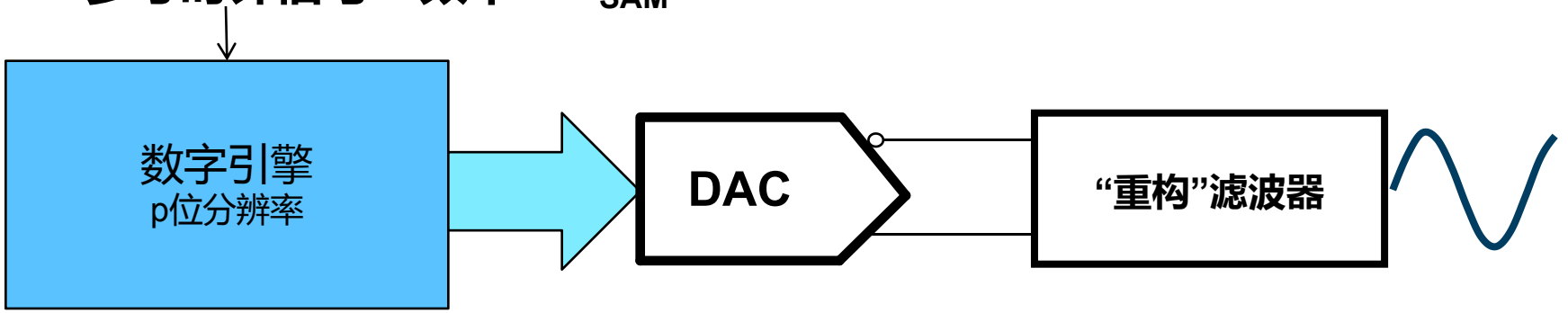
PLL频率基本公式：

$F_{OUT} = REFIN \times (N/R)$

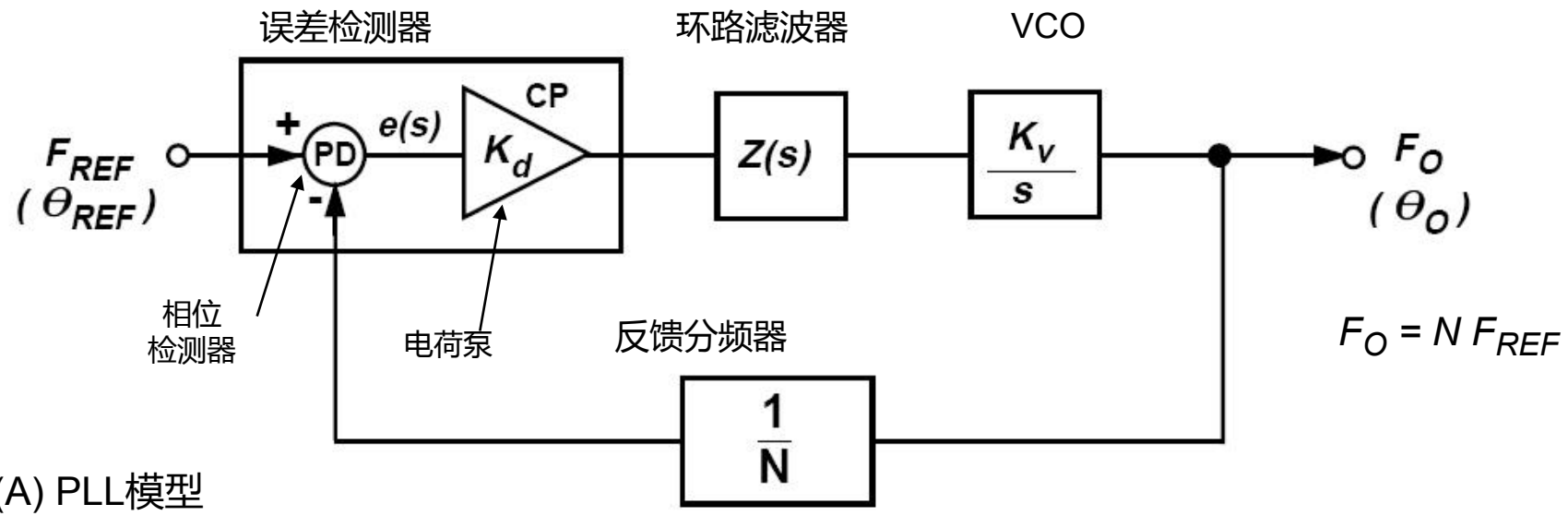
DDS频率基本公式：

$F_{OUT} = F_{SAM} \times (FTW/2^{p})$

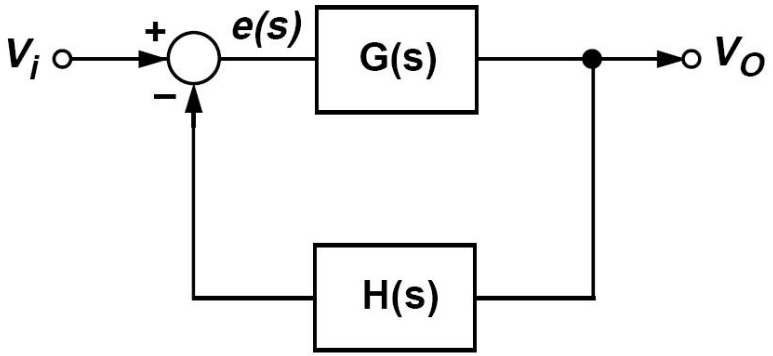
参考时钟信号：频率 = F_{SAM}



锁相环(PLL)基本模型

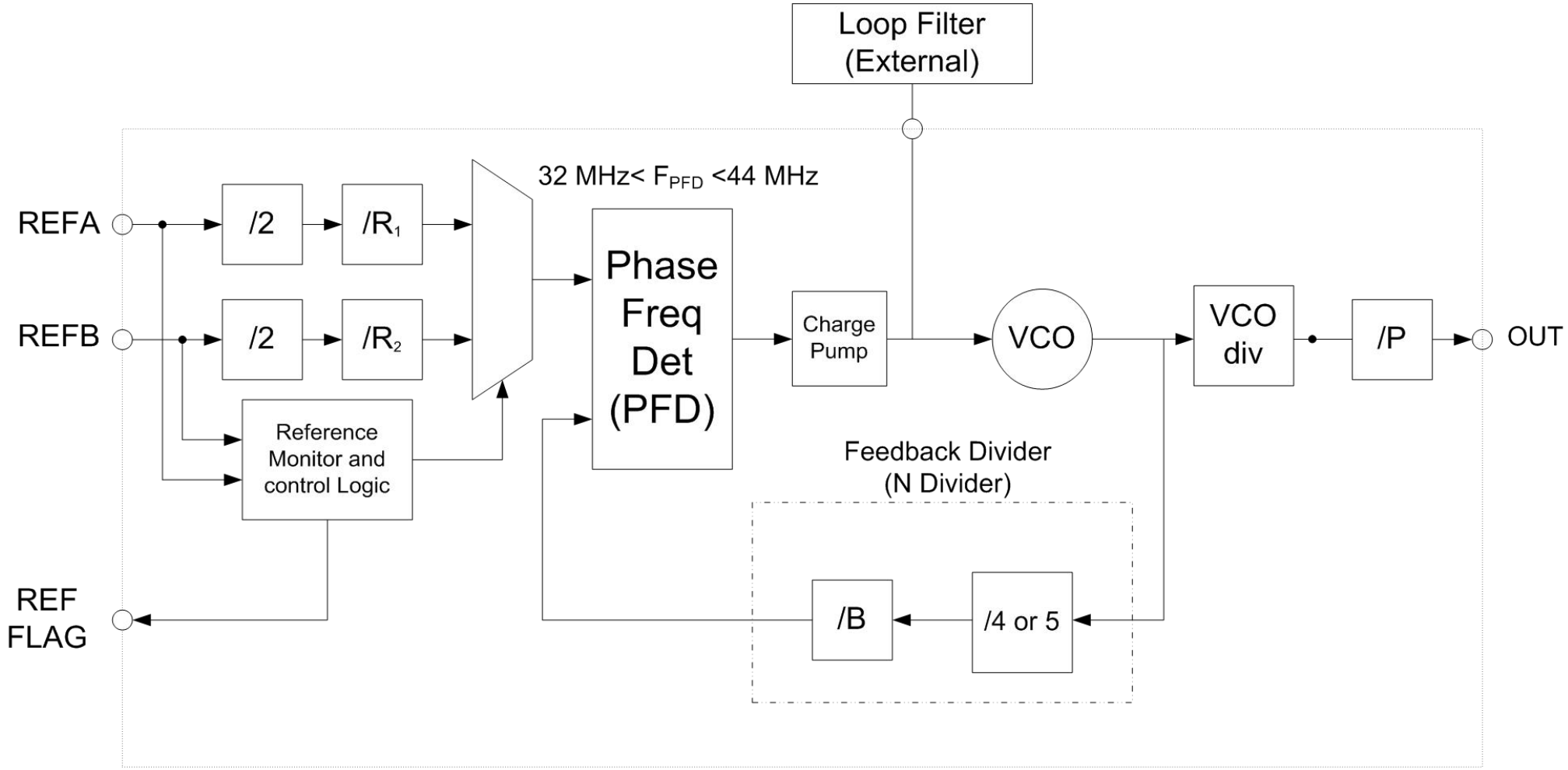


(A) PLL模型

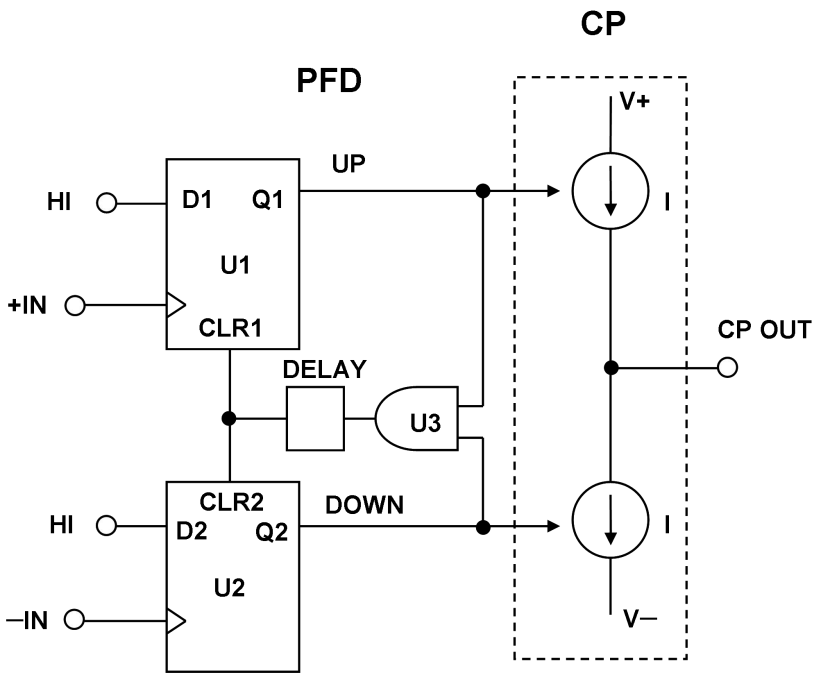


(B) 标准负反馈
控制系统模型

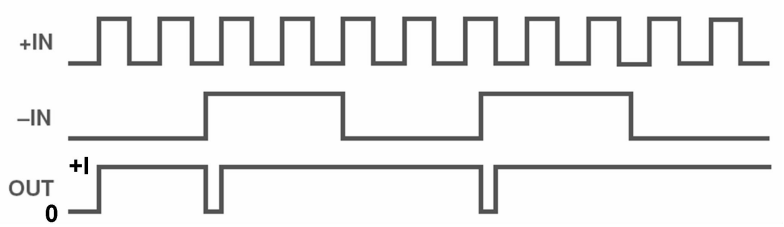
数字PLL框图



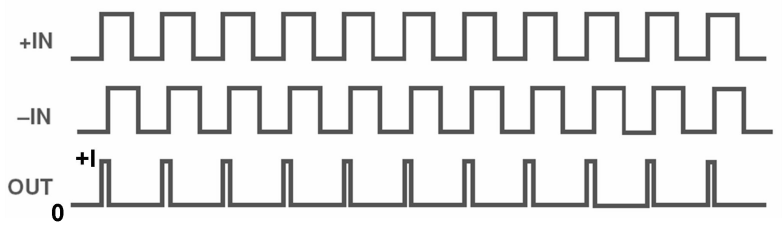
鉴频鉴相器(PFD)
驱动电荷泵(CP)



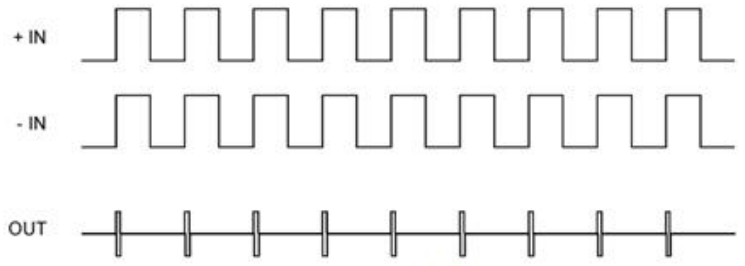
UP	DOWN	CP OUT
1	0	+ I
0	1	–I
0	0	0



(A) OUT OF FREQUENCY LOCK AND PHASE LOCK



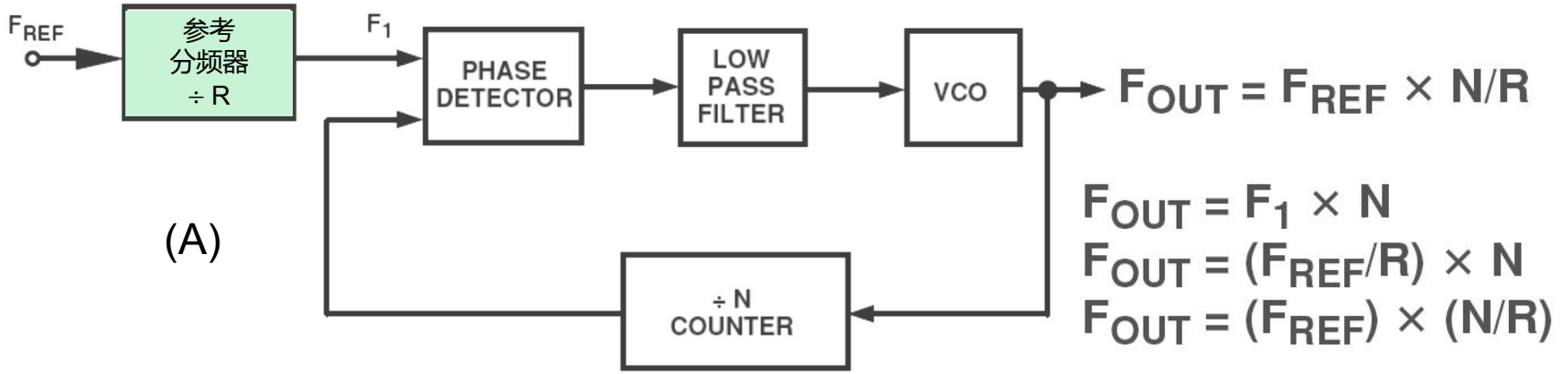
(B) IN FREQUENCY LOCK, BUT
SLIGHTLY OUT OF PHASE LOCK

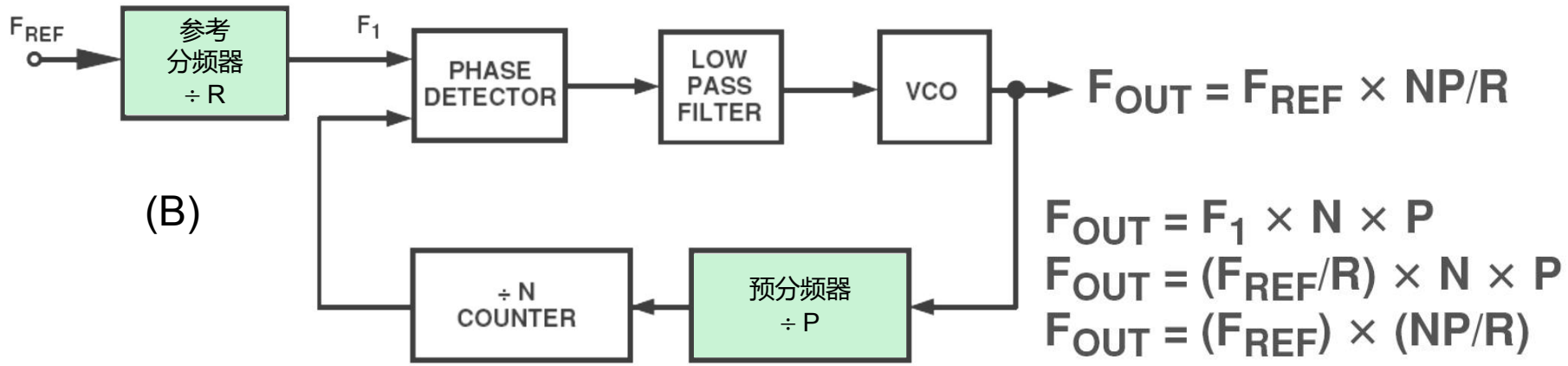


(C) 输入频率锁定和相位锁定

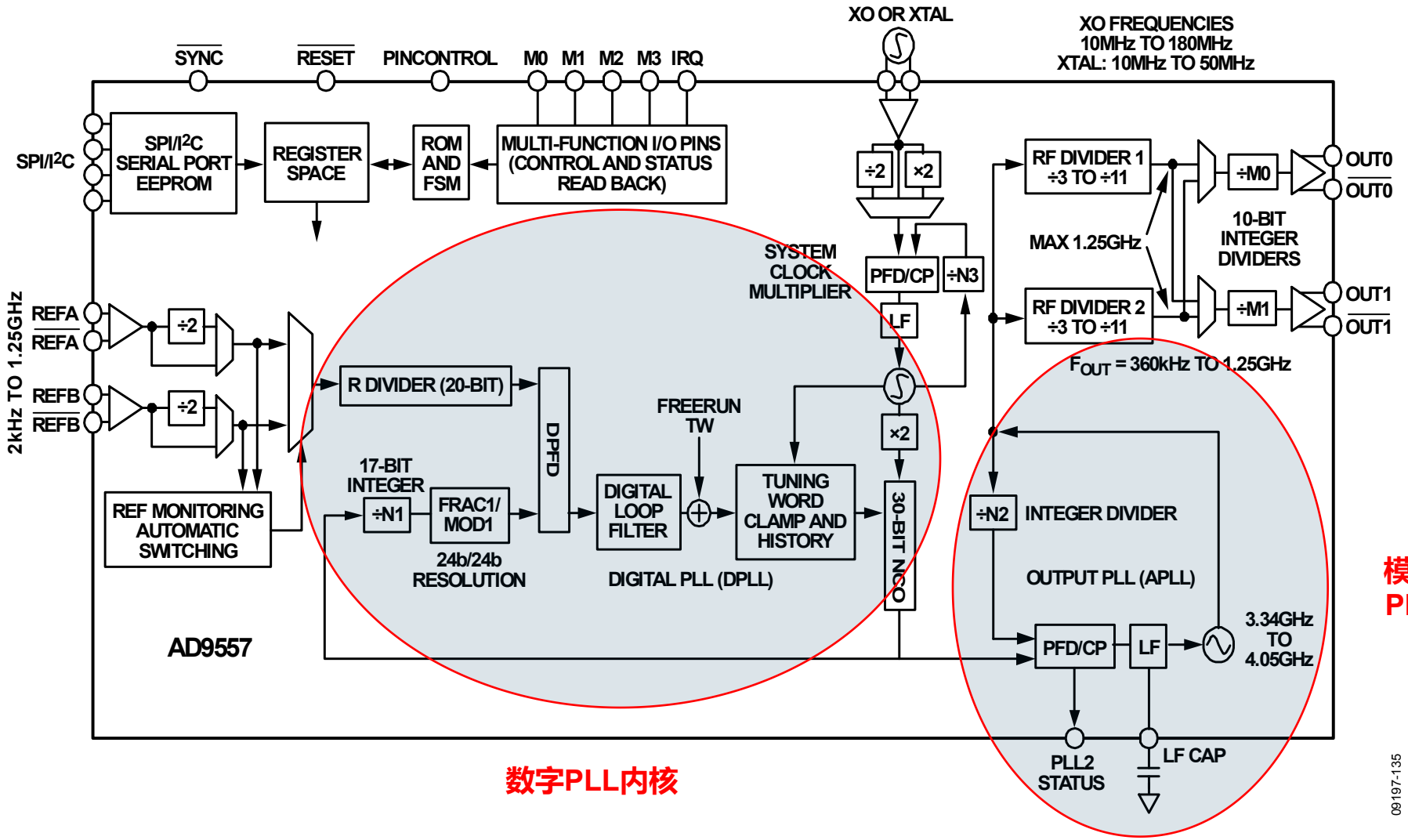
ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

向基本PLL中添加
输入参考分频器和预分频器





全数字PLL详细框图
（图中所示为AD9557）



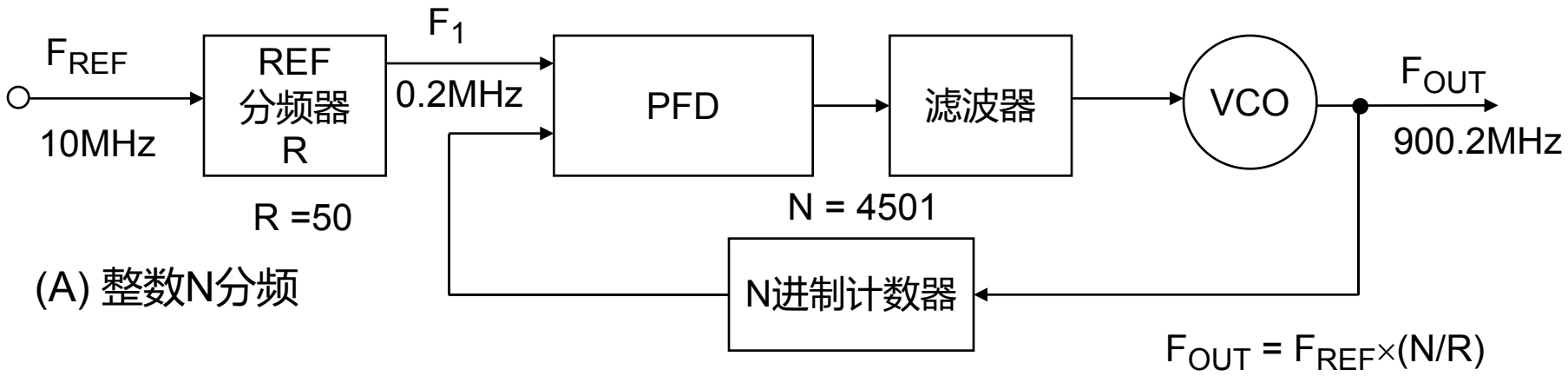
数字PLL内核

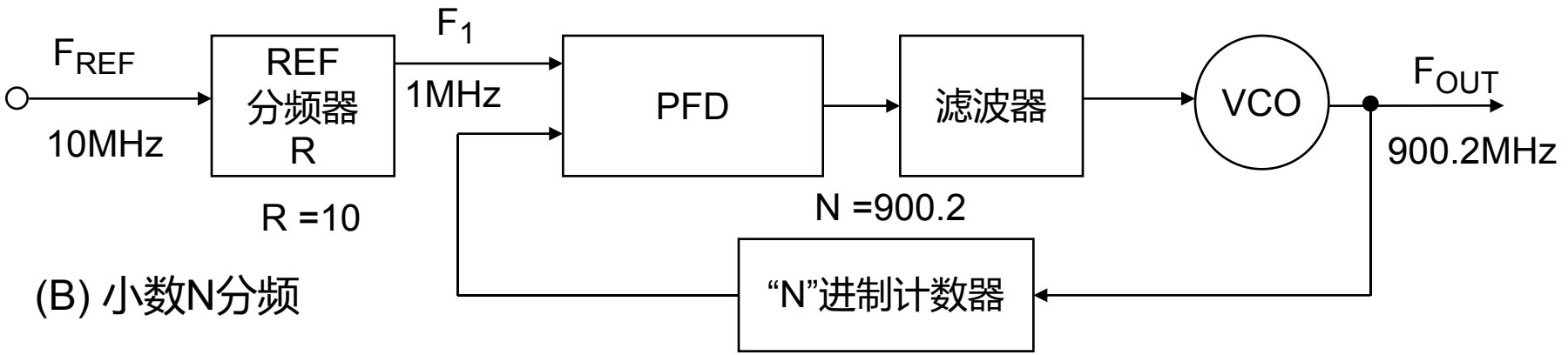
模拟PLL

PLL主要特性

- 输入频率（最小/最大）
- 环路带宽和相位裕量
- 频率锁定时间
- 相位锁定时间
- 输出频率误差
- 输出相位误差
- 相位噪声和相位抖动
- 参考杂散

整数N分频与
小数N分频频率合成器的比较



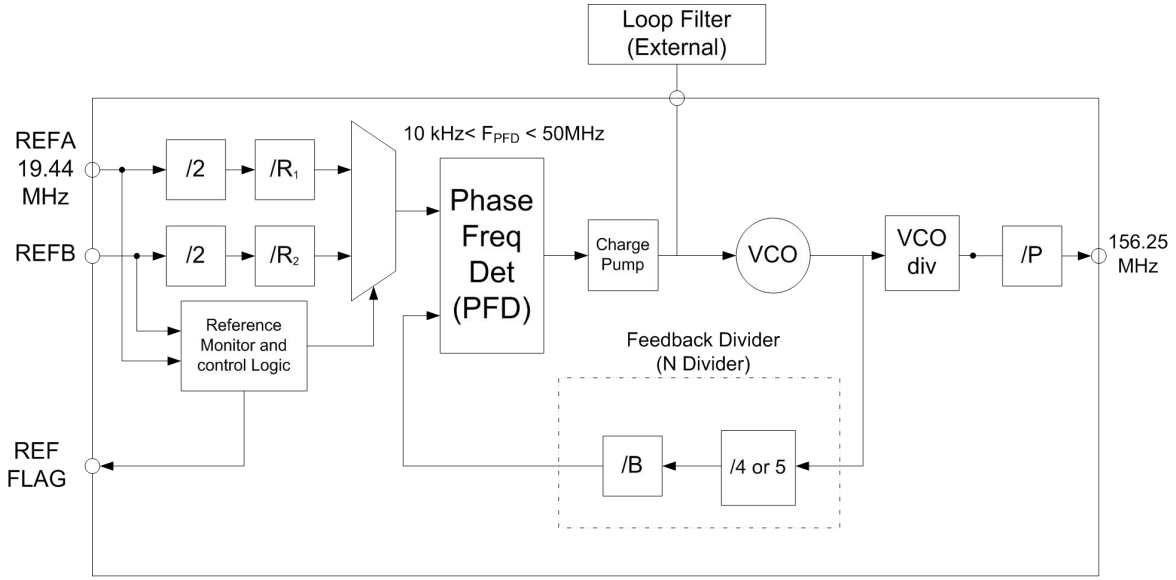


$$\text{"N"} = N_{INTEGER} + \frac{N_{FRACTION}}{N_{MODULUS}} = 900 + \frac{N_{FRACTION}}{5}$$

PLL的常见用途

- 频率转换
- 抖动清除
- 冗余时钟
- 保持
- 时钟分配

频率变换示例：



- 19.44 MHz (SONET) 至 156.25 MHz (10 Gb/s以太网)：
  - R分频器=162，B=15625，VCO分频器 = 3，P分频器 = 4
  - 鉴相器频率：120 kHz
  - VCO频率：1875 MHz

抖动清除

来自主时钟板的干净信号

线路卡接收的时钟受到污染

从背板接收的时钟用于建立输出的相位和频率

输出信号纯度取决于所用的本振（晶振、TCXO或OCXO）

数字PLL，
带可编程数字环路滤波器，
支持<1 Hz带宽

如何实现？

切换和保持

保持：

保持是指，在参考输入消失的情况下提供输出信号。保持功能既可以由系统中的控制器/处理器元件启动，也可以通过监控功能启动，监控功能在参考输入消失时会自动切换到保持模式。

切换：

切换功能比保持功能可提供更多的安全性。如果一个参考发生故障，时钟器件将转而使用一个替代参考。ADI公司时钟器件提供的所有切换功能的一个重要特点是：这种切换不会产生不良脉冲或额外的长脉冲。下游PLL不会因为时钟切换或在切换期间失锁，即使不同参考输入信号的相位之间不存在任何预定义关系也无妨。切换功能既可以由系统中的控制器/处理器元件启动，也可以通过监控功能启动，监控功能在有效参考输入消失时会自动实施切换。

切换、同步和保持

注意
输出与主参考同步

但是，当主参考消失时
会发生什么？

PLL将以保持模式保持输出时钟，直到另一个参考输入可用。输出相位可能摆动，也可能不摆动（取决于应用），因此要么保持输入-输出相位，要么输出时钟相位不摆动。

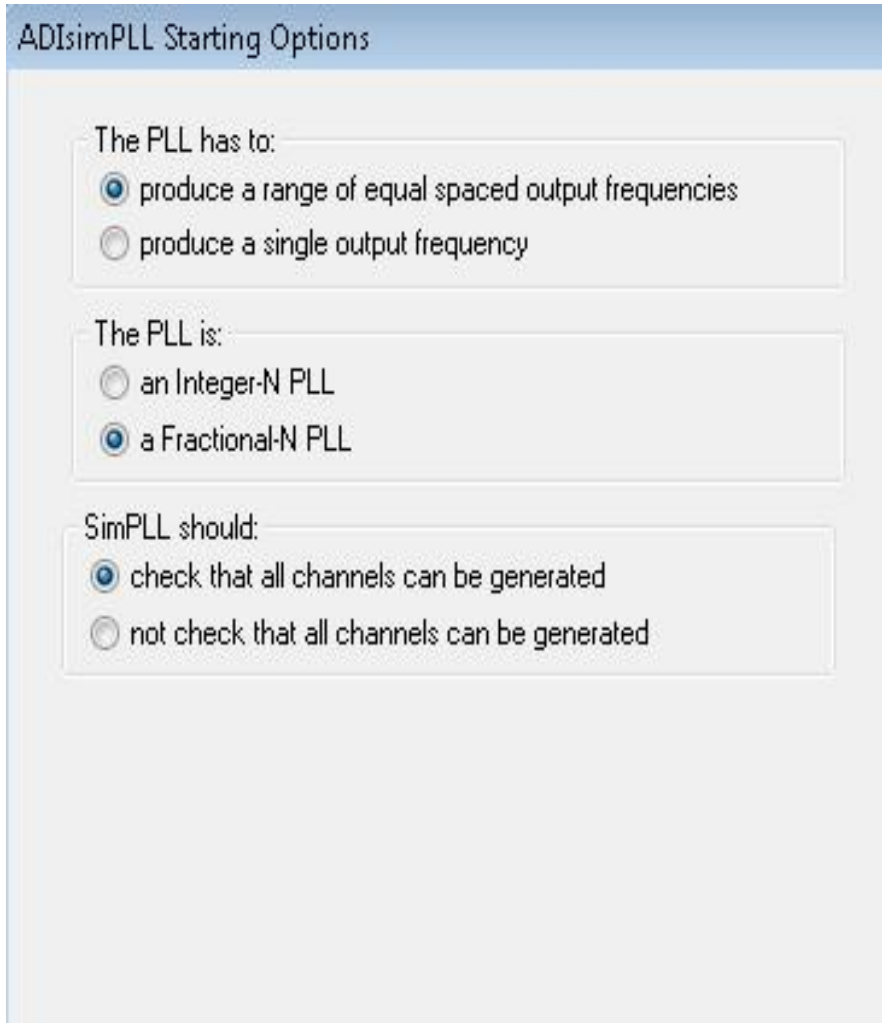
工具 – 设计、仿真、评估

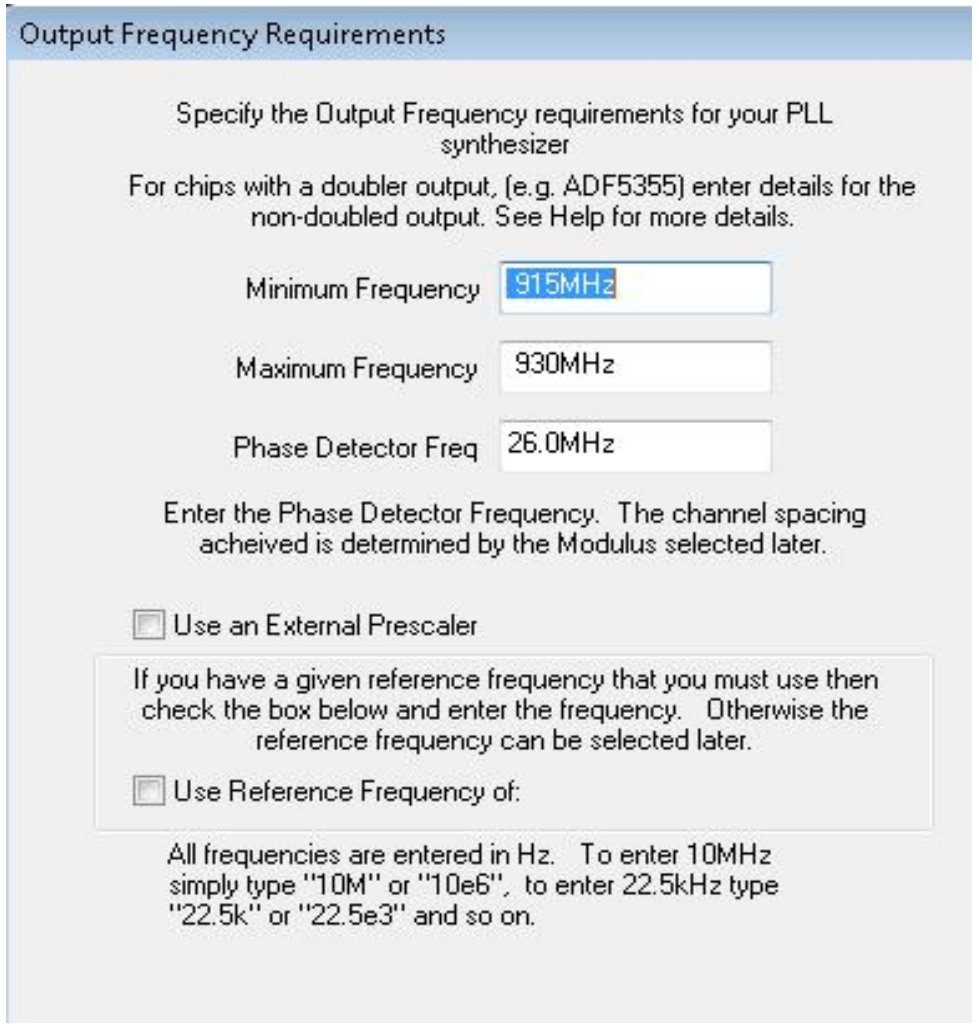
- ADIsimCLK
  - ADIsimCLK是一款专门针对ADI公司的超低抖动时钟分配和时钟产生产品系列而开发的设计工具。无论是在无线基础设施、仪器仪表、网络、宽带、自动测试设备领域，还是在其它要求可预测时钟性能的应用，ADIsimCLK都能帮助您迅速开发、评估和优化设计。
- ADIsimPLL
  - ADIsimPLL设计工具是一款全面且简单易用的PLL频率合成器设计和仿真工具。它可以模拟所有可能影响PLL性能的重要非线性效应，包括相位噪声、小数N分频杂散和反冲防回差脉冲等。此工具消除了PLL/频率合成器开发过程中耗时的重复劳动。
- ADIsimDDS（直接数字频率合成）
  - ADIsimDDS利用数学公式模拟和显示选定器件的整体性能。此工具根据参考时钟频率和所需的输出频率计算所需的FTW。

PLL设计软件

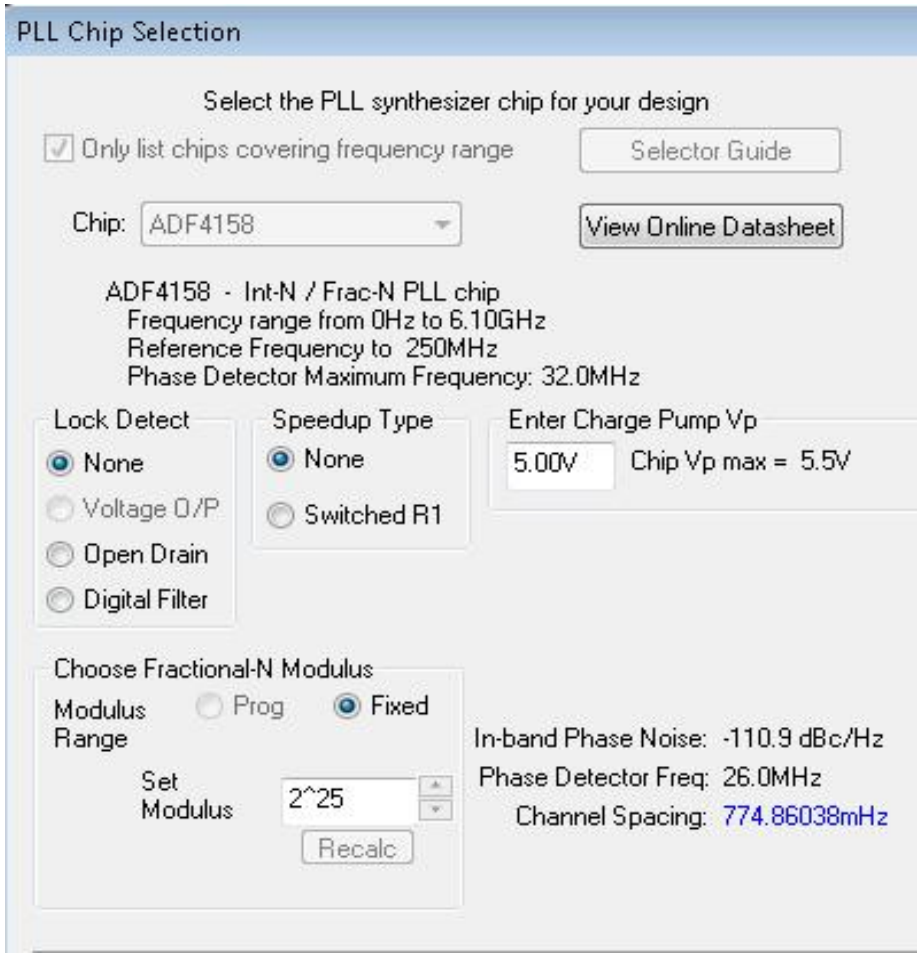
www.analog.com/adisimpll

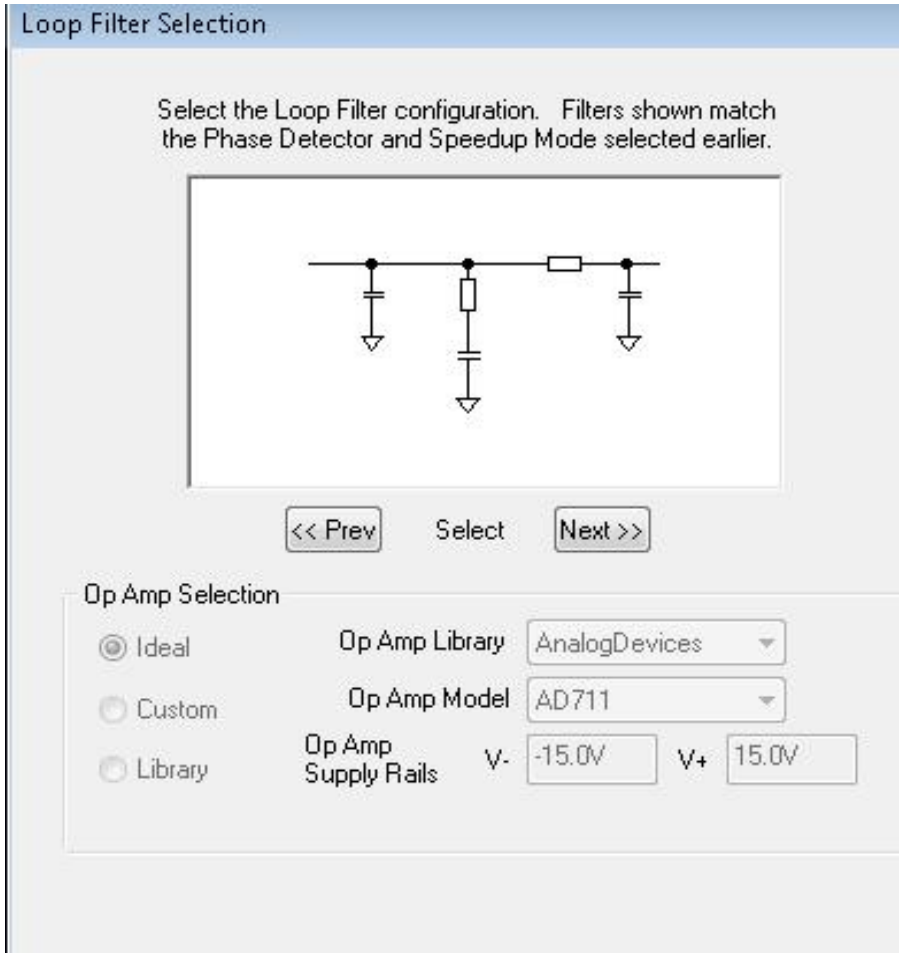
设置配置和频率要求





选择并配置芯片和环路滤波器





ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

提供一个详细设计报告

Design3 analysed at 03/10/17 15:09:43

PLL Chip is ADF4158
Notes:
VCO is custom
Reference is custom

Loop Filter designed at a VCO frequency of 922.47MHz with a Kv of 6.10MHz/V

Frequency Domain Analysis of PLL
Analysis at PLL output frequency of 922.47MHz

Phase Noise Table

Freq	Total	VCO	Ref	Chip	SDM	Filter
100	-90.66	--	--	-90.66	-253.6	-156.3
1.00k	-100.2	--	--	-100.2	-213.5	-136.4
10.0k	-104.7	--	--	-104.8	-170.7	-120.8
100k	-138.5	--	--	-139.1	-162.4	-147.7
1.00M	-177.1	--	--	-195.1	-177.9	-185.3

Reference Spurious
Noise and Jitter Calculations include the first 10 ref spurs
First three spurs: -300 dBc -300 dBc -300 dBc

Fractional-N Spur Estimate (worst case)
No significant spurs

Phase jitter using brick wall filter
from 10.0kHz to 100kHz
Phase Jitter **0.04 degrees rms**

ACP - Channel 1
Channel 1 is centred 25.0kHz from carrier with bandwidth 15.0kHz
Power in channel = **-70.7dBc**

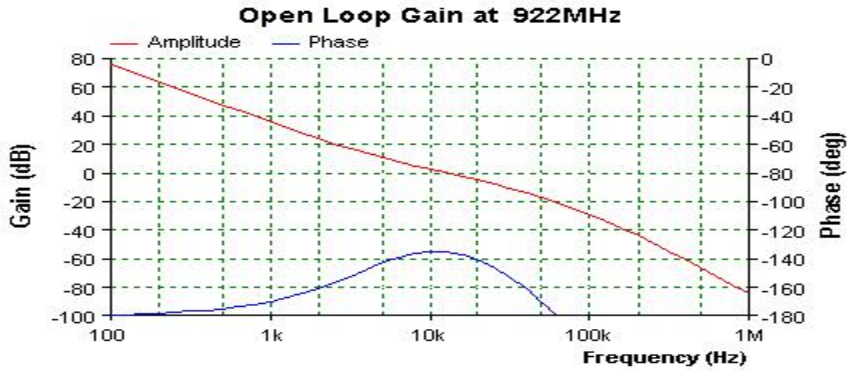
---- End of Frequency Domain Results ----

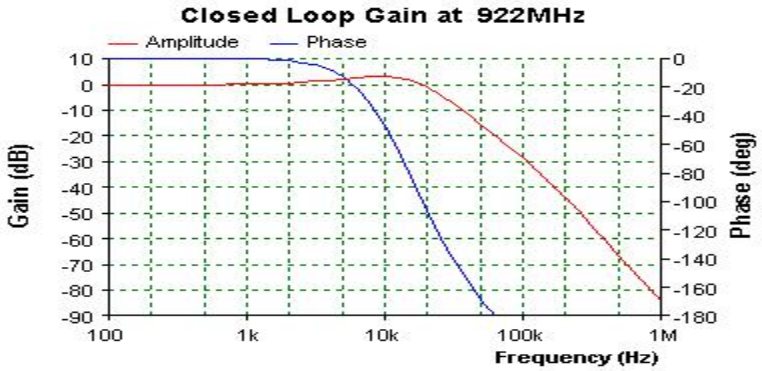
Transient Analysis of PLL
Frequency change from 915MHz to 930MHz
Simulation run for 762us

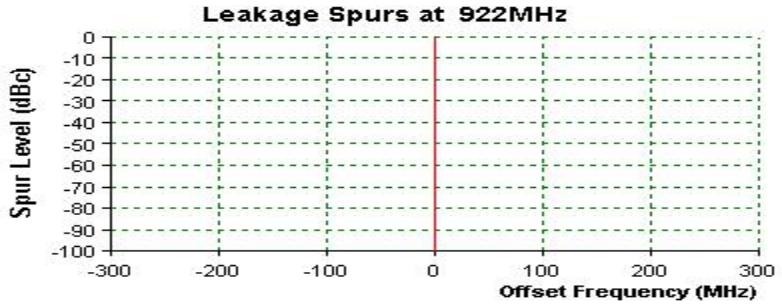
Frequency Locking
Time to lock to 1.00kHz is 493us
Time to lock to 10.0 Hz is 571us

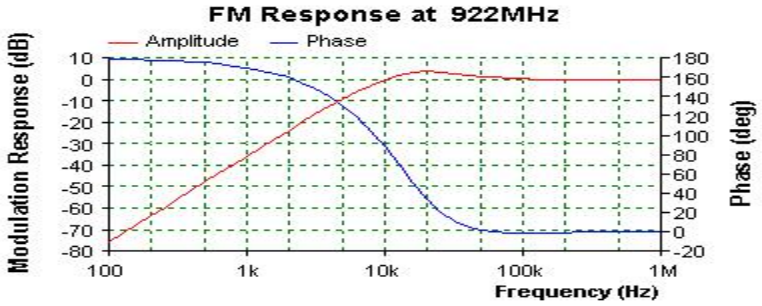
Phase Locking (VCO Output Phase)
Time to lock to 10.0 deg is 484us
Time to lock to 1.00 deg is 522us

频域性能报告

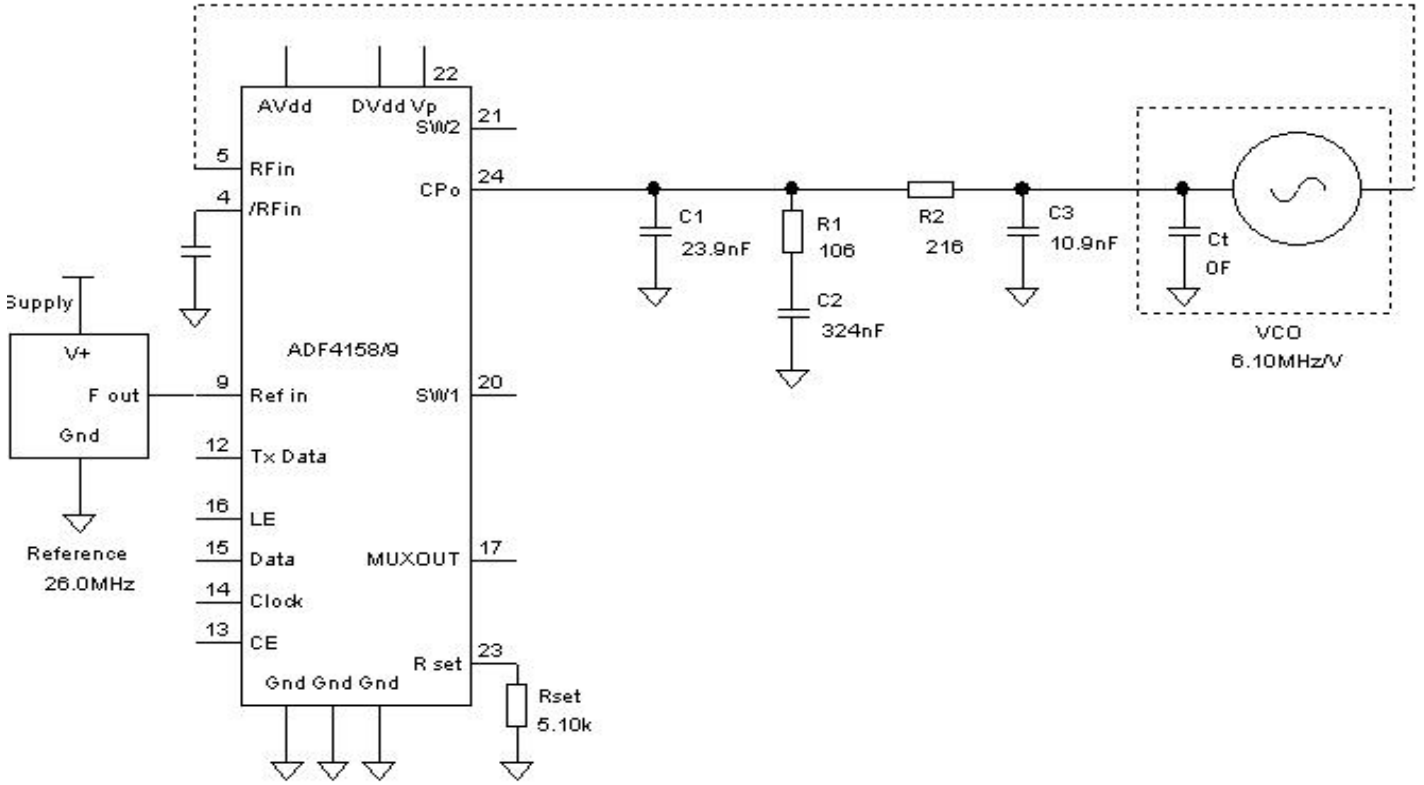








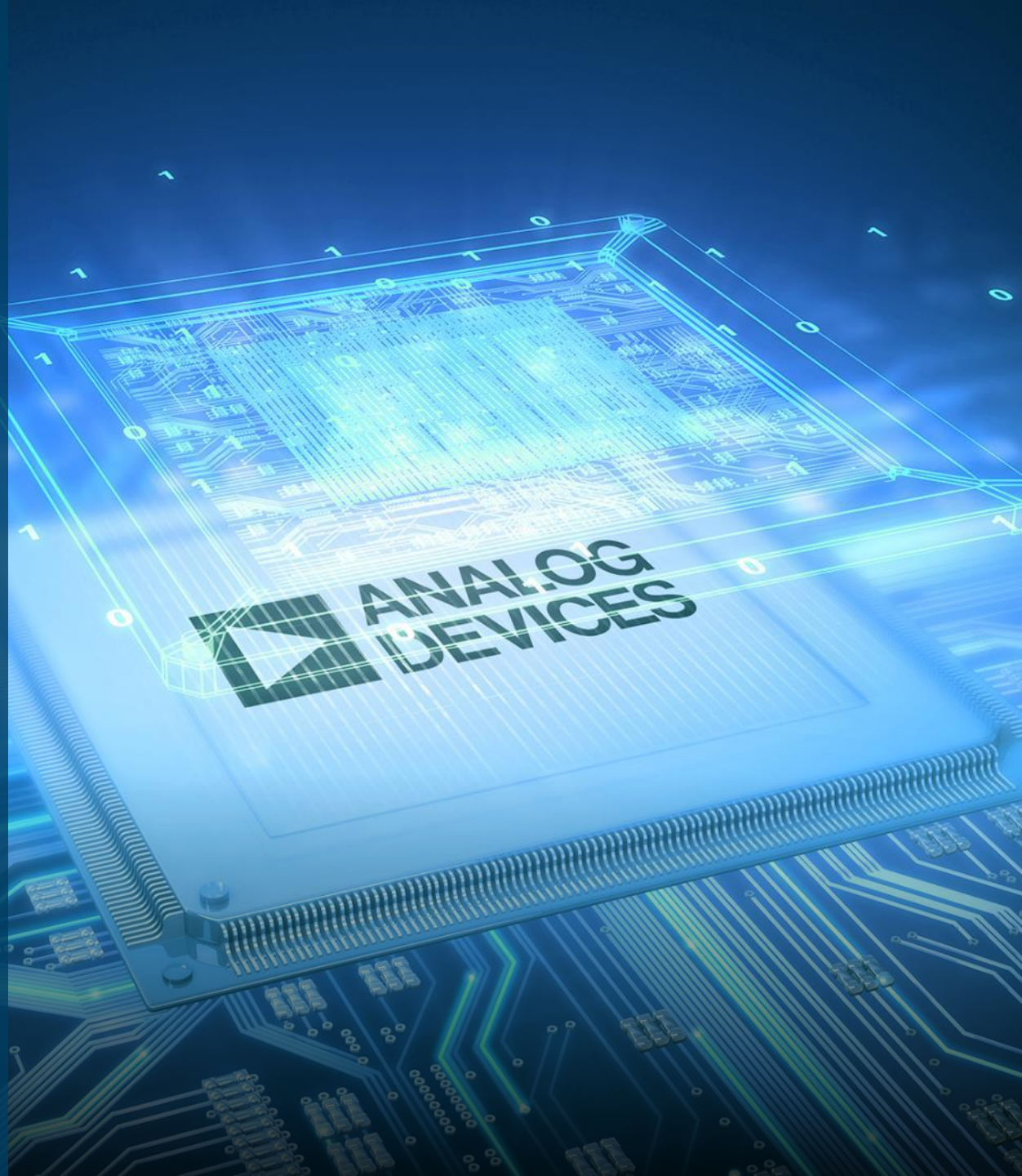
ADF4158完整配置原理图



Notes:
1. LFCSP pin numbers shown
2. AVdd Analog Power supply
3. DVdd Digital Power Supply
4. Vp Charge Pump power supply
5. AVdd = DVdd, Vp >= DVdd,AVdd
6. Consult manufacturer's data sheet for full details

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

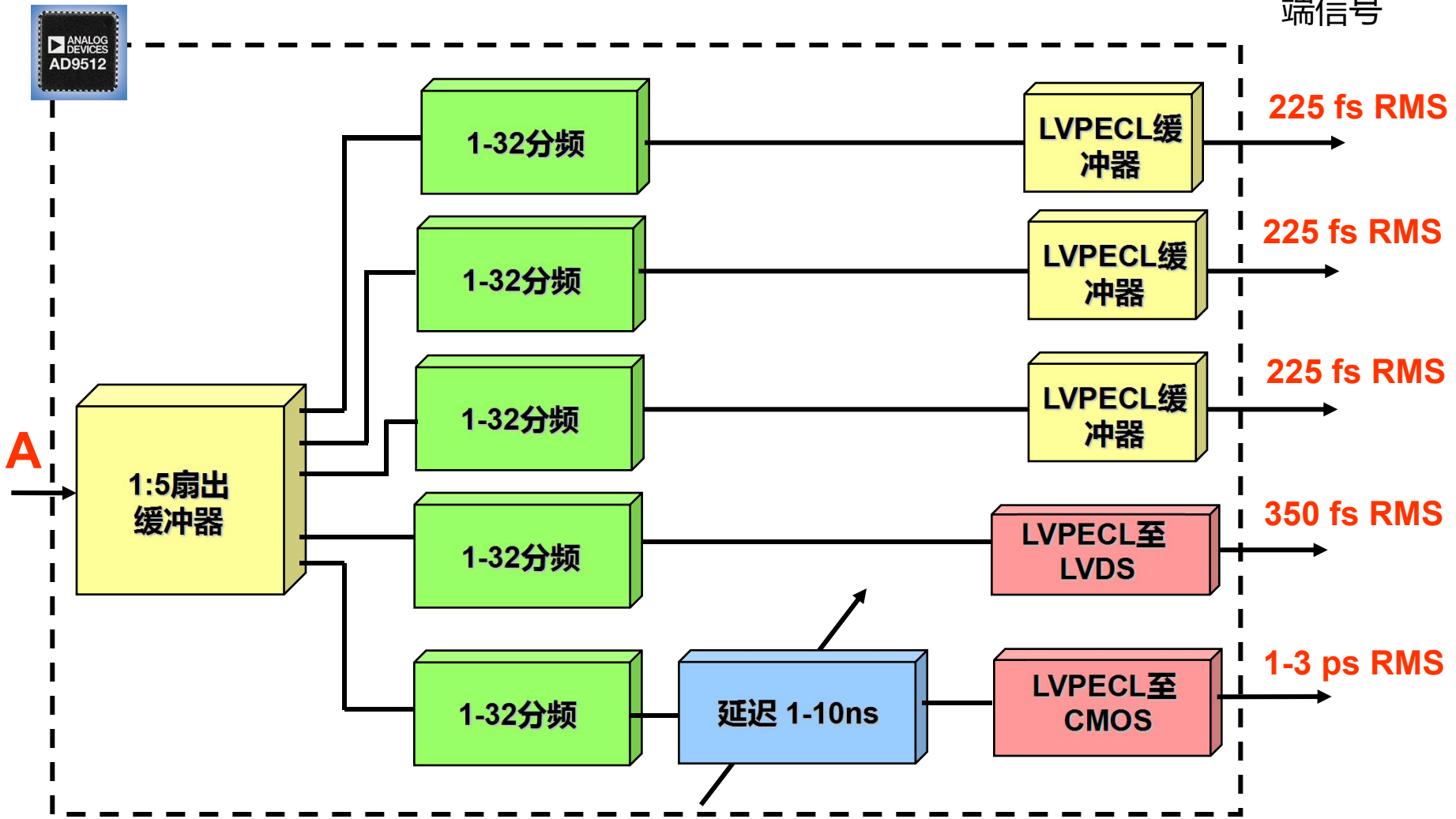
针对
锁相环(PLL)的应用



时钟分配示例

示例：AD9512

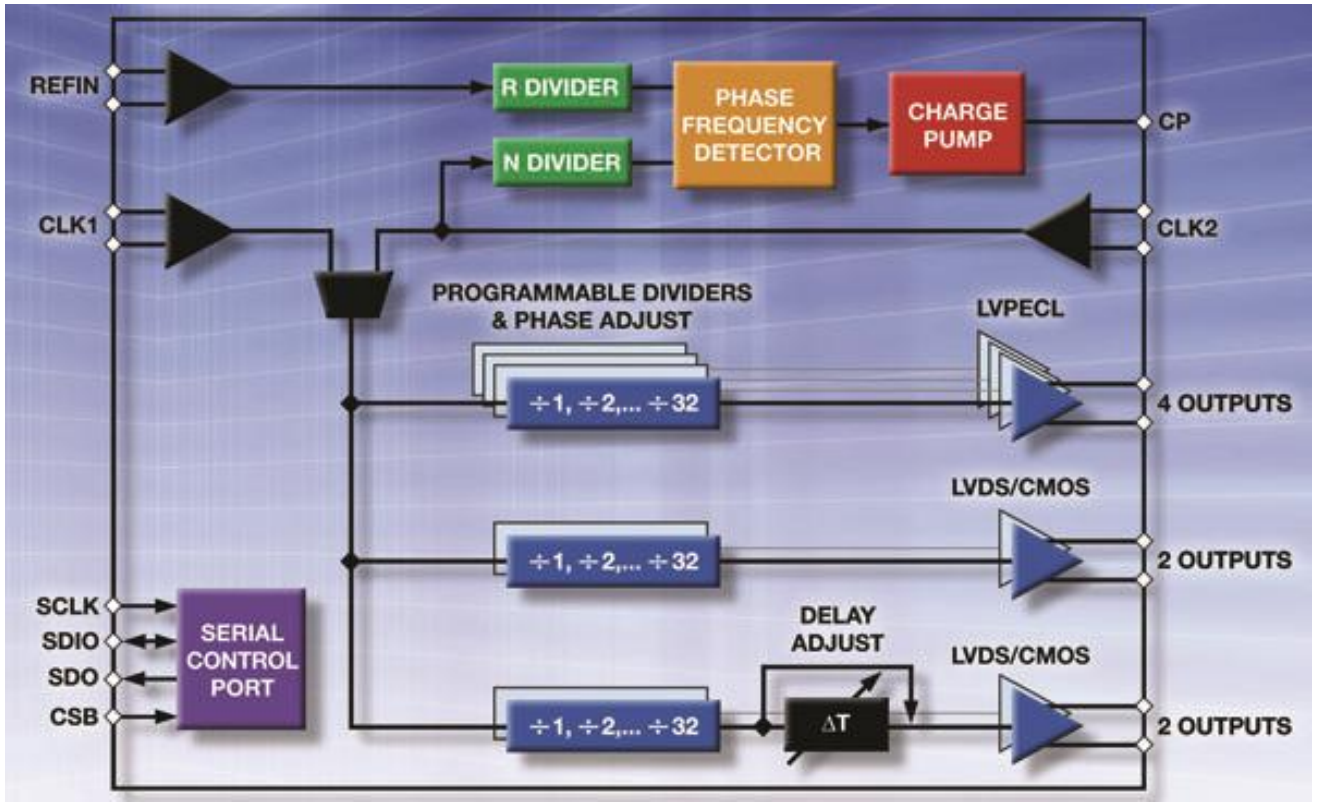
RMS抖动增加给A端信号



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

AD9516系列1.5 -3.0 GHz、 8/5通道时钟分配IC

下图所示为AD9510，其宽带RMS抖动<1ps



PLL内核
250 MHz REFIN
1.6 GHz PLL
抖动清除

时钟输出
1.2 GHz LVPECL
800 MHz LVDS
250 MHz CMOS

可编程分频器
1至32之间的任意整数
相位偏移控制
每个分频器都独立工作

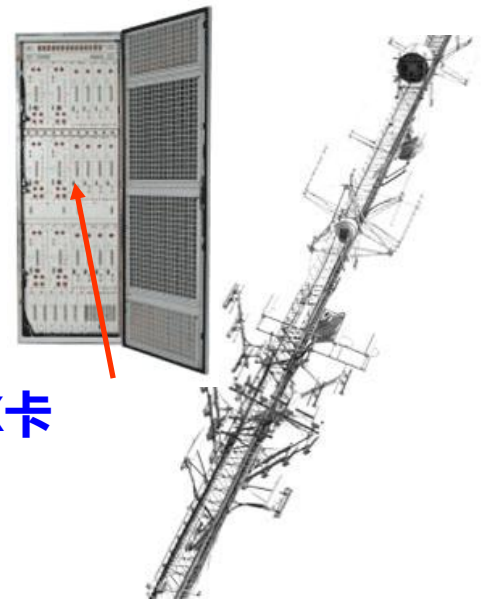
可编程延迟调节
1ns至10ns满量程
32个延迟步进

ANALOG DEVICES AD9510

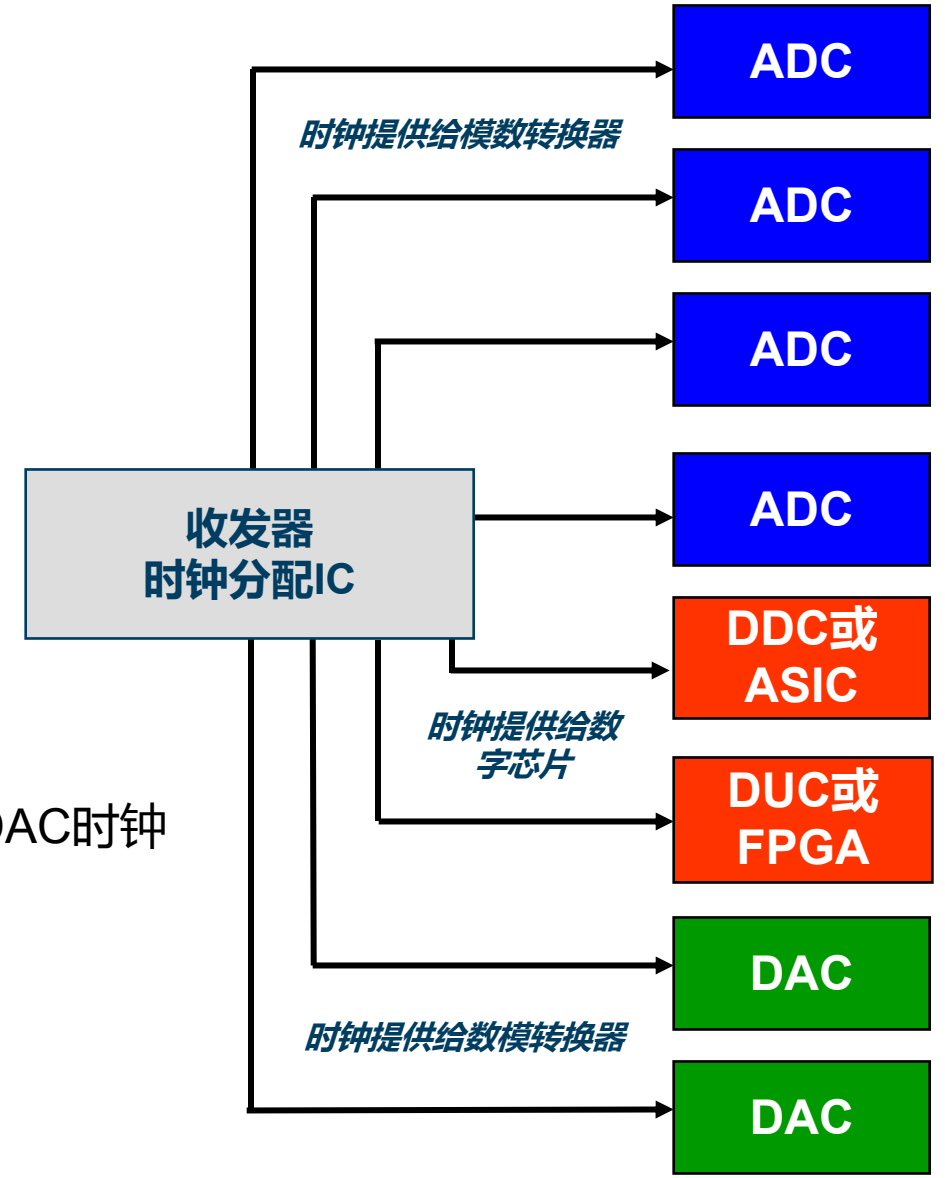
64-LFCSP
通常可代替
5个分立IC器件

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

应用 – 无线收发器卡



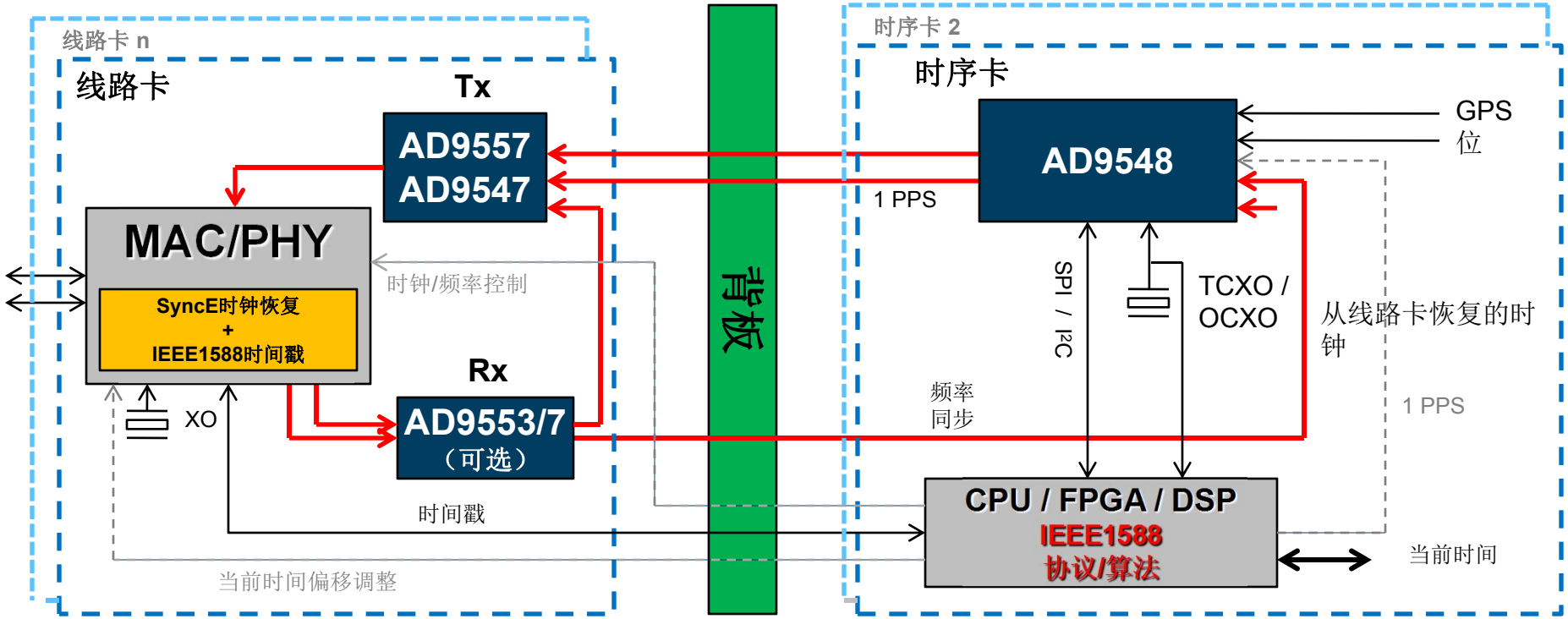
用户的
参考时钟



收发器卡的重要时钟功能：

- 净化用户参考输入的抖动
- 将用户参考频率上变频到所需的最高频率，通常根据DAC时钟要求决定
- 产生供RX和TX使用的多个频率
- 为转换器提供低抖动时钟
- 产生LVPECL、LVDS、CMOS混合时钟
- 调整时钟通道之间的相位或延迟关系
- 提供时钟通道间的隔离

SyncE / IEEE1588混合
（含支持纯IEEE1588的连接）

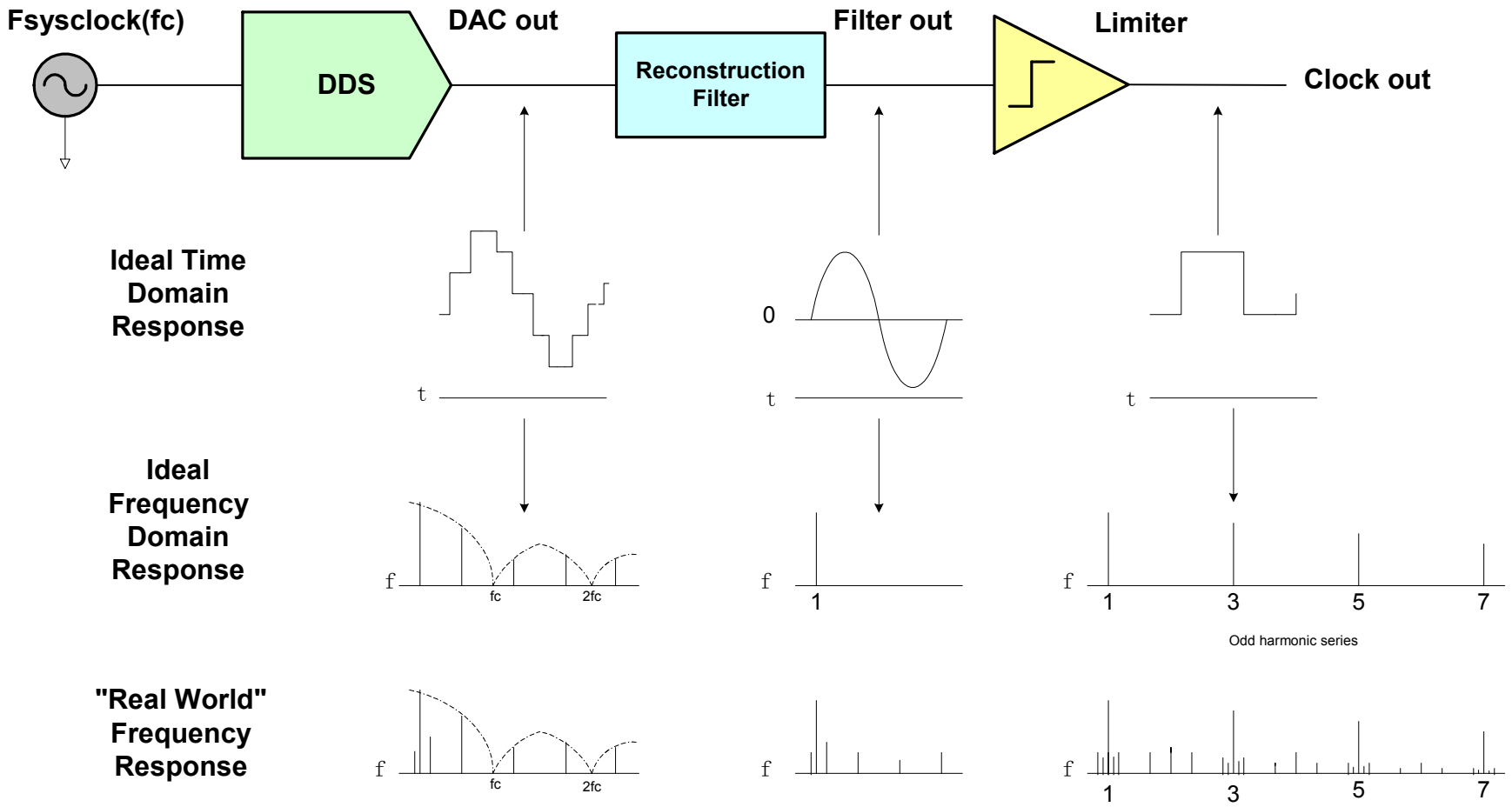


数字信号频率合成产品

直接数字频率合成(DDS)

- 10-14位DAC单音
- 采样速率为3.5 GHz…*及以上*
- 直接FSK和PSK调制
- 啁啾和扫描频率工作
- SpurKiller
- 可编程模数
- 相位连续和相位相干切换

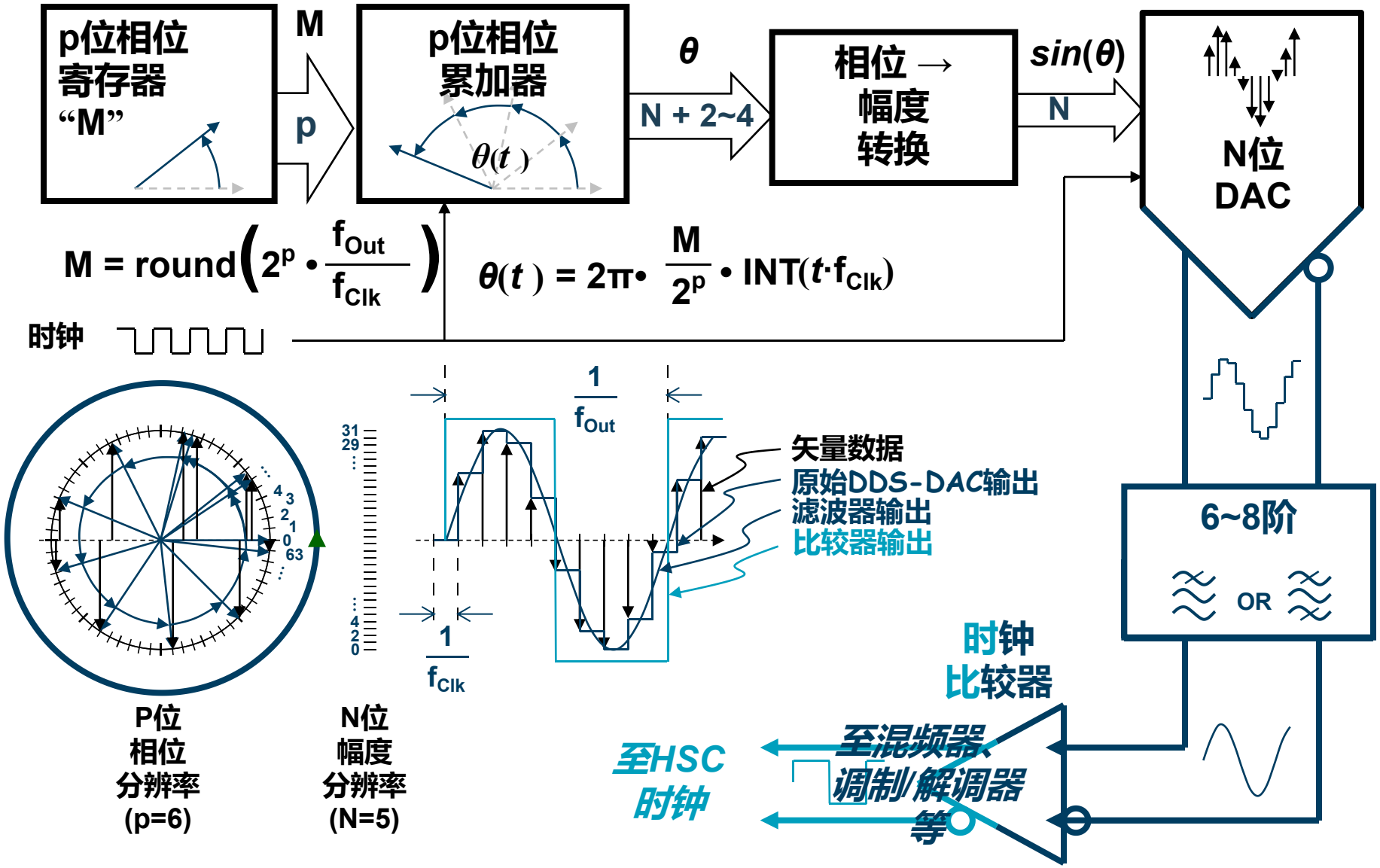
利用DDS产生时钟



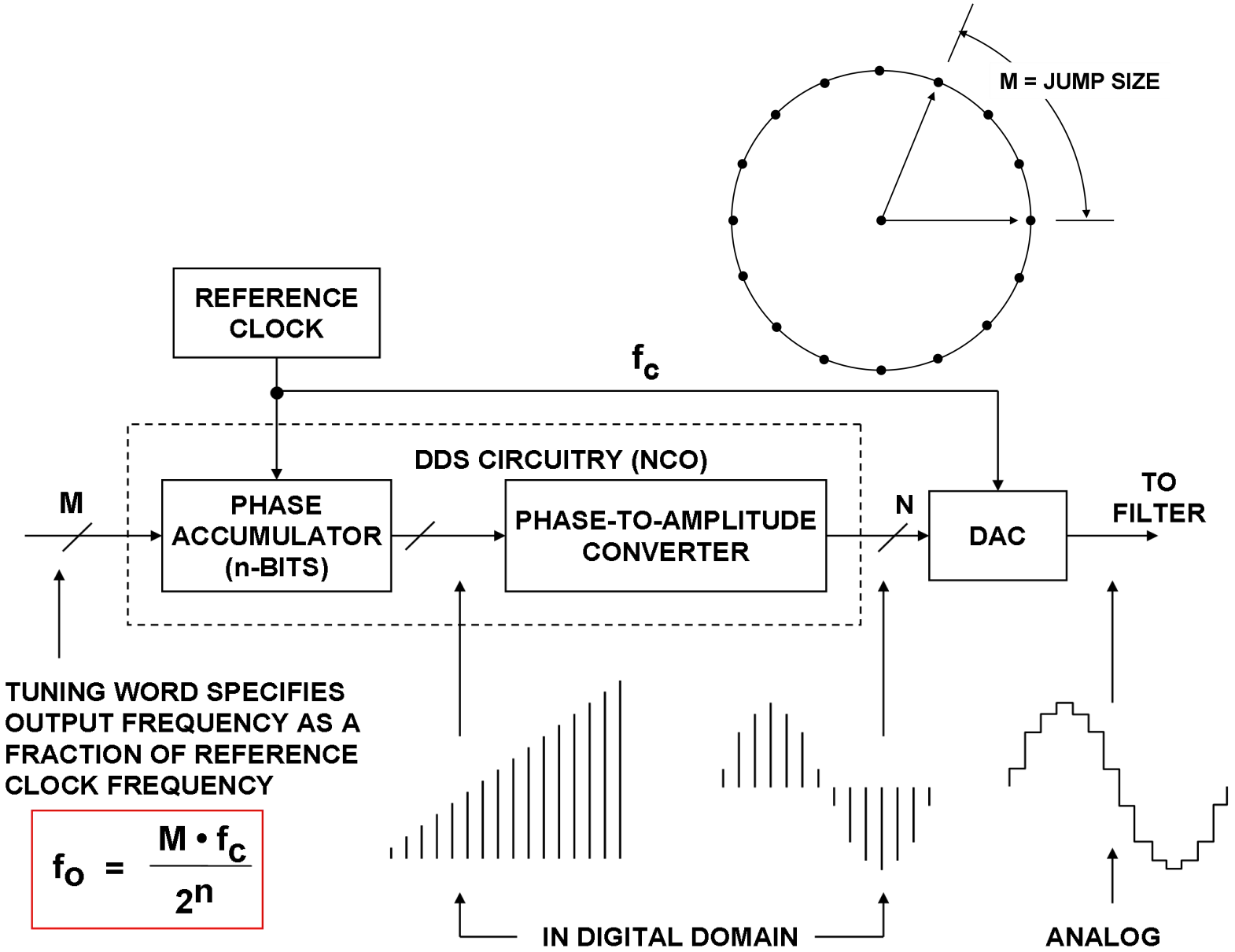
DDS芯片可以与用户参考同步。片内时钟倍频器可以产生NCO/DAC所需的快速时钟。可以写入频率调谐字，以便设置输出时钟速率。

外部滤波消除不需要的镜像。然后，平方功能将正弦波转换为方波。

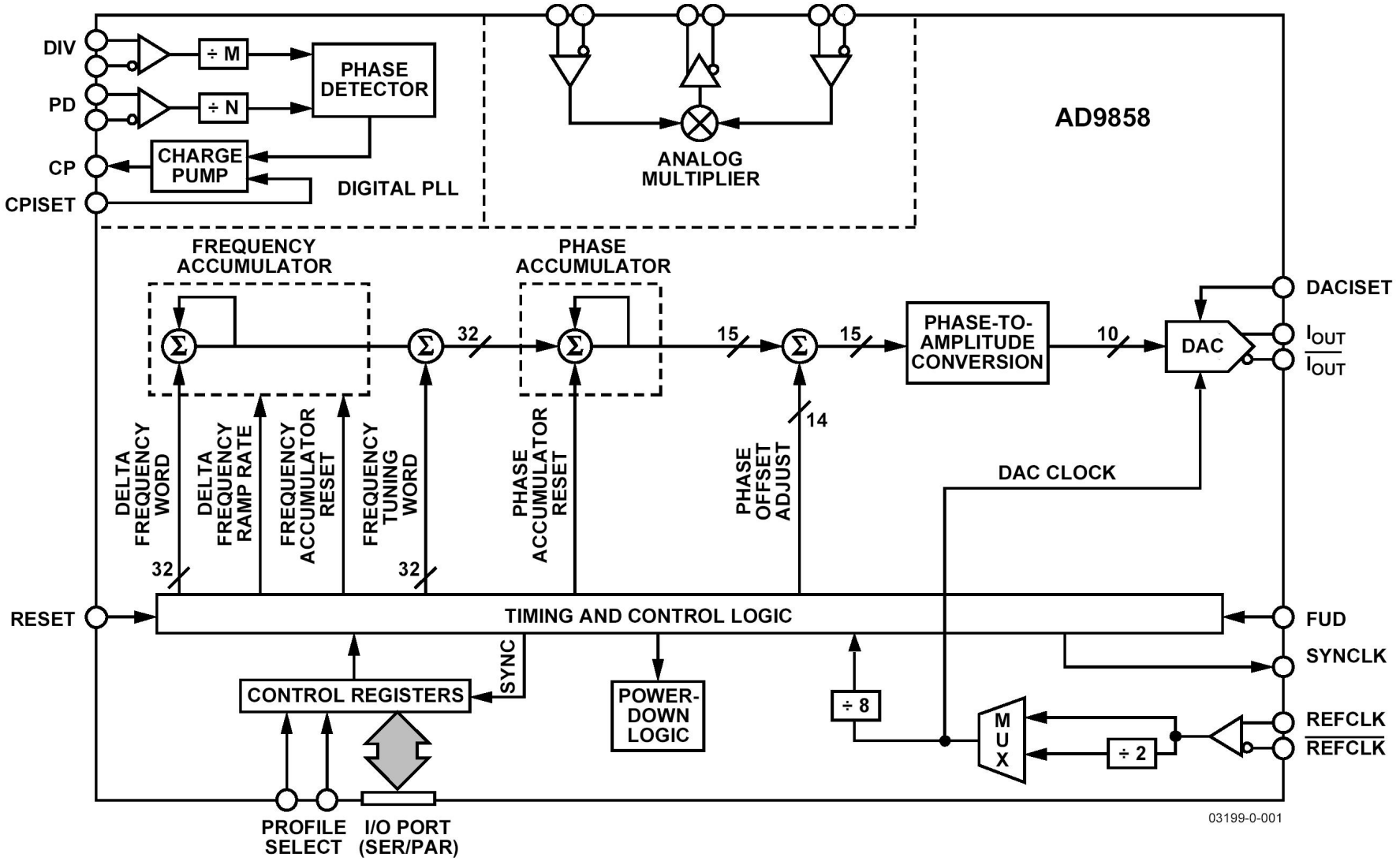
基本DDS系统 – p位DDS和N位DAC



信号流经DDS架构

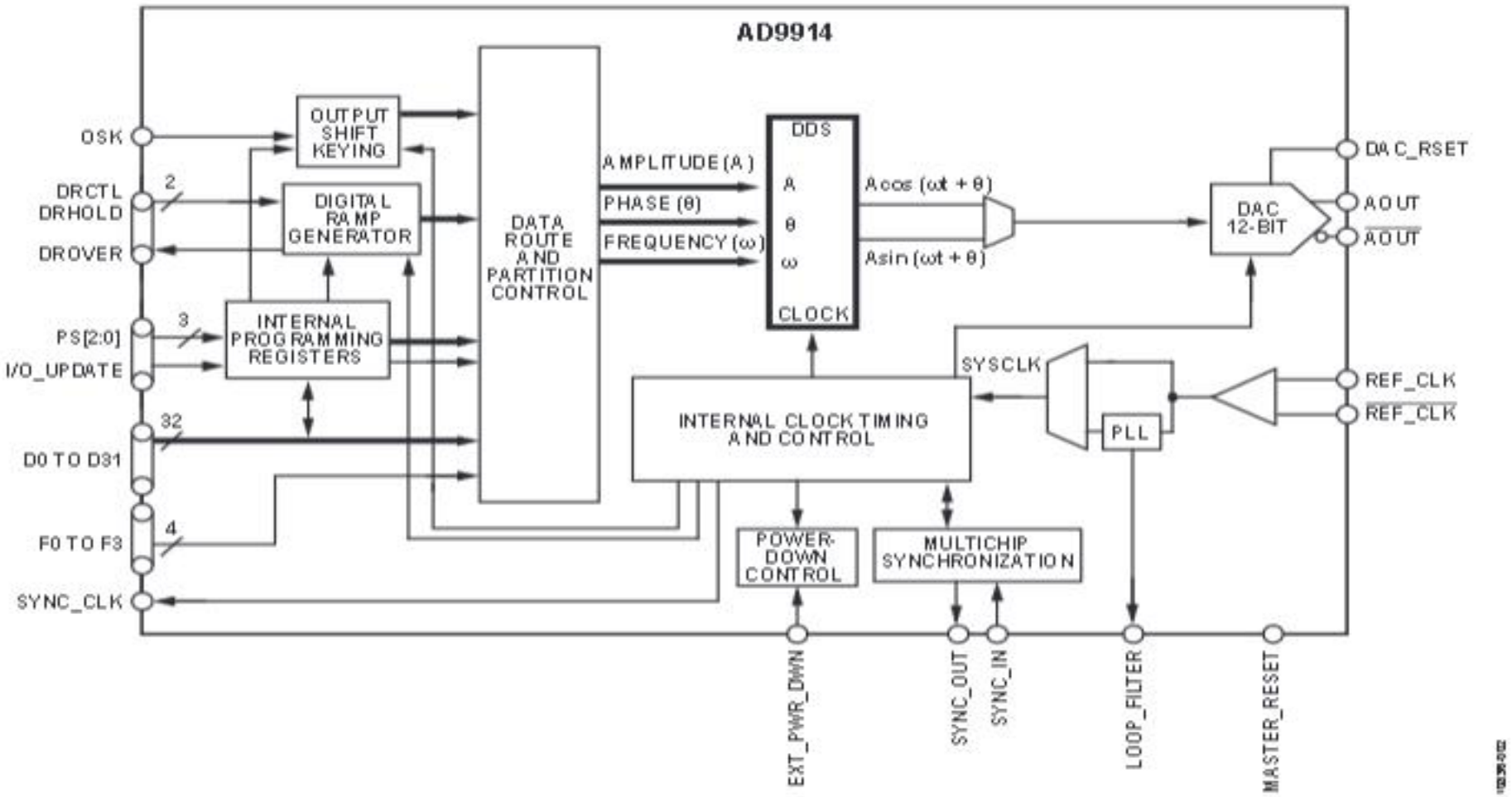


AD9858 1GSPS DDS，集成鉴相器和模拟乘法器

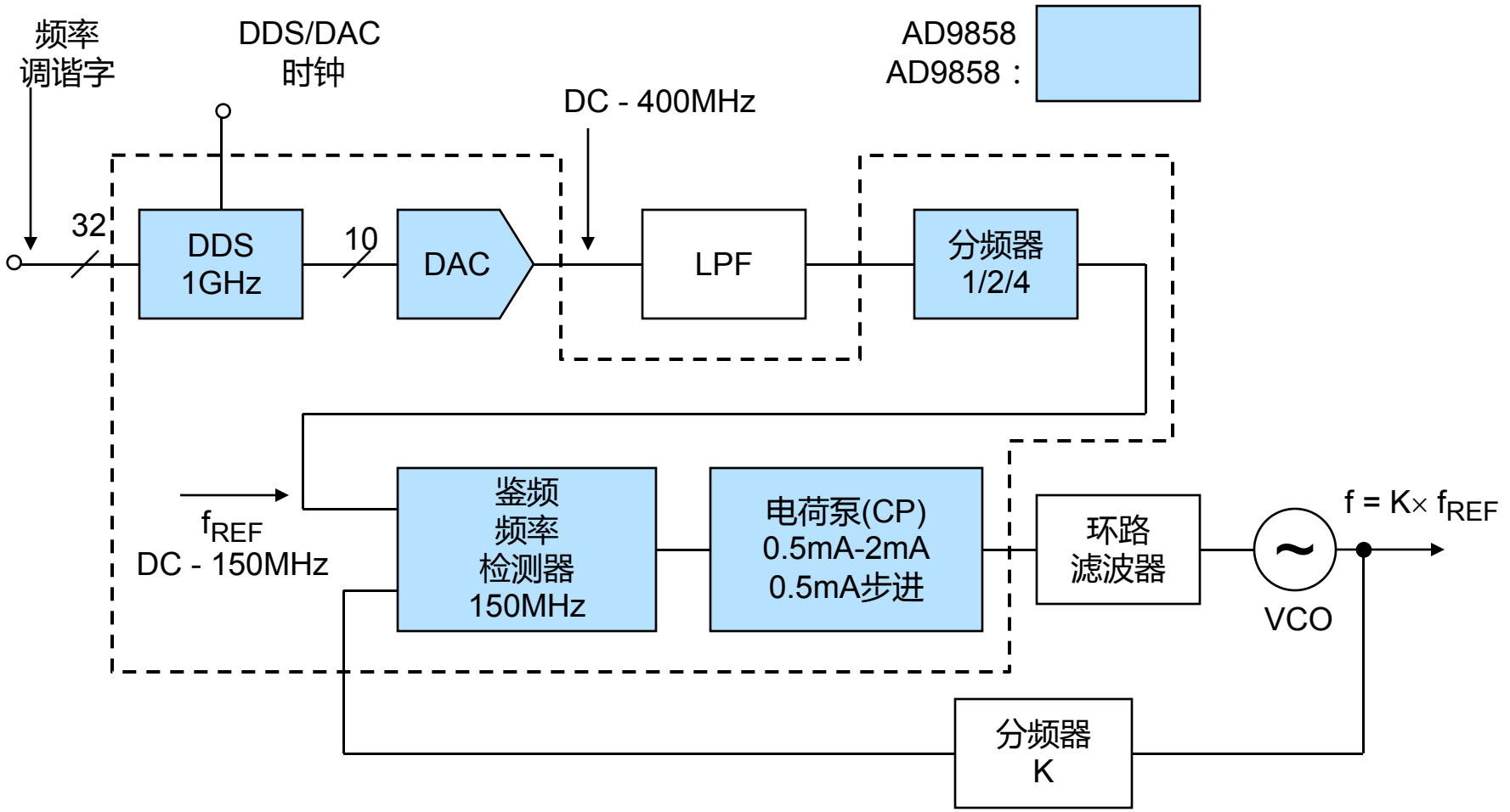


ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

AD9914 3.5 GSPS DDS，集成12位DAC



DDS单环路上变频
使用AD9858



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

DDS在线交互设计工具(ADIsimDDS)

ADIsimDDS设计工具主屏幕

DDS Selection and Operation

AD9914 – 3.5 GSPS with 12-bit DAC

Clock Input 3.5G Hz

Multiplier X 1x

System Clock 3.5G Hz

Max system clock for the AD9914 is 3.5GHz

Max Clock Input with 1x Multiplier = 3.5GHz

Target Output Frequency: 1.28G Hz

Output frequency cannot exceed Nyquist Frequency of 1.75GHz

Frequency Tuning Word (FTW)

HEX 5D9F7391

Actual Output Frequency: 1.28GHz

Errors and Warnings

No Errors

Signals to Display

- Fundamental
- DAC Images
- PPT Spur
- Harmonics
  - 2nd Harmonics
  - 3rd Harmonics

Harmonic Magnitude (dBc)

-50

Use Filter - Not Supplied

Type Lowpass

Topology Butterworth

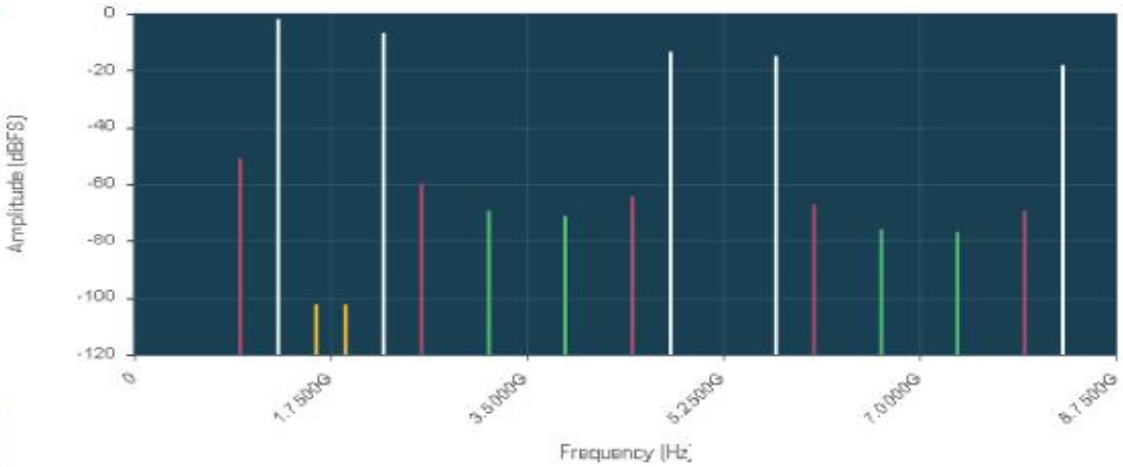
Order 1

Fc 1.75G Hz

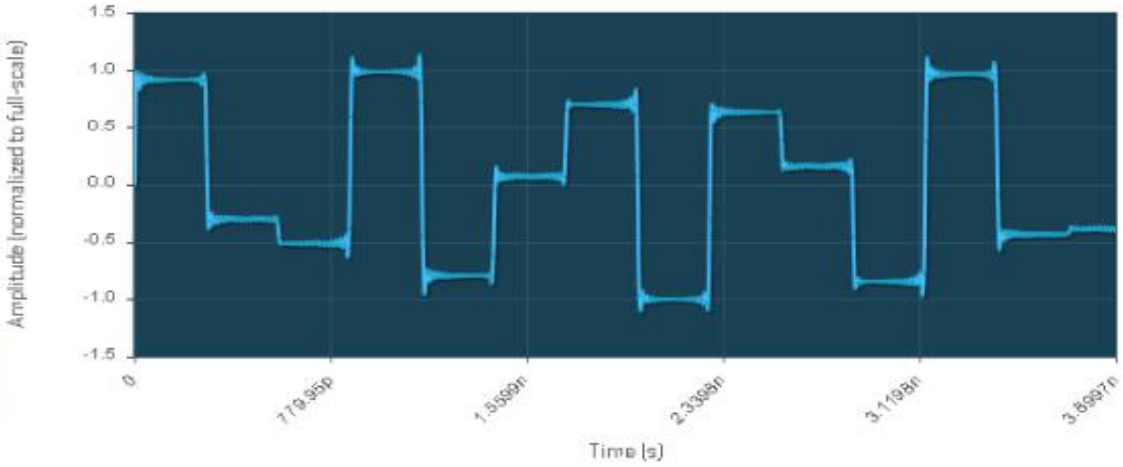
Block Diagram

Click to view

Frequency Domain



Time Domain



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

DDS设计工具：表格显示杂散

DDS Selection and Operation

AD9914 – 3.5 GSPS with 12-bit DAC

Clock Input: 3.5G Hz

Multiplier: X 1x

System Clock: 3.5G Hz

Max system clock for the AD9914 is 3.5GHz

Max Clock Input with 1x Multiplier = 3.5GHz

Target Output Frequency: 1.28G Hz

Output frequency cannot exceed Nyquist Frequency of 1.75GHz

Frequency Tuning Word (FTW)

HEX 5D9F7391

Actual Output Frequency: 1.28GHz

Errors and Warnings

No Errors

Signals to Display

- [x] Fundamental
- [x] DAC Images
- [x] PPT Spur
- [x] Harmonics
  - [x] 2nd Harmonics
  - [x] 3rd Harmonics

Harmonic Magnitude (dBc): -50

Use Filter - Not Supplied

Type: Lowpass

Topology: Butterworth

Order: 1

Fc: 1.75G Hz

Block Diagram

Click to view

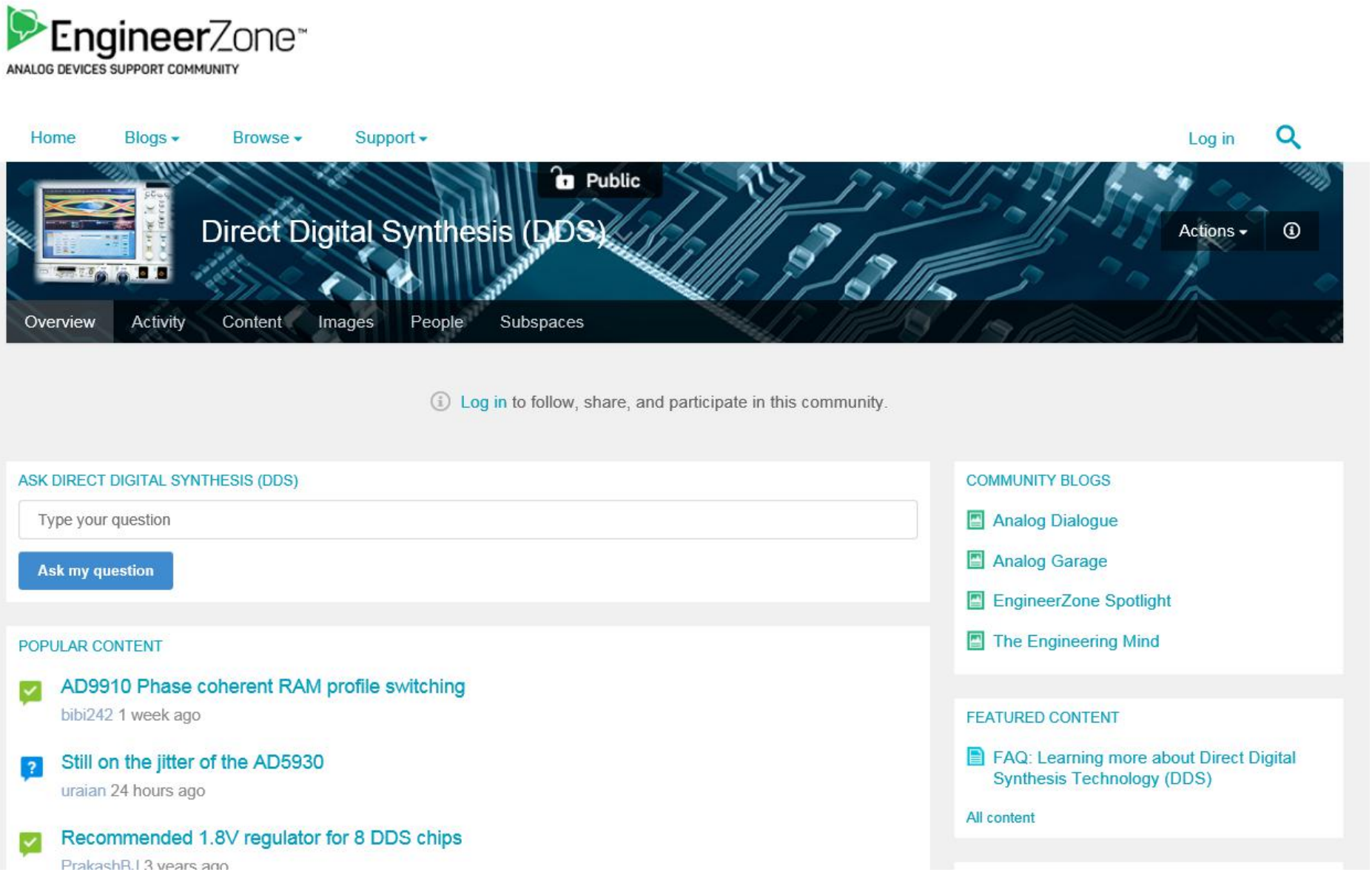
PPT Spur [1]: -102.350132dB @ 1.88GHz PPT Spur [2]: -102.350132dB @ 1.62GHz

Fundamental Images	Frequency	Amplitude (dBFS)
fOut	1.28GHz	-2.0028500
fs - fOut	2.22GHz	-6.785710
fs + fOut	4.78GHz	-13.447209
2fs - fOut	5.72GHz	-15.006571
2fs + fOut	8.28GHz	-18.219257
3fs - fOut	9.22GHz	-19.153269
3fs + fOut	11.78GHz	-21.281556

2nd Harmonic Images	Frequency	Amplitude (dBFS)
2fOut	2.56GHz	-59.7584477
fs - 2fOut	940MHz	-51.056205
fs + 2fOut	6.06GHz	-67.243101
2fs - 2fOut	4.44GHz	-64.541308
2fs + 2fOut	9.56GHz	-71.202806
3fs - 2fOut	7.94GHz	-69.590058
3fs + 2fOut	13.06GHz	-73.912512

3rd Harmonic Images	Frequency	Amplitude (dBFS)
3fOut	3.84GHz	-71.1922966
fs - 3fOut	-340MHz	-50.135250
fs + 3fOut	7.34GHz	-76.819593
2fs - 3fOut	3.16GHz	-69.499414
2fs + 3fOut	10.84GHz	-80.206258
3fs - 3fOut	6.66GHz	-75.975157
3fs + 3fOut	14.34GHz	-82.636655

EngineerZone DDS论坛

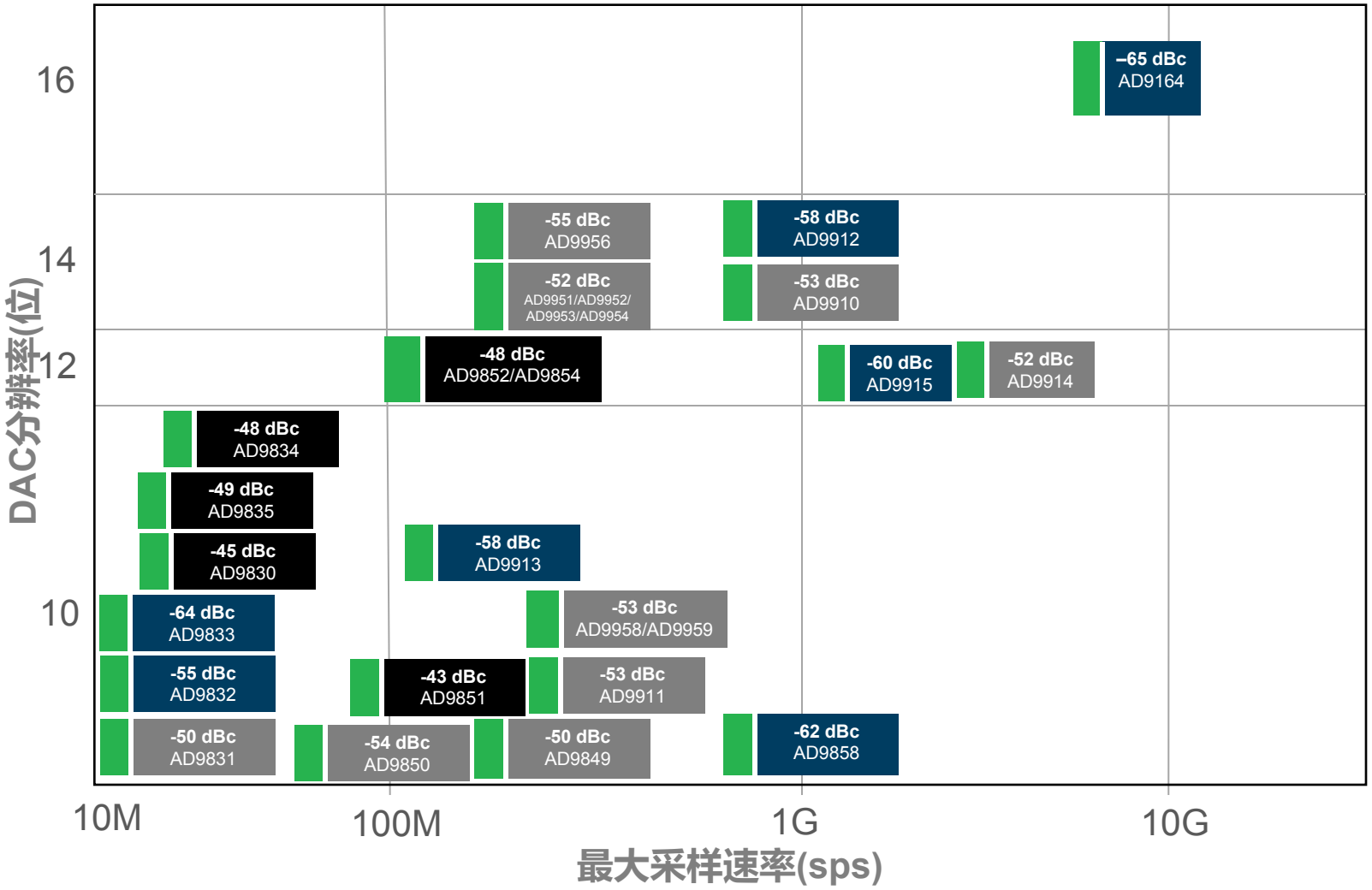


搜索现有内容，即刻获得答案

快速获得新问题的答案

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

直接数字频率合成产品系列/路线图



SFDR @ 40%采样速率

<50

50至55

>55

供货

已发布

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

DDS优势

- 频率分辨率精度达到μHz
- 0.022°相位失调分辨率（360°范围）
- 超快速频率跃迁……从一个频率变到另一频率<5 ns
- 全数字控制 = 无手动系统“调整”
- 很容易同步，支持获得正交和其他精确信号相位关系
- 无与伦比的I和Q输出匹配
- 高精度，高速PSK和FSK

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

PLL优势

- 超低相位噪声和抖动
- 超高频率能力(13GHz)
- 低杂散成分
- 通用性：以相位噪声/杂散为代价改善建立时间
- 低功耗：

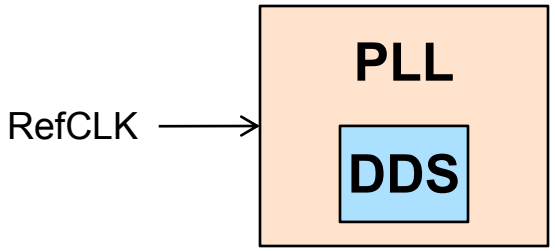
DDS与PLL

比较：	优势	其他说明
频率分辨率	DDS	小数N分频PLL缩小差距，可编程模块改善DDS精度
频率捷变性	DDS	快速跳频PLL缩小差距
相位分辨率与捷变性	DDS	数字PLL可提供一定程度的相位控制。
幅度分辨率与捷变性	DDS	
功耗	PLL	随尺寸而缩小差距；交错式内核
价格	PLL*	随尺寸而缩小差距；小尺寸器件内无PLL，这是由于PLL技术的广泛应用；
宽频谱纯度	PLL	
辅助电路	PLL	
频率上变频	PLL	超奈奎斯特频率操作与混合

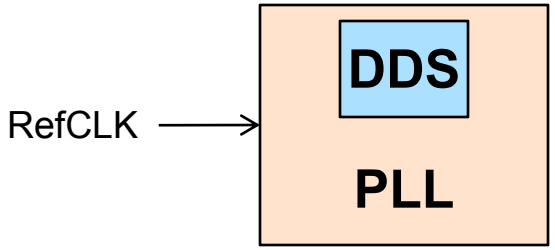
混合配置

上变频PLL

RefCLK乘以PLL



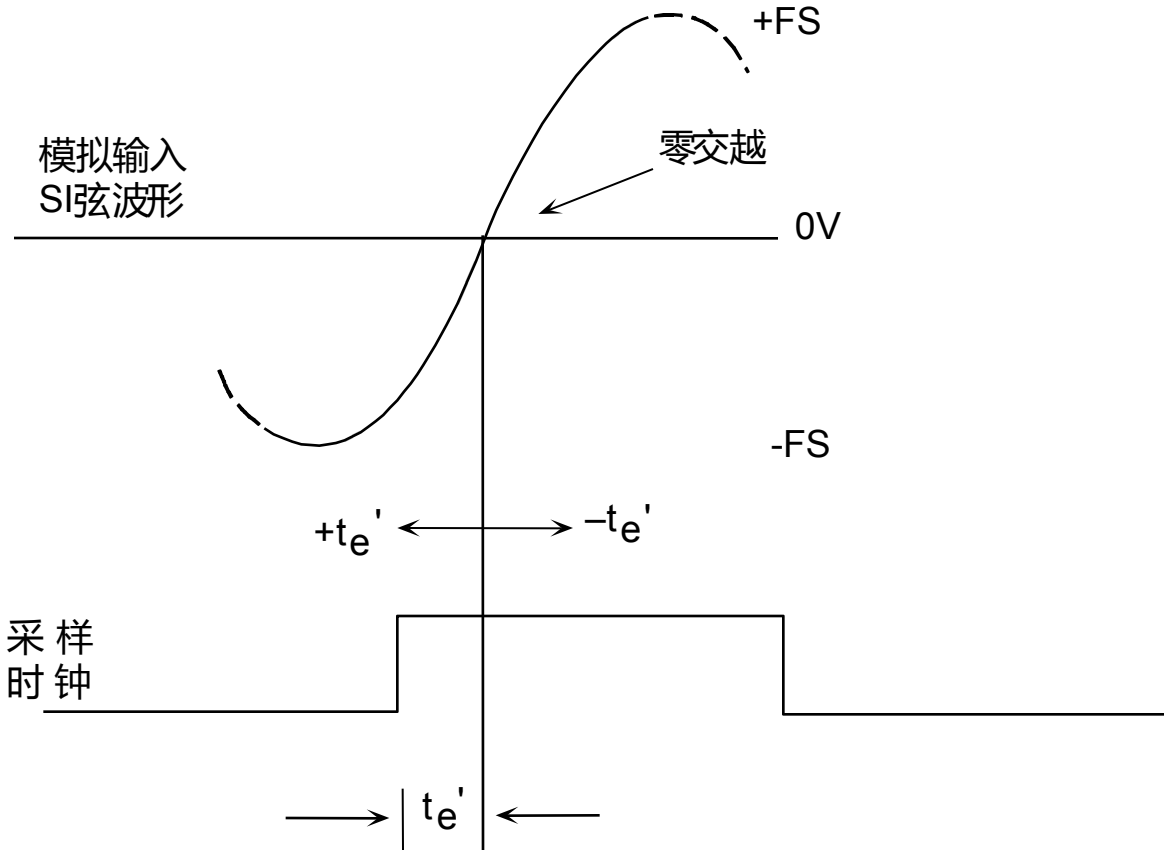
反馈路径上的DDS



DDS用作DCO

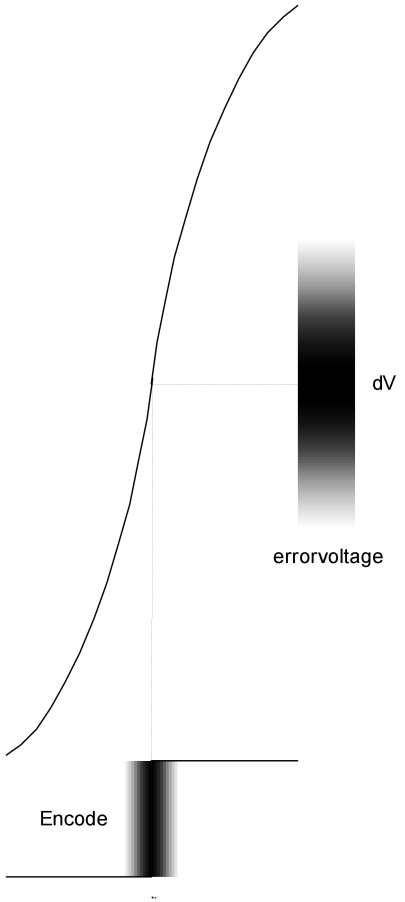
数据转换器时钟
相对于ADC输入测量有效孔径延迟时间

再现需要绝对的精度
　　CD声音输出将失调
时钟抖动导致失真



抖动 – ADC中的SHA引入的常见噪声源

跳转至产品



- 时钟抖动是编码时钟的样本间变化（包括外部抖动和内部抖动）。
- 抖动引起的满量程信噪比由以下公式得出：

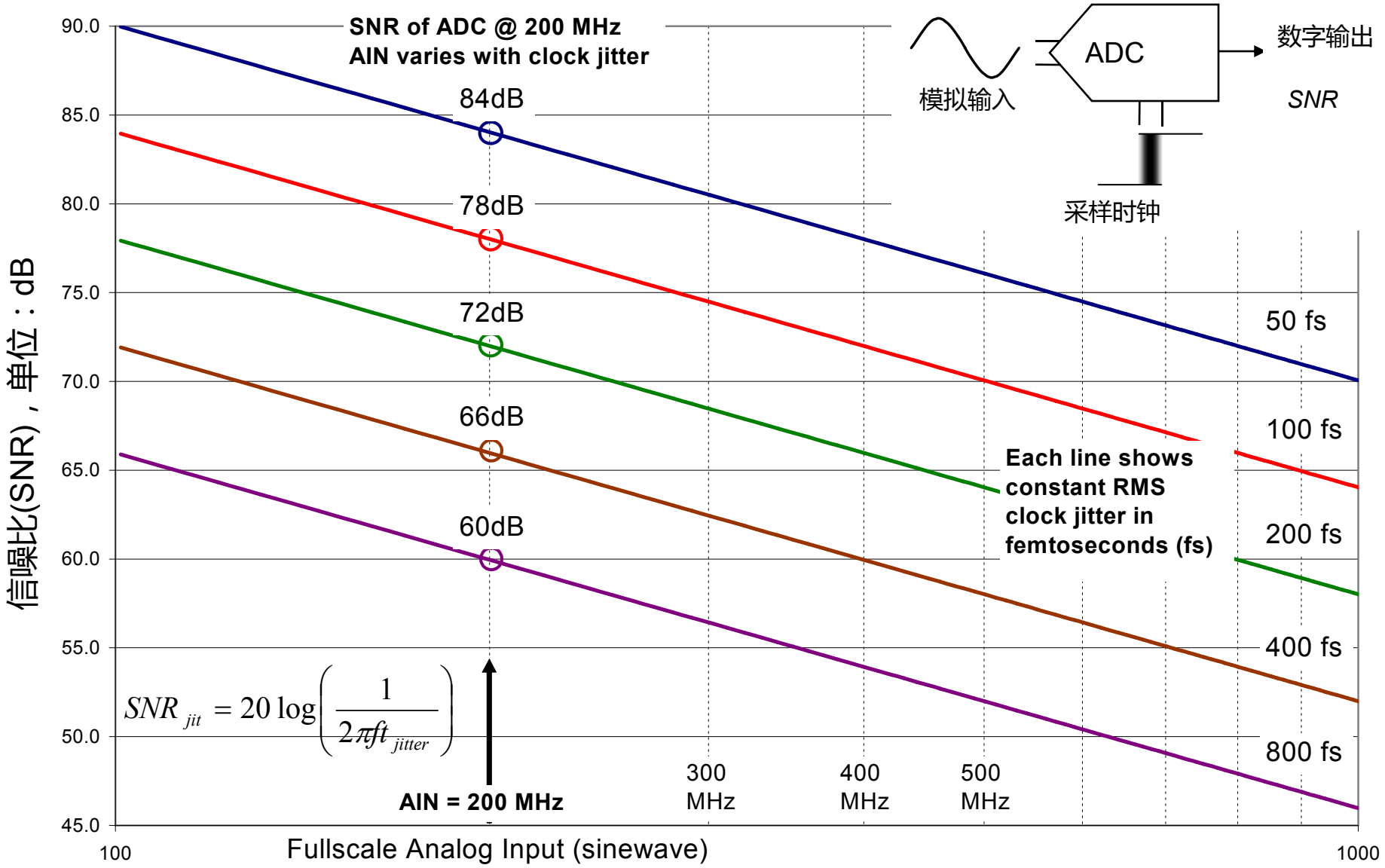
$$SNR_{jitter} = 20\log\left(\frac{S_{rms}}{N_{rms}}\right) = 20\log\left(\frac{1}{2\pi f t_{jitter}}\right)$$

- 参见AN-501和AN-756

SHA = 采样保持放大器

SNR = 信噪比

时钟抖动随模拟信号增大而限制信噪比



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

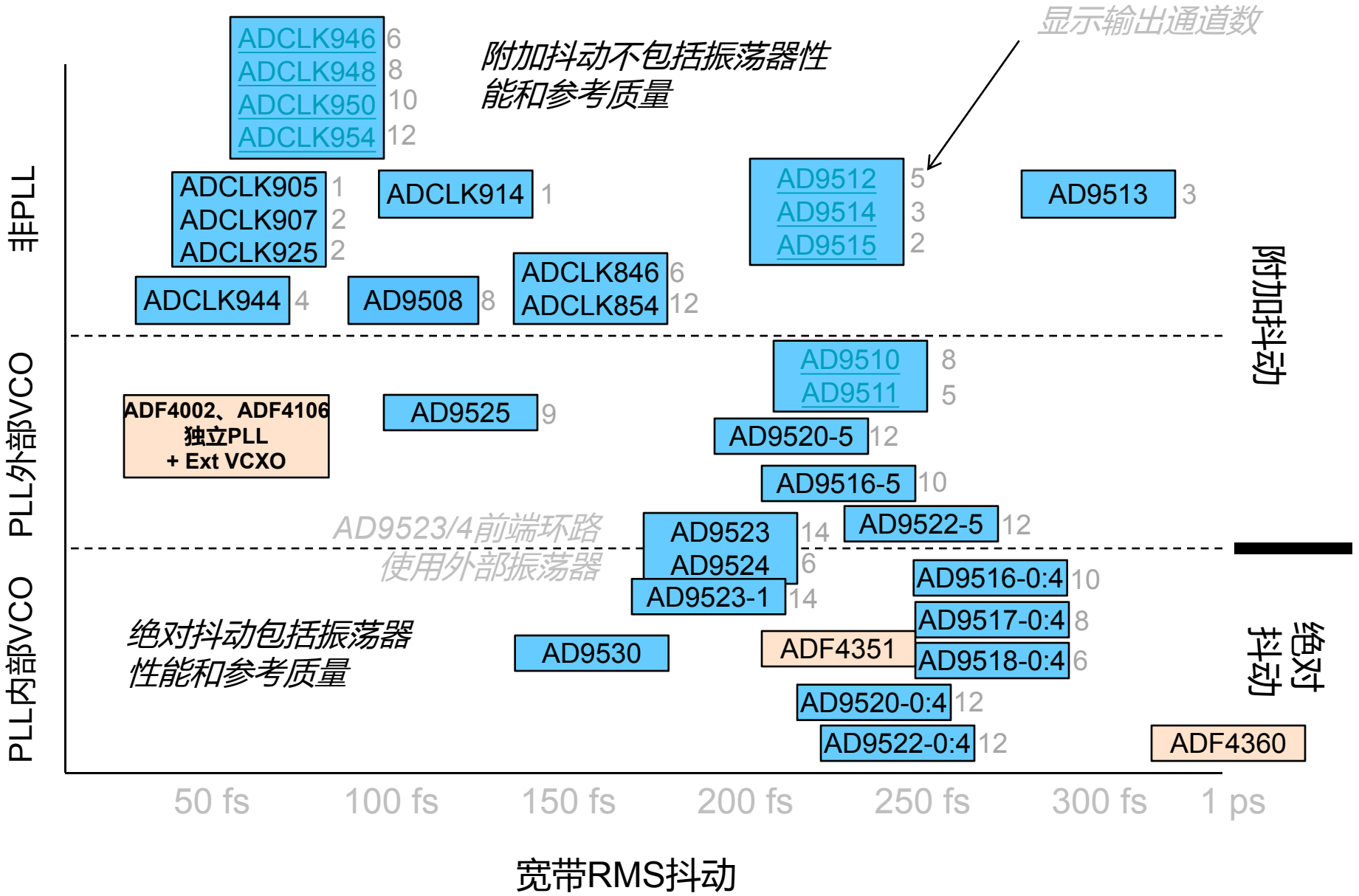
逻辑门/驱动器的加性RMS抖动

- FPGA（仅驱动门）　33–50 ps**
- 74LS00　4.94 ps *
- 74HCT00　2.20 ps *
- 74ACT00　0.99 ps *
- MC100EL16 PECL　0.7 ps **
- AD951x系列　0.22 ps **
- NBSG16，小摆幅ECL (0.4V)　0.2 ps **
- ADCLK9xx，ECL时钟驱动器系列　<0.1 ps**

* 基于ADC SNR性能下降而计算

** 厂商规格

根据架构与性能分类



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

电压控制振荡器

- 提供易用性和功能多样性
- 用于普通应用的简单RC可调振荡器
- 高频率要求进行专门设计

电压控制振荡器
HMC512

Features

Triple Output: Fo = 9.6 - 10.8 GHz
Fo/2 = 4.8 - 5.4 GHz
Fo/4 = 2.4 - 2.7 GHz

Pout: +9 dBm

Phase Noise: -110 dBc/Hz @100 kHz Typ.

No External Resonator Needed

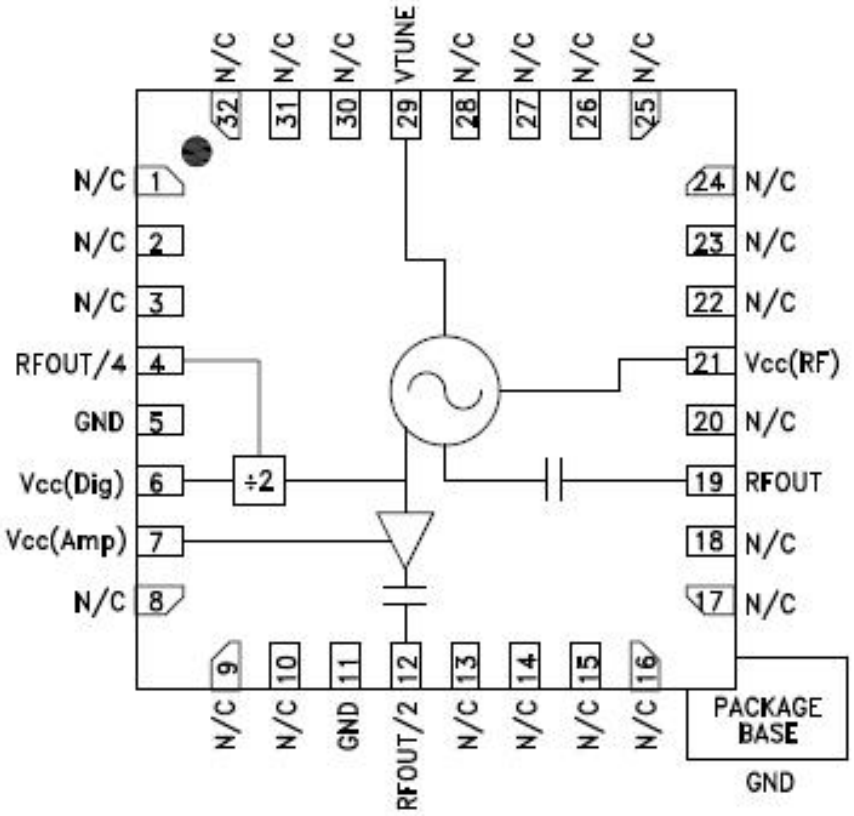
32 Lead 5 x 5 mm SMT Package: 25 mm²

Typical Applications

Low noise MMIC VCO w/Half Frequency, Divide-by-4 Outputs for:

- Point to Point/Multipoint Radio
- Test Equipment & Industrial Controls
- SATCOM
- Military End-Use

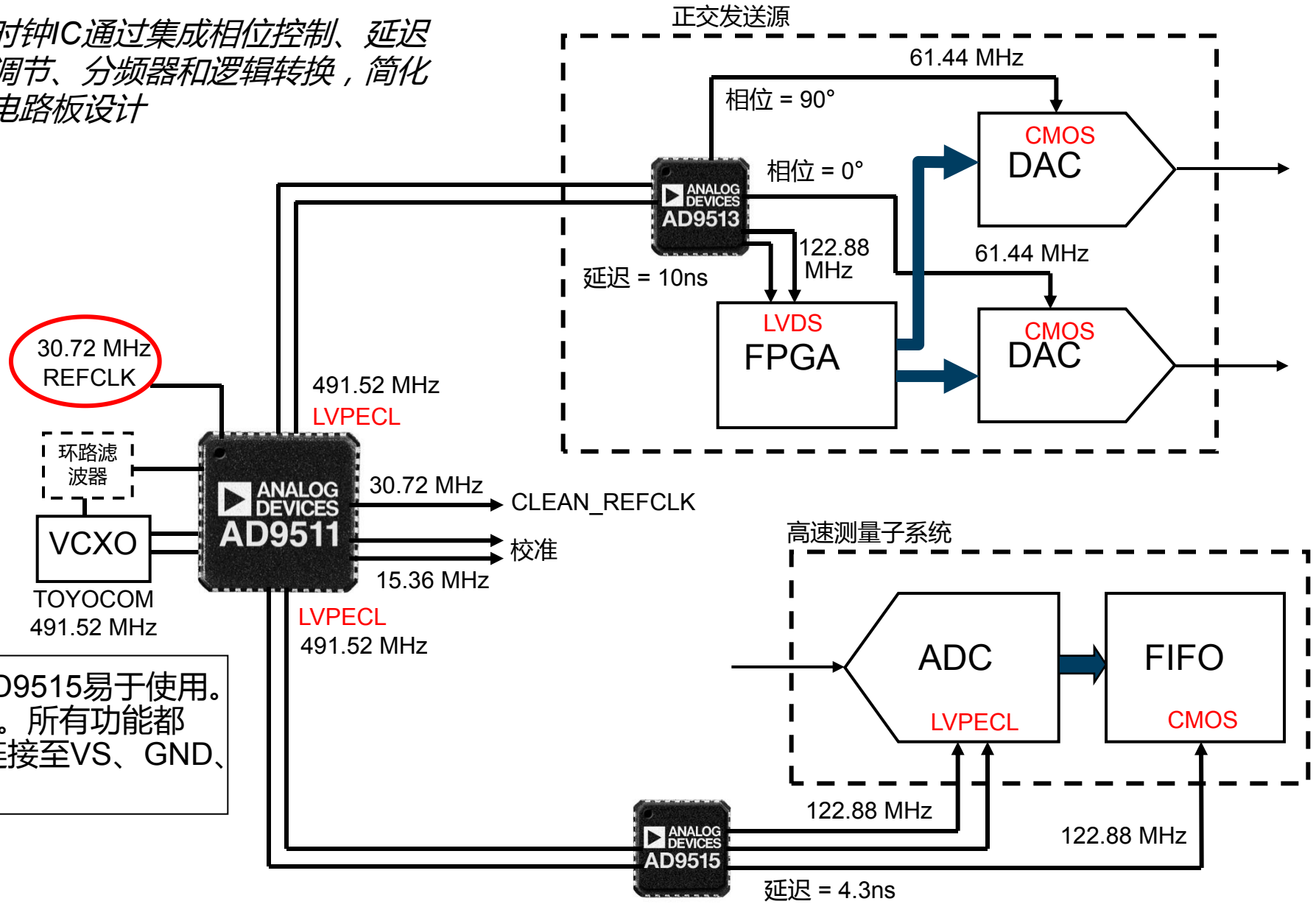
Functional Diagram



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

系统时钟分配示例

时钟IC通过集成相位控制、延迟调节、分频器和逻辑转换，简化电路板设计



AD9513/AD9514/AD9515易于使用。仅需一个+3.3V电源。所有功能都可通过将输入引脚连接至VS、GND、VREF或NC来选择

ADI公司的完整时钟产品组合

- 数字和全数字PLL
  - 用于频率倍乘/转换
  - 冗余时钟和保持
- 频率合成器
  - 用于时钟产生
- 时钟分配
  - 用于将相同时钟发送到多个芯片
  - 也用于逻辑电平转换（即LVPECL转LVDS）
  - 可能包括分频器（2/4分频等）
  - 可能包括偏斜调整功能
- 电压控制振荡器

分立锁相环(PLL)产品路线图

供货
- 已发布
- 开发中

ADF4106/7/8
6/7/8 GHz整数N分频PLL
- 低功耗
- 简单但高效
- -223 dBc/Hz FOM

ADF4159
13 GHz小数N分频PLL
- 集成扫描引擎
- 25位模数
- 110 MHz f_{PFD}
- 相位控制

ADF41020
18 GHz整数N分频PLL
- -221 dBc/Hz FOM
- ADF4106集成预分频器

ADF41513
26.5 GHz小数N分频PLL
- -234 dBc/Hz FOM
- 200 MHz f_{PFD}
- 集成扫描引擎
- 样片：现在提供，2017年7月发布

ADF4169
13.5 GHz小数N分频PLL
- 更高频率ADF4159：130 MHz f_{PFD}

ADF41512
18 GHz小数N分频PLL
- -234 dBc/Hz FOM
- 200 MHz f_{PFD}
- 集成扫描引擎
- 样片：现在提供；2017年4月发布

ADF4153A
4 GHz小数N分频PLL
- -223 dBc/Hz FOM
- 扩展温度：+125 °C

ADF4158
6.1 GHz小数N分频PLL
- 25位模数
- 集成扫描引擎
- -216 dBc/Hz FOM

HMC703
8 GHz小数N分频
- 集成扫描引擎
- 超低杂散
- -233 dBc/Hz FOM

ADF4152HV
5 GHz小数N分频PLL
- -213 dBc/Hz FOM
- 高达29 V电荷泵

ADF4193/ 6
3.5/6 GHz小数N分频PLL
- -216 dBc/Hz FOM
- 超快速切换(5 µs)

ADF4156
6.2 GHz小数N分频PLL
- -220 dBc/Hz FOM
- 简单小数N分频PLL
- 相位控制

ADF4002
400 MHz整数N分频PLL
- -222 dBc/Hz FOM
- N分频器 ≥ 1

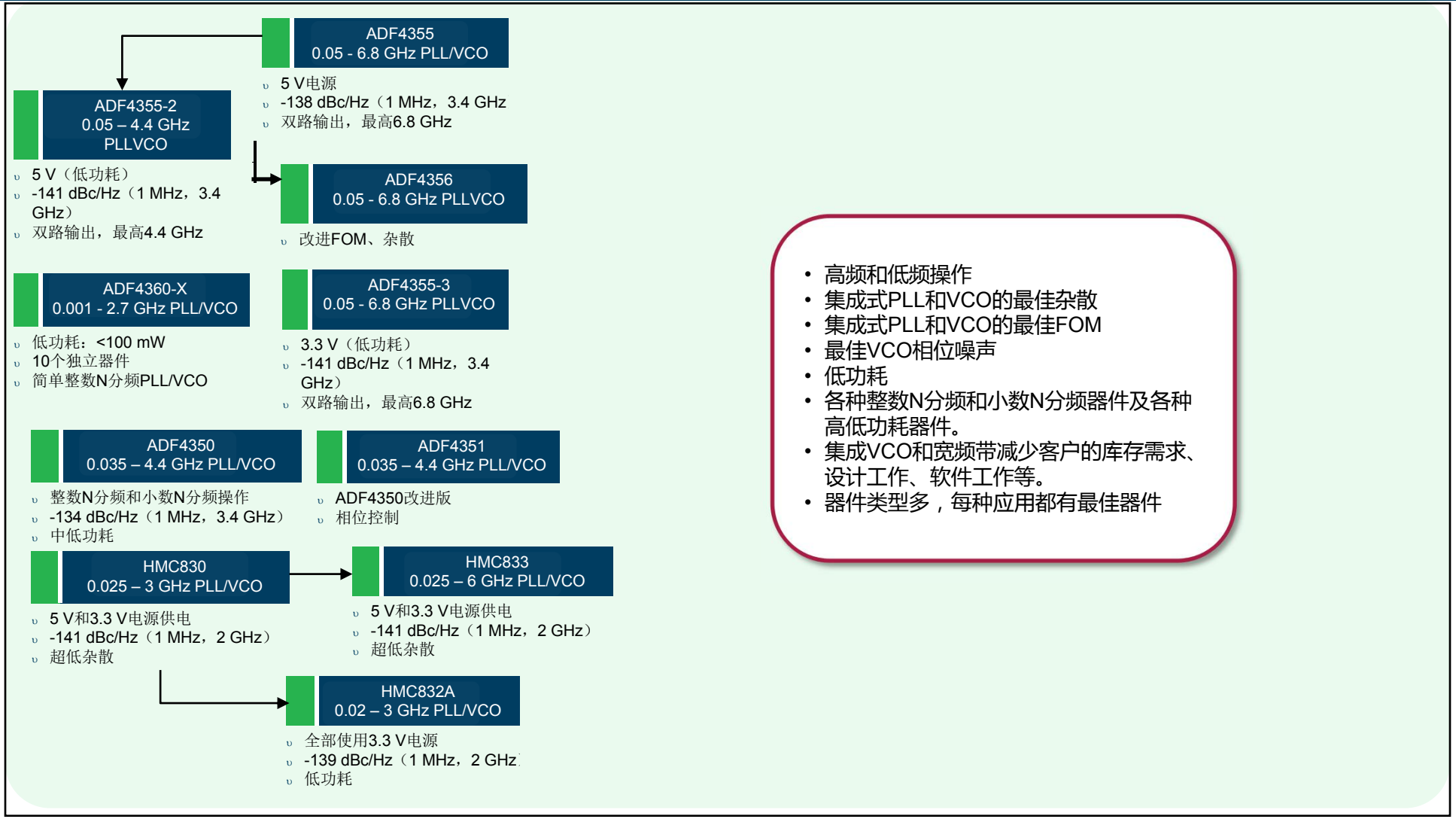
ADF4007
7 GHz整数N分频PLL
- -219 dBc/Hz FOM
- 全硬件可编程。无SPI

- 高工作频率
- 低VCO相位噪声、PLL FOM和杂散，改进功能
- 低功耗
- 扩展工作温度
- 器件类型多，每种应用都有最佳器件

6 GHz　13 GHz　18 GHz　26 GHz　32 GHz

RF集成PLL/VCO频率合成器产品路线图：

供货
- 已发布
- 开发中
- 概念

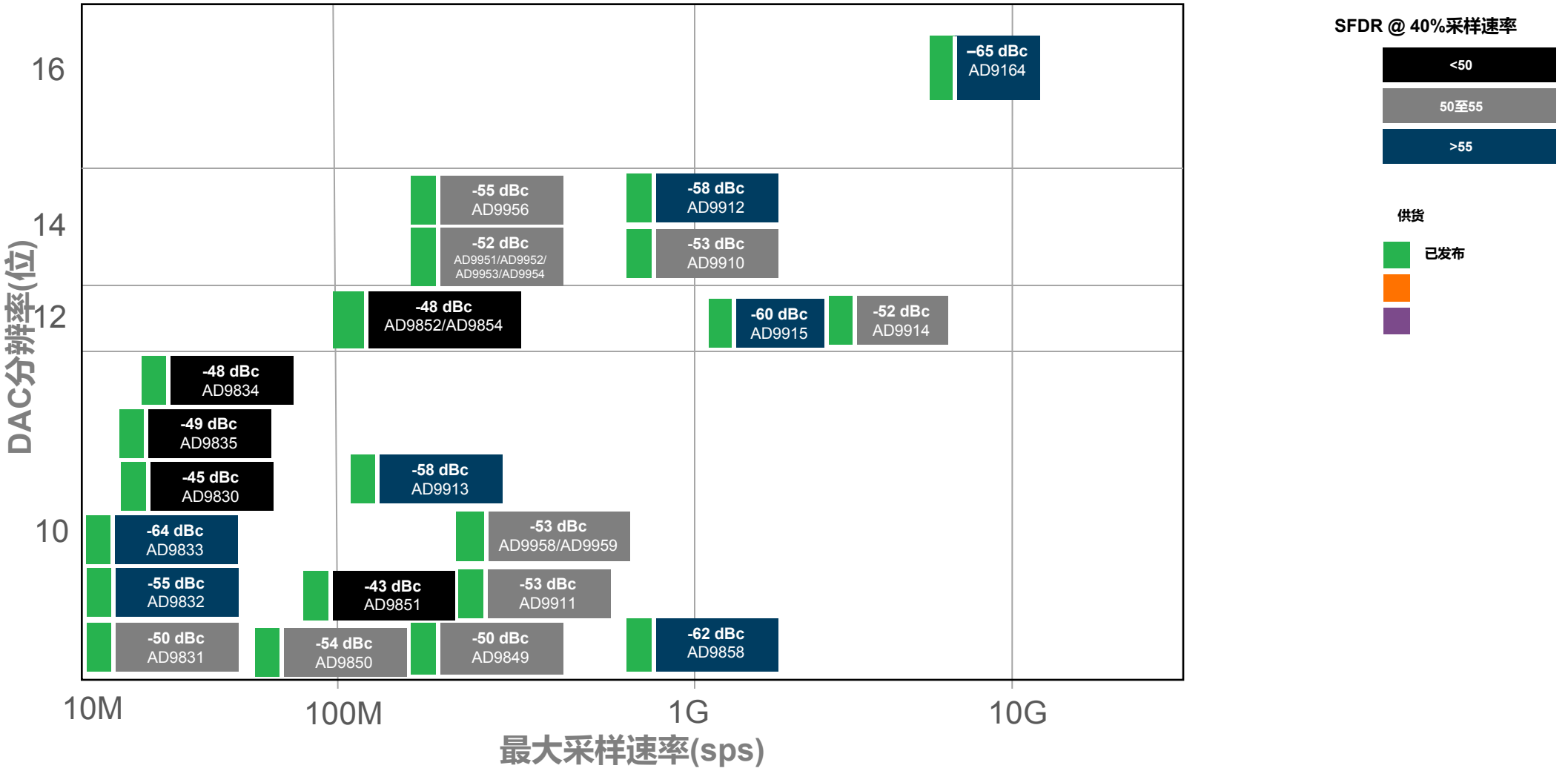


- 高频和低频操作
- 集成式PLL和VCO的最佳杂散
- 集成式PLL和VCO的最佳FOM
- 最佳VCO相位噪声
- 低功耗
- 各种整数N分频和小数N分频器件及各种高低功耗器件。
- 集成VCO和宽频带减少客户的库存需求、设计工作、软件工作等。
- 器件类型多，每种应用都有最佳器件

6 GHz　13 GHz　18 GHz　26 GHz　32 GHz

ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

直接数字频率合成产品系列/路线图



ANALOG DEVICES
AHEAD OF WHAT'S POSSIBLE™

内容回顾

- 随着系统复杂度和性能要求的提升，频率合成器件必须满足更高的性能和功能多样性要求
- 锁相环(PLL)的设计与应用
- 直接数字频率合成(DDS)的设计与应用
- 软件工具极大地简化了复杂频率合成器件的设计和配置
- 数据转换器时钟需要具有低抖动性能，以使失真程度最低
- 专用时钟产生和分配支持精密的频率调谐和相位控制

谢谢观看！

- ADI中国地区技术支持热线：4006 100 006
- ADI中国地区技术支持信箱：
  china.support@analog.com
- ADI样片申请网址：
  http://www.analog.com/zh/sample