

通过扰动消除转换器非线性

作者：Brad Brannon

序言：本文聚焦于 12 位 41 MSPS ADC AD9042。AD9042 是首款为配合宽带、高 SFDR（无杂散动态范围）前端而专门设计的商用转换器。

随着通信技术和服务迅猛发展，对数字接收机和发射机的需求也与日俱增。无论是宽带设计还是窄带设计，都会面临同样的问题：哪里可以找到动态性能接近完美的数据转换器？对于需要 95 dB 以上无杂散动态范围的宽带接收机，哪里可以找到能够对 GSM 频段进行数字化的数据转换器？虽然现在还不可能，但具有 95 dB 无杂散动态范围的宽带数据转换器的出现已为期不远。然而，通过一种称为“扰动”的技术，可以大大扩展许多良好数据转换器（如 AD9042 等）的动态范围，从而满足当今及未来的苛刻通信需求。

失真类型

根据特征不同，数据转换器的失真可以分为两种类型，传统上将其称为“静态线性度”和“动态线性度”。静态线性度一般通过确定数据转换器的传递函数及由此获得的 INL 和 DNL 误差来表征。动态线性度通过 SINAD、SFDR 及其它多种形式的噪声和谐波失真来表征。

一直以来，动态线性度是现代数据转换器的主要限制因素。在 AD9027 和 AD9042 等产品推出前，转换器的实际动态性能远远低于基于转换器位数所做出的性能预期。此外，当转换器的模拟输入接近奈奎斯特值时，谐波性能迅速下降。这些问题导致许多转换器在众多潜在应用中毫无用处。AD9042 之类的新型转换器采用先进的架构和工艺，能够在整个第一奈奎斯特区提供出色的交流线性度。

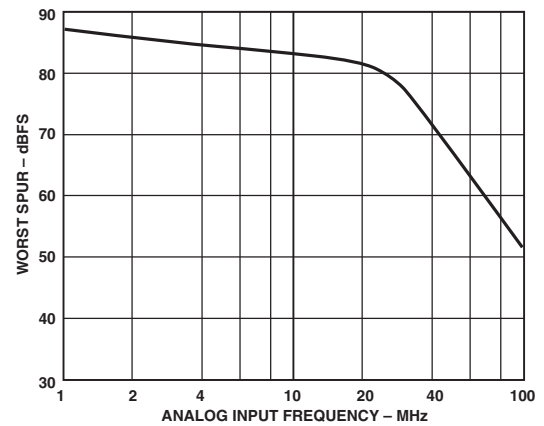


图 1. AD9042 典型 SFDR

虽然许多转换器动态性能不佳的原因很复杂，但其中一个常见问题是缺少采样保持器（或输入比较器），因而无法提供足够的压摆率来跟随快速变化的模拟输入。这是许多转换器无法在信号带宽数 MHz 以外正常工作的一个重要原因。虽然所有转换器设计人员都希望将导致谐波失真随频率提高的因素降至最低，但他们使用的工艺和架构可能无法做到这一点。

考察失真时，可以发现两个分量。失真可以看作是一个包括幅度和相位分量的矢量。如上所述，随着频率提高，失真的幅度通常会提高。此外，所有转换器都具有固定孔径延迟，并且转换器的模拟链中存在额外的极点或零点，这些因素会导致失真的相位角旋转。

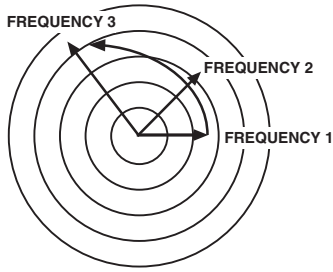


图 2.

静态线性度通常用直流传递函数来描述。有许多方法可以用来获取给定数据转换器的传递函数。此函数的传统评估指标包括积分非线性 (INL) 误差和微分非线性 (DNL) 误差等。然而，除非转换器用作采样应用中的数字转换器，例如 CCD 数字转换器或采样示波器，否则说一个转换器具有 3/4 LSB 的 INL 误差和 0.5 LSB 的 DNL 误差毫无意义。在通信应用中，典型数据手册所提供的静态线性结果并无多大意义。这并不是说静态传递函数不重要，相反，数据转换器的静态传递函数决定其动态性能。因此，对静态传递函数进行一些分析是值得的。此外，随着设计人员不断改善内部采样保持器的特性，SFDR 的限制因素不再是模拟压摆率，而是传递函数中的 DNL 误差。

如果使用数据转换器的传递函数来拟合理想正弦信号，那么可以对所产生的数据进行频谱分析，确定这些静态特性如何影响 SFDR。结果将显示谐波失真的幅度和相位，并且可以轻松地在幅度范围内进行扫描。在 AD9042 等高性能转换器中，静态传递函数与频率无关，因此失真矢量对所有频率都是恒定的，如下图所示，只不过 2 次至 n 次谐波各有不同的矢量集。

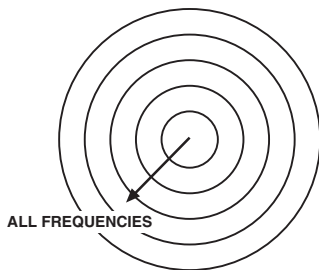


图 3.

由于现在用矢量来定义失真，因此数据转换器的静态和动态性能可以相加。事实上，各项可以完全抵消，如下图所示，导致该转换器在中间频段性能优于在较低或较高频率时的性能。当在输入带宽范围扫描输入频率时，此现象常常表现为转换器 SFDR 性能的波动。

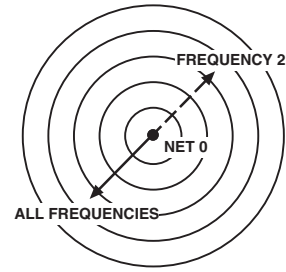


图 4.

AD9042 等高性能转换器的静态传递函数不随频率而变化，而且压摆受限效应所引起的失真通常远远优于 80 dB，如图 1 所示。当模拟输入远低于满量程时，情况更是如此。由于许多通信应用（无论宽带还是窄带）采用远低于满量程的信号工作，因此这是高性能转换器需要考察的一个重要项目。

静态线性度的动态效应

如上所述，对于通信应用，仅有 INL 和 DNL 结果并不足以说明转换器的性能。例如，假设一个转换器的最差情况 DNL 是 +2 LSB，偏离 -FS 一个代码。虽然这是相当糟糕的误差，但在接收机应用中，它对转换器的影响非常小，因为转换器很少使用 ± 满量程附近的代码。反之，假设另一个转换器的最差 DNL 误差为 +0.25，在中间电平附近。仔细研究后发现，共有 4 个代码，误差均为 +0.25 LSB。对转换器的净影响是该位置的传递函数误差为 +1 LSB，这是相当严重的误差。如图 5 所示，只要不到达满量程，信号可能永远不会碰上不良代码，除非出现削波状态。同样，量程中间的四个典型误差可能会反复出现，引起潜在的动态问题。因此，在没有其它信息（位置、频率等）的情况下，关于转换器 INL 或 DNL 的笼统说明并无多大作用。

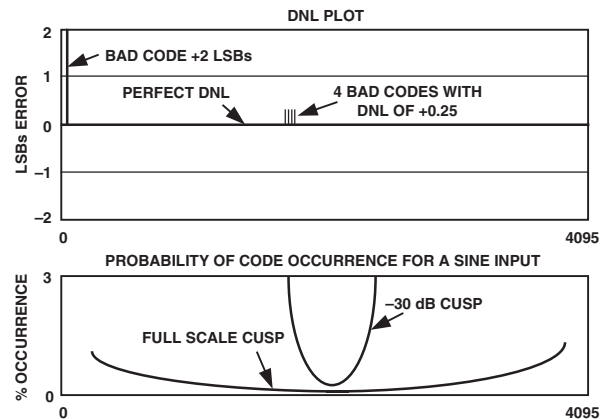


图 5.

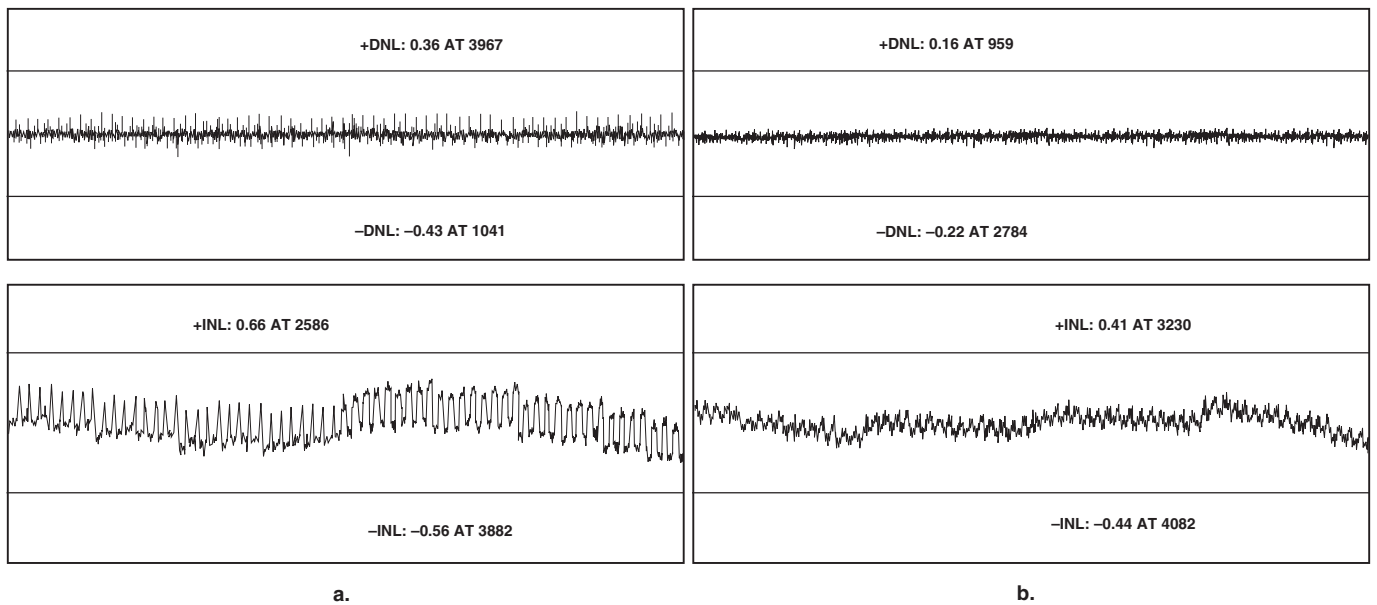


图 6.

高分辨率数据转换器通常采用多级技术来实现高位分辨率，而不使用传统 Flash ADC 技术所需的庞大比较器阵列。多级转换器对芯片的使用通常更经济。然而，由于是一种多级器件，当模拟输入从转换器的一端扫描到另一端时，会重复使用电路的某些部分，如图 6 所示。虽然最差 DNL 误差可能小于 0.25 LSB，但传递函数的重复性质可能会破坏低电平动态信号。满量程 SFDR 可能是 88 dBFS，虽然比满量程低 20 dB，但这些重复的 DNL 误差可能会使 SFDR 降至 80 dBFS。

上图来自两个不同的 AD9042 器件。虽然每个器件都相当不错，但上面的 INL 和 DNL 图却显示出迥异的线性度特性。两幅图清楚显示了多级转换器的线性度重复性。

概率

为了解 DNL 如何能够影响数据转换器的动态性能，有必要考察用于激励数据转换器的正弦函数的概率密度函数 (PDF)。下式给出了任意转换器代码的出现概率。

$$P(I_{th\ code}) = \frac{1}{\pi} \left(\sin^{-1} \left[\frac{V(I-2^{N-1})}{A2^N} \right] - \sin^{-1} \left[\frac{V(I-1-2^{N-1})}{A2^N} \right] \right)$$

V 是转换器的满量程范围。

N 是转换器的位数。

I 是所要考虑的代码。

A 是输入正弦波的峰值幅度。

对一个满量程信号使用此公式，可以得出 12 位转换器满量程代码的出现概率为 1%。相比之下，中间电平代码的出现概率只有 0.015%，通常对应正弦波 PDF 的“波峰”。这是因为正弦函数的压摆率在中间电平最大，在最大值和最小值时为零。因此，就采样点而言，在最大值 / 最小值处对信号进行采样的可能性大于在零交越处进行采样。事实上，如果将 PDF 数组乘以 DNL 误差数组并进行积分，则结果将是具有给定 DNL 误差的满量程正弦波的预期总误差。

$$Error_{total} = \int_{I=\min\ code}^{\max\ code} P(I) \times DNL(I)$$

输入信号比满量程低 -30 dB 时会如何呢？这种情况下，仅会用到 3% 多一点的转换器代码。本例中，正弦波峰值处的代码出现概率为 3%，中间电平代码的出现概率为 0.5%。同样，如果将幅度降低的正弦波的 PDF 数组乘以那些相同代码的 DNL 误差并进行积分，则结果将是低幅度信号的预期总误差。如果对一个比满量程低 -60 dB 的信号重复该过程，则只会使用 0.1% 的代码（4 个代码）。对于这种情况，峰值代码的出现概率约为 28%，中间电平代码的出现概率约为 22%。同样，如果将 PDF 数组乘以 DNL 误差数组并进行积分，则将获得总误差。

这与动态性能有何关系吗？假设第 1985 个代码的 DNL 误差为 +1.5 LSB, 其余所有转换器代码都具有理想的 DNL (即 0 误差)。在满量程正弦输入下, 附加误差 (正常量化误差以外的误差) 为 1.5×0.0001555 或 0.00023325 LSB。然而, 对于一个比满量程低 -30 dB 的信号, 计算结果为 1.5×0.03 或 0.045 LSB, 在该低电平信号下的误差贡献几乎比在满量程输入下大 200 倍。此外, PDF 的形状为图 7 所示的尖峰, 因此可以预期, 当尖峰边缘趋近代码 1985 时, 动态性能逐渐下降, 然后在信号下降到 -30 dB 以下而不再使用代码 1985 时, 迅速恢复到近乎理想的性能。

本例中, 误差仅出现在低电平信号的信号峰值处, 因此在信号幅度降低的情况下, 主要误差贡献来自二次谐波。在实际的转换器中, DNL 误差十分复杂, 并且频繁重复, 前文的图示中显示了这一点。扰动力图消除的正是这种影响, 以便改善 (或保持) 信号电平降低情况下的性能。

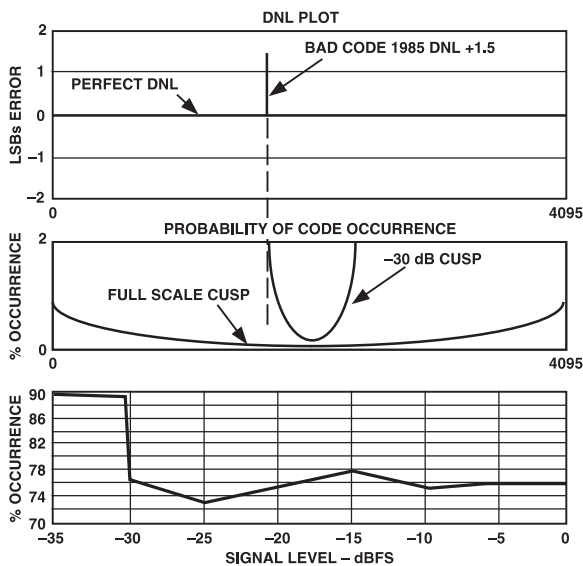


图 7. 信号电平

DNL 的性质

要理解任何转换器的 DNL 性质, 必须明白该转换器的架构。图 8 所示为 12 位、41 MSPS 模数转换器 AD9042 的框图。如上所述, 几乎所有的高分辨率转换器 (如 AD9042 等) 都会采用某种形式的多级转换架构。在 AD9042 中, 第一个转换器是一个 6 位 ADC, 第二个转换器是一个 7 位转换器。二者总共提供 12 个数据位, 以及 1 个用来内部补偿 6 位 ADC 非线性的误差校正位。为使多级转换器正常工作, 必须使用一个高精度数模转换器将第一级 ADC (AD9042 中的 6 位 ADC) 的输出信号再转换为模拟信号, 以便从原始输入中扣除。在 AD9042 中, 此 DAC 的精度接近 14 位。该架构中, DAC 之后是一个放大器, 用来执行第二 ADC (AD9042 中的 7 位 ADC) 的减法和增益范围调整。同样, 放大器的增益必须与第二 ADC 的范围精确匹配。如何任一条件未得到准确满足, 结果将是不匹配, 表现为 DNL 误差, 这比实际 DNL 图所显示的还要差。很小的增益不匹配就能引发问题。例如, 即使匹配精度保持在 12 位, 所产生的 DNL 误差仍然能达到 ± 1 LSB。即使实现 14 位匹配精度, 总 DNL 误差仍将达到 ± 0.25 LSB, AD9042 就是如此。因此, 从前面给出的实际 DNL 图可以清楚地看到, 匹配精度保持在 13 位到 14 位之间, 尽管 AD9042 是一个未经调整的器件。

此外, 在多级转换器中, 第二级 ADC 的范围会被重复使用多次, 因而 DNL 模式会重复多次。事实上, DNL 重复次数将是 2^N , 其中 N 为第一个 ADC 的位数。对于 AD9042, N 等于 6, 因此重复次数为 64。仔细观察前面的实际 DNL 图, 可以发现 DNL 尖峰出现了 64 次。这一原理适用于任何多级转换器, 也适用于某些可能具有分段式电阻梯的 Flash ADC。

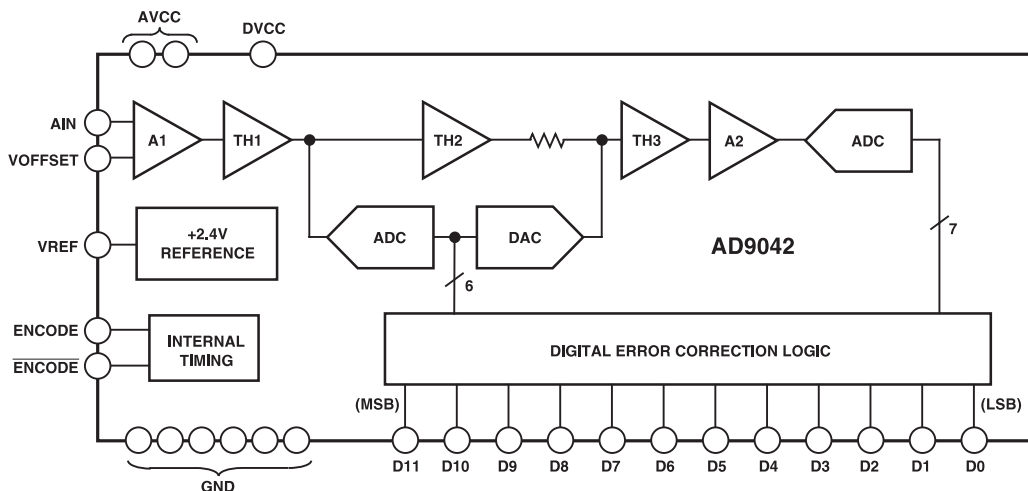


图 8. AD9042 功能框图

什么是扰动，它有何帮助？

简单地说，扰动是注入数据转换器模拟输入的非相关信号，通常是伪随机噪声。有多种方法可以实现这一点。扰动可以是宽带噪声，然而，转换器的 SNR 可能会降低过多，具体取决于需要注入的噪声量。有两种方法可以避免这个问题。第一种方法是用伪随机数字值发生器产生扰动，将此数字数据输入 DAC，与待测 ADC 的输入相加。在 ADC 的数字输出端，从转换器响应中减除送至 DAC 的数字信号，参见图 9。这样，增加到模拟输入中的噪声便从数字输出中减除，使得 SNR 性能恢复到正常水平。这种技术非常适合大扰动信号。

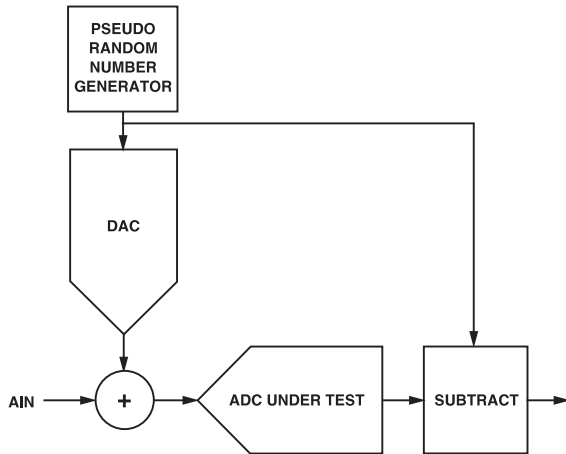


图 9. 减性宽带扰动

另一种方法是在目标频段以外产生噪声，如图 10 所示。带外信号的两个可能位置是 DC 和奈奎斯特区。在接收机设计中，出于各种原因，通常不会使用这两个区域中的一个区域。其中一个区域通常会有数百 kHz 的带宽，可以将噪声置于其中。

扰动的主要作用是让转换器的 DNL 误差分散或随机化。这样，所有代码的 DNL 将显得更均匀和一致，不再表现出上文曲线图中的重复性质。为了了解其工作原理，请查看图 11 放大 DNL 图的扩展部分。DNL 图的这一部分显示了 64 个 DNL 尖峰中的两个，以及其间的代码。扰动的目的是让 DNL 误差接近更均匀的状态，使得任何给定的输入电压都不会碰到特别好或特别差的代码，而是运行“平均”品质的代码。

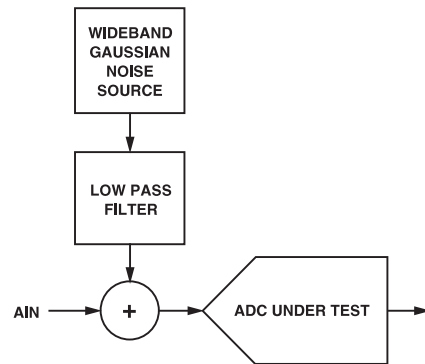


图 10. 带外扰动

下面的一系列图显示如何通过一个高斯噪声的 PDF 与第一幅图所示的 DNL 图进行卷积来“平均”微分线性度。各图的扰动量逐渐增加。第一个扰动线性度对应 5.3 个代码的均方根扰动，第二个对应 10.6 个代码，第三个对应 16 个代码，最后一个对应 21.3 个代码的均方根（128 峰 - 峰值）

扰动。当扰动提高到 21.3 个代码以上时，相邻不匹配误差开始整合在一起，整体小信号动态性能几乎没有提高。这可以从最后两幅图看出，摆幅几乎相同，表明 SFDR 几乎没有进一步的改善。

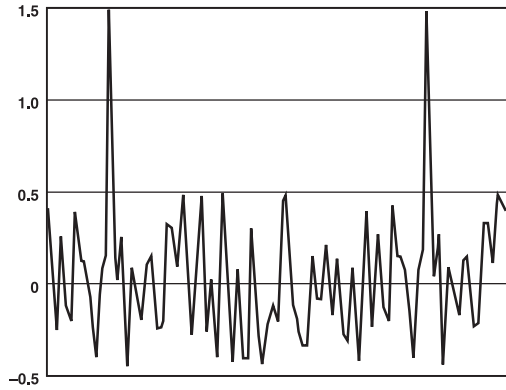


图 11. 未扰动的 DNL

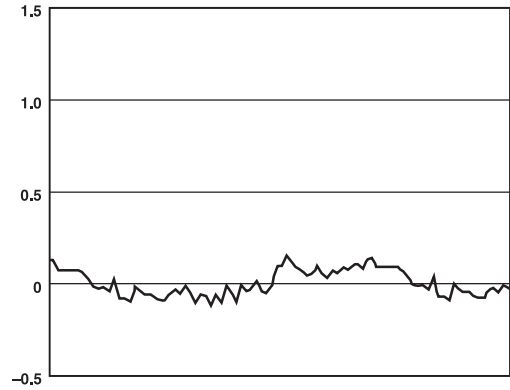


图 13. 增加 10.6 个代码的扰动

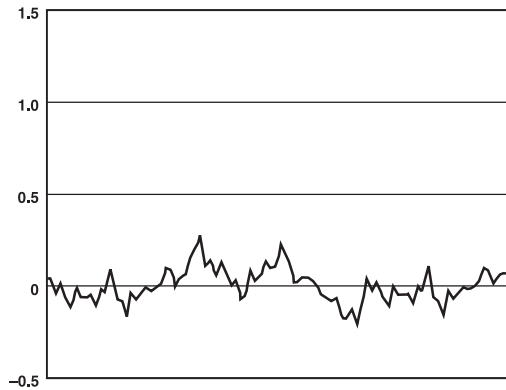


图 12. 增加 5.3 个代码的均方根扰动

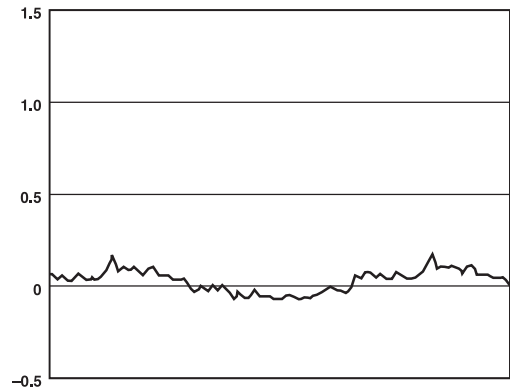


图 14. 增加 16 个代码的扰动

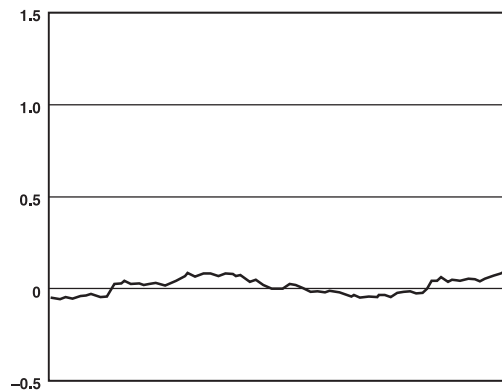


图 15. 增加 21.3 个代码的扰动

因此，AD9042 的最佳扰动是在 16 到 21.3 个代码（均方根）之间，相当于 -35 dBm 到 -32.5 dBm 的扰动功率。超出此范围时，小信号动态性能几乎不会提高。注入适当的扰动功率后，非满量程信号的杂散性能一般会降到本底噪声以内，如下面的 128K FFT 图所示。第一幅图显示 AD9042 转换器应用扰动前的情况，扰动前的杂散性能为 82 dBFS。应用扰动后，杂散降至 -103 dBFS。从图中可以看出，该测试设置使用的是带外扰动方法。

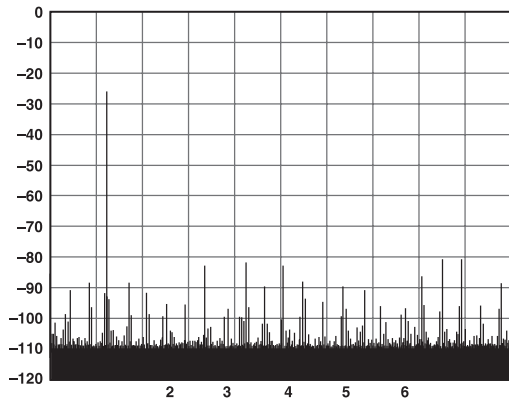


图 16. 无扰动时的 128K FFT

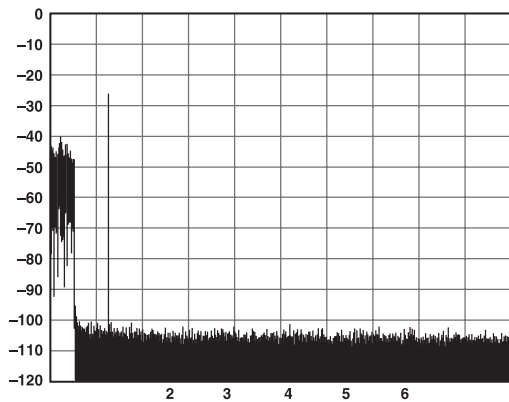


图 17. 应用扰动后的 128K FFT

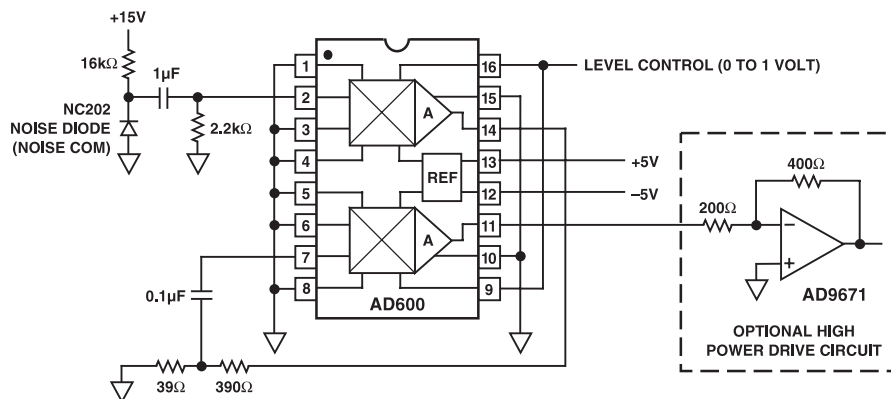


图 18.

简单的扰动电路

虽然扰动能够给转换器性能带来一些惊人的改善，但用来产生扰动的电路却相当简单。由于扰动不过是高斯噪声，因此所需的第一个要素是噪声源。它可以是一个简单的大电阻，电阻噪声为 $v^2 = 4kTR\Delta f$ 。另外，市场上也提供现成且易用的噪声二极管。二极管或电阻的噪声功率水平都相当低，因此必须应用某种形式的增益。如果系统要求扰动水平可变，以便补偿系统负载随时间的变化，则必须提供某种形式的增益控制。下面给出的电路利用 1 V 控制信号提供 80 dB 的噪声调整范围。如果不需要增益控制，可以使用固定增益模块，甚至低成本运算放大器，因为实际只会使用数百 kHz 的噪声带宽。

结论

扰动是一种强大有效的工具，可用来降低数据转换器的杂散。通过扰动，DNL 误差可以轻松地归一化，使得所有 DNL 误差更平均，其效果是将相干信号散布到本底噪声以内。事实上，通过观察上面的 128K FFT 图可以得知，随着信号杂散散布到本底噪声以内，转换器的本底噪声实际上会提高，说明总均方根误差仍然保持不变。这些杂散只不过是转换为非相干噪声。此外，当考虑扰动后转换器的有效 DNL 时，DNL 误差实际上可接近理想性能；当考虑下面给出的 SNR 公式时，平均 DNL 可能接近 0，如上面的卷积 DNL 图所示。这样就仅在抖动、热噪声和量化水平上使 SNR 性能达到最高。DNL 误差对整体 SNR（或 SFDR）无影响，如深度 FFT 图所示。

$$SNR = 20 \log \left[\left(2\pi F_{analog} t_{j\ rms} \right)^2 + \left(\frac{1+\varepsilon}{2^{12}} \right)^2 + \left(\frac{V_{noise\ rms}}{2^{12}} \right)^2 \right]^{1/2}$$

公式 1

f_{analog} = 模拟输入频率

$t_{j\ rms}$ = 编码的均方根抖动（编码源和内部编码电路的均方根和）

ε = ADC 的平均（典型）DNL

$V_{noise\ p-p}$ = 折合到 ADC 模拟输入端的均方根热噪声

虽然本文未加以详细讨论，但扰动也是降低大量程动态性能的有力工具。这里所说的大量程指接近满量程的信号，然而，大信号扰动很少超过半量程，使得转换器的可用动态范围减半。这里的失真模式略有不同，适用于较大范围的转换器。在下面给出的 SFDR 表面轮廓的放大部分中，可以清楚地看到这一点。在图 19 中，可以简单地将大量程扰动的效果看作是扰动的信号电平接近满量程。当扰动提高到半量程时，半量程信号的 SFDR 从 -79 dB 提高到 -85 dB。

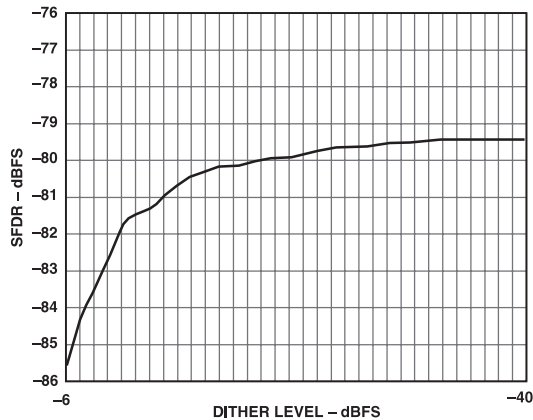


图 19. 扰动扫描下的半量程 A_{in} SFDR

以上的研究说明，4K、8K 和 16K FFT 并不够深。为了解决这个问题，已经开发了 128K 存储器及 FFT，支持 -110 dBFS 的考察范围。即便如此，扰动下 AD9042 的谐波能力仍然使这一数据分析设置不堪重负。

总而言之，将扰动引入数据转换器的模拟输入可以显著改善 SFDR。窄带扰动易于产生，性能将大幅提高。从经济意义上讲，只需使用几美元的器件，就能将数据转换器的 SFDR 提高至少 25 dB。

AD9042 建模

如正文所述，对于第一奈奎斯特区中的信号，AD9042 的动态性能不是由片内采样保持器决定。相反，其性能在很大程度上取决于转换器的静态传递函数，有许多标准线性测量工具可以确定静态传递函数。AD9042 的线性度通过同步斜坡直方图技术来测量。由此得到的 DNL 信号可以进行积分，以产生放大的传递函数。第一奈奎斯特区的任何模拟输入信号都可以根据该传递函数进行转换，然后利用适当的数据转换器分析技术进行研究。这一技术也可以用于复杂系统的建模，以便为集成 AD9042 等产品的系统提供精确的行为模型。

参考文献

1. “CRC Standard Mathematical Tables,” 27th edition, 1984 by CRC Press, Inc., Boca Raton, Florida.
2. “The FFT: Fundamentals and Concepts,” revised 1982, Tektronix, Inc., Beaverton, Oregon.
3. “Dynamic Performance Testing of A to D Converters,” Product Note 5180A-2, Hewlett-Packard.
4. “Multistage Error Correcting A/D Converters,” High Speed Design Seminar, 1989 Analog Devices.
5. “Baseband Vector Signal Analyzer Hardware Design,” December 1993, Hewlett-Packard Journal.
6. AD9042 Data Sheet.