

高性能差分驱动放大器和 ADC 的 窄带接口设计方法

简介

ADI 公司拥有种类齐全的高性能差分放大器产品（包括 ADL5561、ADL5562、AD8375、AD8376 和 AD8352 等），是以低失真、低噪声和低功耗为核心的通用 IF 和宽带应用的首选放大器。除了宽带宽、低失真外，这些放大器还具有增益调整能力，非常适合驱动模数转换器 (ADC)。

通过在驱动放大器与目标 ADC 之间设计一个窄带通抗混叠滤波器，目标奈奎斯特频率区域外的放大器输出噪声得以衰减，有助于保持 ADC 的可用 SNR 性能。一般而言，若用一个恰当阶数的抗混叠滤波器时，SNR 性能会提高数个 dB。

此应用笔记介绍了一种接口设计方法，利用它可以实现高性能驱动放大器与 ADC（包括采用开关电容输入的 ADC）之间的更有效接口。本应用笔记所述的窄带接口方法针对驱动一些颇受欢迎的无缓冲输入 ADC 进行了优化，如 AD9246、AD9640 和 AD6655 等。

接口元件简介

窄带接口用来提供带通滤波，同时提供足够的阻抗变换。图 1、2 和 3 所示为不同放大器 ADC 接口窄带方案的功能框图。这四种主要元件模块，即驱动放大器、低通滤波器、共振匹配和 ADC，在接口定义中起到了关键作用，每一种都需要审慎对待。下列章节介绍每一种元件的具体要求。

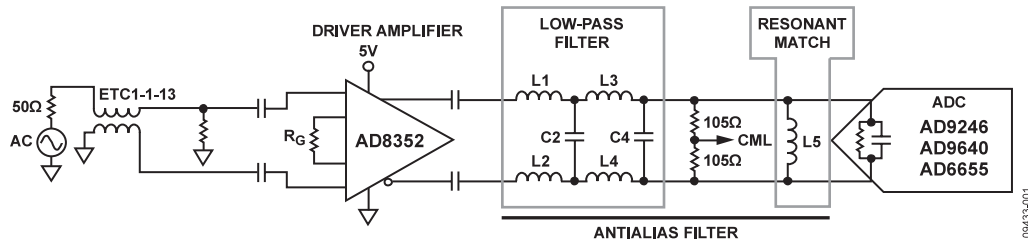


图 1. AD8352 的 ADC 接口窄带解决方案

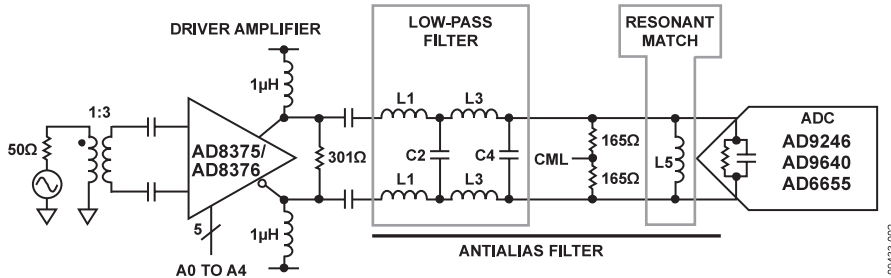


图 2. ADL8375 和 ADL8376 的 ADC 接口窄带解决方案

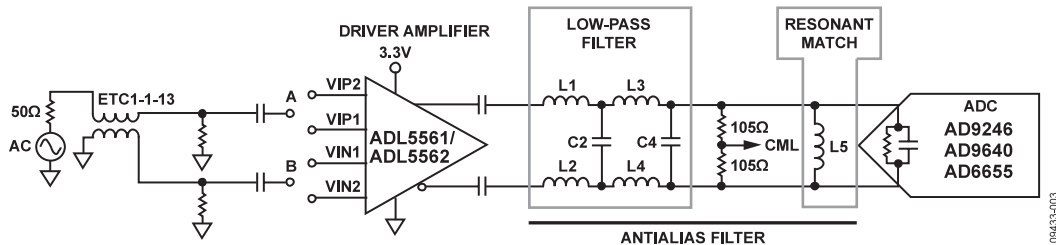


图 3. ADL5561 和 ADL5562 的 ADC 接口窄带解决方案

表 1. 差分放大器和阻抗概述

器件	增益集类型	输入阻抗	输出阻抗	最优负载阻抗	滤波器设计的 R_L/R_S
AD8352	阻性	3 k Ω	100 Ω 3 pF	200 Ω	200/100 或 2:1
ADL5561	引脚绑定型	400 Ω 、200 Ω 或 133 Ω	12 Ω .3 pF	200 Ω	200/50 或 4:1
ADL5562	引脚绑定型	400 Ω 、200 Ω 或 133 Ω	12 Ω .3 pF	200 Ω	200/50 或 4:1
AD8375	数字	150 Ω	16 k Ω 0.8 pF	150 Ω	300/300 或 1:1
AD8376	数字	150 Ω	16 k Ω 0.8 pF	150 Ω	300/300 或 1:1

差分驱动放大器

ADI 公司差分放大器产品齐全，其中包括 AD8352、AD8375、AD8376、ADL5561 和 ADL5562，提供三种基本的增益控制类型：电阻设定增益、并联数字控制和引脚绑定增益。为优化性能，这些增益控制类型各具有自己的输出阻抗集和所需阻抗负载，具体如表 1 所述。

AD8352

AD8352 使用增益设置电阻 R_G 来设置增益，该电阻具有将器件与信号输入隔离的缓冲器。因此，对于 3 dB 至 25 dB

的增益，AD8352 可保持恒定的 3 k Ω 输入电阻，从而降低了匹配和输入驱动要求。有关增益调节的详情，请参见 AD8352 的数据手册。

建议在输入和输出上连接交流耦合电容以隔离 VCC/2 偏压与源和平衡负载。

AD8352 具有 100 Ω 的标称差分输出电阻，在负载阻抗等于 200 Ω 时可实现最佳交流性能。这需要 2:1 的 R_L/R_S 滤波器比，其中 R_S 为滤波器源阻抗， R_L 为负载阻抗。

AD8375 和 AD8376

AD8375 是一款单通道、数字控制、可变增益放大器，而 AD8376 是其双通道版本。各通道通过独立的 5 位二进制代码来编程，以 1 dB 步进改变各衰减器的设置，使得各放大器通道的增益设置范围为 +20 dB（代码 0）至 -4 dB（代码 24 及更高）。

AD8375 和 AD8376 提供 150Ω 输入阻抗，经调谐驱动 150 Ω 负载阻抗，以获得最佳性能。开集输出结构要求通过外部偏置网络实现直流偏置。每个通道输出端均采用一组 1 μH 扼流圈电感，用来向开集输出引脚提供偏置，这些引脚具有 16 kΩ 的差分输出阻抗。由于差分输出偏置为正电源，需要连接交流耦合电容，最好是 0.1 μF。同样，输入引脚处于高于地约 2 V 的偏置电压下，也应进行交流耦合。

在没有任何输出匹配的情况下，如果 R_L/R_S 滤波器比很小，构成滤波器可能需要不切实际的大电感值和极小的电容值。阻抗比越大，对元件 Q 值和布局寄生就越要谨慎。建议采用大约 300 Ω 的分流输入和输出电阻来端接抗混叠滤波器。在图 2 示例中，滤波器两端的分流电阻在输入端为 301 Ω，在输出端为 330 Ω（通过两个 165 Ω 偏置设置电阻），两者一起为 AD8375 或 AD8376 提供形成标称 150 Ω 负载阻抗，并产生更有利的 R_L/R_S 滤波器比 1:1。

ADL5561 和 ADL5562

ADL5561 和 ADL5562 通过引脚绑定输入配置来设置增益。对 VIP1 施加输入 A、对 VIN1 施加输入 B 时，增益为 6 dB（最小增益）。对 VIP2 施加输入 A、对 VIN2 施加输入 B 时，增益为 12 dB（最小增益）。对 VIP1 和 VIP2 施加输入 A、对 VIN1 和 VIN2 施加输入 B 时，增益为 15.5 dB（最小增益）。注意，差分输入阻抗随增益绑定选择而变化：最小、中等和最大增益设置分别对应 400 Ω、200 Ω 和 133 Ω。有关输入匹配的详情，请参见 ADL5561 或 ADL5562 数据手册。

建议在输入和输出上连接交流耦合电容以隔离 $V_{CC}/2$ 偏压与源和平衡负载。

该负载应等于 200 Ω 以提供最佳交流性能。ADL5561 和 ADL5562 的差分输入阻抗为 12 Ω。阻抗比越大，对元件 Q 值和布局寄生就越要谨慎。为了简化滤波器设计，可在每个差分输出端增加约 15 Ω 的额外串联填充，以采用更有利的 R_L/R_S 滤波器比 4:1。注意，添加的串联元件将衰减驱动器放大器输出。

ADC 特性

在现代无线接收器设计中，高采样率的模数转换器 (ADC) 通常被用作中频复合调制信号的采样。基于 CMOS 开关电容的 ADC 因其低成本和低功耗而成为这类设计的首选。这类 ADC 的前端为非缓冲型，直接耦合至采样网络，所以 ADC 的输入阻抗会随时间（跟踪和保持模式切换时）变化，这就对驱动 ADC 的放大器提出了挑战。为了在驱动 ADC 的同时获得极小的噪声和信号失真，有必要设计一种无源网络接口，实现宽带噪声抑制和采样保持阻抗的变换，从而为驱动放大器提供一个更匹配的负载阻抗。建议在多个常用 IF 频率下采用谐振法将采样保持阻抗变换为可预测性的负载，从而更精确地设计抗混叠滤波器。

抗混叠滤波器

抗混叠滤波器由四阶巴特沃兹低通滤波器和谐振电路组成。谐振电路通过谐振消除 ADC 负载的容性部分，有助于确保 ADC 输入在目标中心频率看起来像一个真正的电阻（参见应用笔记 AN-742 和 AN-827）。整体频率响应呈现出带通特性，有助于抑制目标奈奎斯特频率区域外的噪声。一般而言，若用一个恰当阶数的抗混叠滤波器，SNR 性能会提高数个 dB。

低通滤波器

用作抗混叠滤波器的低通滤波器往往采用 LC 网络设计，必须完好定义源阻抗和负载阻抗以获得所需阻带。为设计滤波器网络，可使用各种滤波器合成的手册。通常用切比雪夫 (Chebyshev) 或巴特沃兹 (Butterworth) 多项式来定义滤波器传递函数。有几种基于软件的滤波器设计程序有助于简化这一问题，如来自 Nuhertz Technologies 的 Filter Free 4.0 或 Agilent Technologies 推出的 Advanced Design System (ADS, 高级设计系统)。

R_L/R_S 滤波器比和滤波器阶数必须小心对待，其中 R_S 为滤波器源阻抗， R_L 为负载阻抗。增加阶次会增加不必要的复杂度，递减效益，所以本应用笔记建议采用差分四阶巴特沃兹滤波器。

谐振匹配

谐振匹配或储能电路有助于确保 ADC 输入在目标中心频率处看起来像一个真实电阻（详情见 AN-742 和 AN-827 应用笔记）。分流电感 L_5 与片内 ADC 输入电容和低通滤波器 C_4 最后一级所提供电容的一部分并联，形成一个谐振电路。

谐振电路的窄谐振频带可为抗混叠滤波器提供整体带通频率响应，从而有助于抑制目标奈奎斯特频率区域外的噪声。

抗混叠滤波器设计步骤

第 1 步—确定接口特性

此推荐方法的第一步是充分收集 ADC 接口所涉及所有元件的要求信息。基本要求清单包括

- 滤波器规格—中心频率和带宽等要求
- 抗混叠来源及负载阻抗—定义为差分驱动器输出和最佳性能所需的负载（见表 1）
- ADC（跟踪模式）输入阻抗—Excel 格式的 S 参数，可从器件网站的评估板部分获得。

第 2 步—查找标准归一化原型值

可通过滤波器设计手册查找单位标准归一化原型滤波器值，然后按照比例求出所需截止频率和负载阻抗的相应值。表 2 所示为相关原型值的一些近似值。

表 2. 四阶巴特沃兹原型元件值

R _i /R _s	L1	C2	L3	C4
1	0.466	1.592	1.744	1.469
2	0.218	2.452	0.883	3.187
4	0.124	3.883	0.507	5.338

为了补偿谐振电路匹配的额外衰减，截止频率应为所需通带高端的 125%。例如，如果需要一个 20 MHz 带宽、中心频率为 140 MHz 的滤波器，截止频率应设为 $(140 \text{ MHz} + 20 \text{ MHz} \div 2) \times 125\% = 188 \text{ MHz}$ 。

图 4(a) 显示单端四阶单位标准归一化原型滤波器的一个示例。所示巴特沃兹滤波器在 2:1 负载 - 源阻抗比下提供平坦响应，无纹波。

第 3 步—按频率和负载比例调整标准归一化原型值

现在可以将单端单位标准归一化原型滤波器值 C_n 或 L_n 按比例调整到所需截止频率 f_{cut} 和负载阻抗 R。变换公式如下：

$$C = \frac{C_n}{2\pi \times f_{cut} \times R}$$

$$L = \frac{RL_n}{2\pi \times f_{cut}}$$

图 4(b) 显示的是截止频率为 188 MHz、负载阻抗为 200Ω 的单端等效网络。

第 4 步—通过分割串联电抗将单端等效网络转换为差分网络

具有高动态范围 IF 采样功能的多数高速 ADC 都采用差分输入接口。因此，有必要将单端网络转换为差分网络，如图 4(c) 所示。转换为差分网络时，串联阻抗值减半。

第 5 步—消除 ADC 输入端的原始开关电容

在谐振匹配或储能电路中的分流电感有助于消除片内 ADC 输入电容（以及在低通滤波器最后一级外增加的任何额外电容）。电感值必须以谐振方式抵消虚部导纳，仅剩下复合阻抗的导电部分。 ω

$$\frac{1}{\omega(C_{ADC} + C_{EXTRA})} = \omega L$$

例如，AD9640 差分输入阻抗在 140 MHz 下为 4.7kΩ，与 3.9pF 并联。

$$\frac{1}{\omega(3.9 \text{ pF})} = \omega L$$

因此所需电感 L 为 331 nH。

注意，L/C 比是决定 Q 和选择性的因素之一。对于并联谐振电路而言，电感越高，电容越低，通带滤波器带宽越大。为了获得更大的窄带响应，可通过并联添加额外电容来获得更高 Q 值（除低通巴特沃兹滤波器的最后电容级外）。在下列公式中，添加了一个额外 10 pF，将所需电感 L 降低至 93 nH：

$$\frac{1}{\omega(3.9 \text{ pF} + 10 \text{ pF})} = \omega L$$

因此，Q 值越低，响应带宽也就越低。

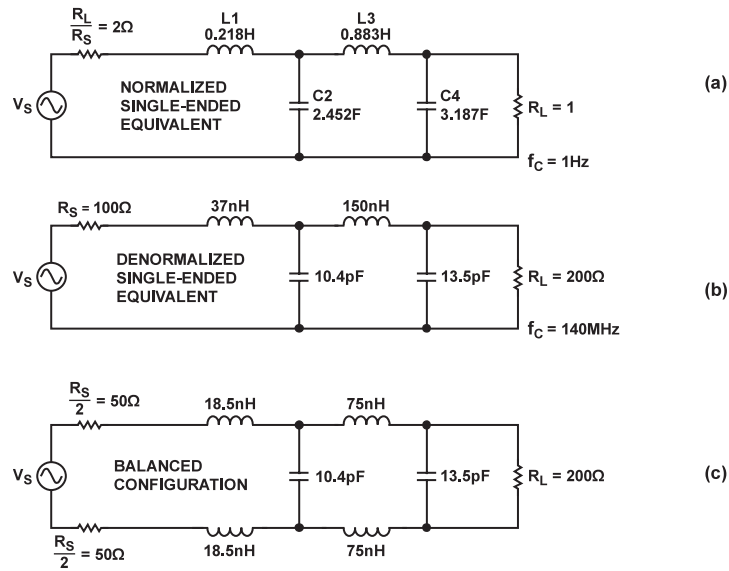


图 4. 原型滤波器设计步骤

第 6 步—装配

计算好每个接口元件后，可将电路装配在一起进行仿真。通常情况下，为获得滤波器要求的最佳组合，需要借助一些仿真试验和误差来优化网络接口。利用可准确体现实际 L 值和 C 值寄生效应的真实元件模型（s 参数）来模拟网络响应是有利的。

采用理想 L 值和 C 值的实施方案如图 7 所示。注意，考虑电路板走线的寄生串联感应，最终实施可以选用电感值稍低的电感。还需要注意的是，图 4(c) 中的负载被图 7 中的 ADC 接口取代，包括一个并联电感和多个共模偏置电阻。偏置电阻给各差分输入端提供所需的直流偏置，并与 ADC 输入阻抗和谐振并联电感为滤波器组成一个精确负载。

第 7 步—电路板级经验调谐

采用的实际 L 值和 C 值的最终实施方案如图 8 所示。在使用最终仿真值填充电路板后，可能需要一些板级经验优化方法来帮助补偿实际 PCB 寄生效应。

为此，建议使用优良软件和 s 参数在工艺早期进行详细的仿真。这样，可以减轻更耗时的板级调谐工作。在一些实例中，可能需要为印刷电路板寄生电容建模以选择最佳的 L 值和 C 值。

图 5 和 6 显示 AD8352 和 AD9640 间接口的性能。

布局布线考虑

如果滤波器元件值较小，额外的寄生电容会导致大比例的变化，此时降低电路板杂散寄生电容非常重要。为了使本文所讨论的电路达到理想的性能，必须采用出色的布局、接地和去耦技术。至少应采用四层 PCB：一层为接地层，一层为电源层，另两层为信号层。有关具体电路板建议，请参看各个器件的驱动器放大器和 ADC 数据手册。

参考文献

- *RF Circuit Design*, Chris Bowick, Page 66 to Page 97.
- AN-742 Application Note, *Frequency Response of Switched-Capacitor ADCs*.
- AN-827 Application Note, *A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs*.

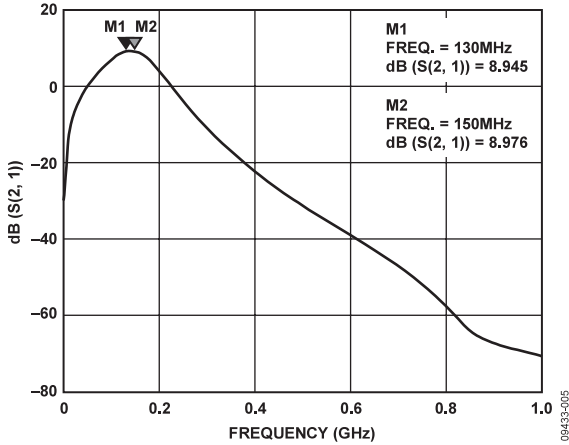


图 5. AD8352 和 AD9640 接口示例的滤波器响应

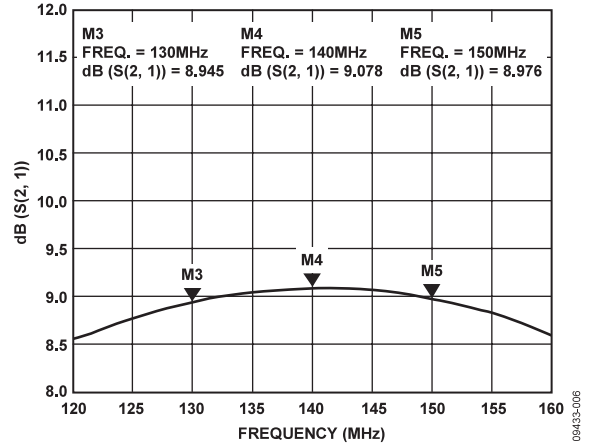


图 6. AD8352 和 AD9640 接口示例的通带平坦度

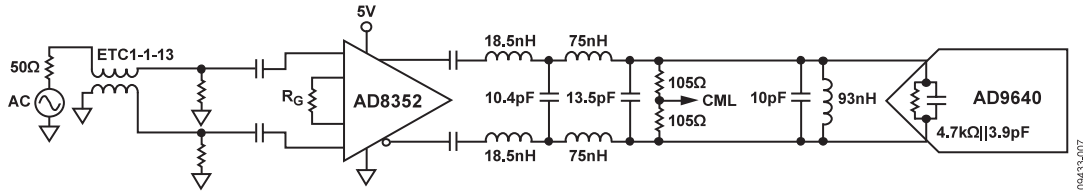


图 7. AD8352 和 AD9640 的 ADC 接口示例，理想元件

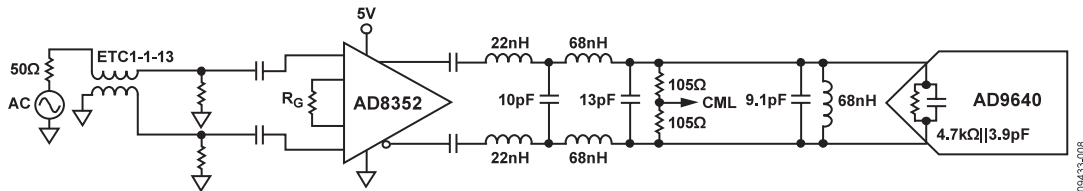


图 8. AD8352 和 AD9640 的 ADC 接口示例，实际元件

注释

注释