

**ADC 架构 IV :  $\Sigma$ - $\Delta$  型 ADC 高级概念和应用**

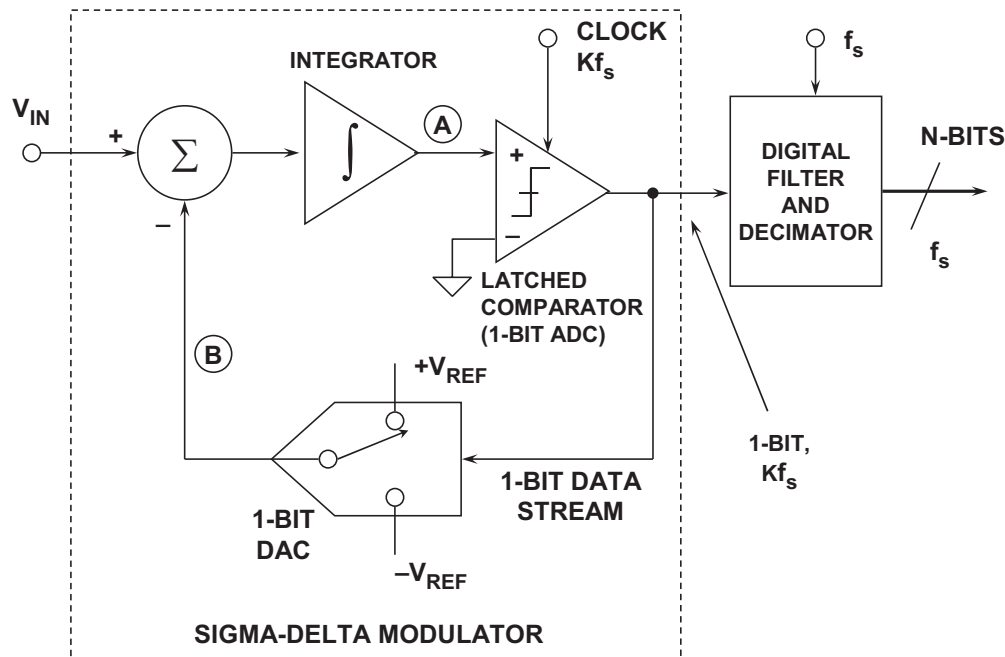
作者 : Walt Kester

**简介**

[教程 MT-022](#) 已论述了  $\Sigma$ - $\Delta$  型 ADC 的基本原理。本教程将介绍一些更高级的概念，包括空闲音、多位  $\Sigma$ - $\Delta$ 、MASH、带通  $\Sigma$ - $\Delta$ ，并提出一些示例应用。

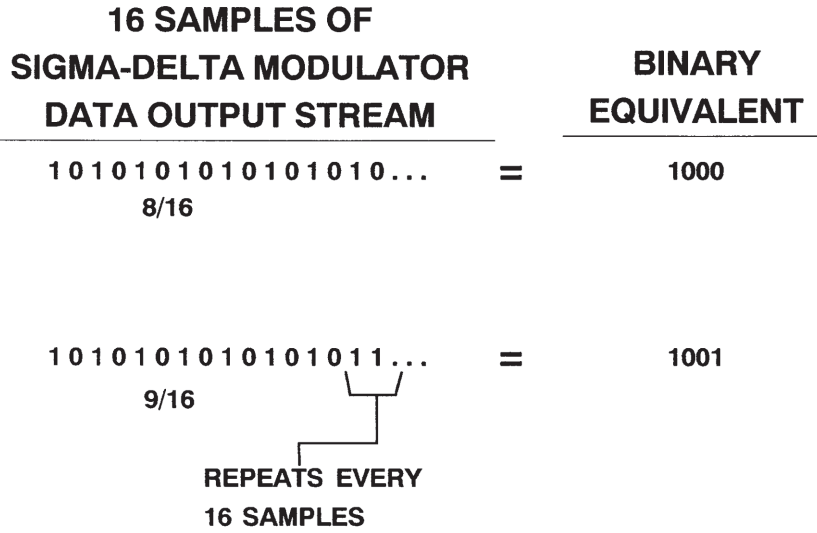
**空闲音考量**

到目前为止，我们对  $\Sigma$ - $\Delta$  型 ADC 的讨论均假设  $\Sigma$ - $\Delta$  调制器（参见图 1）所产生的量化噪声是随机的，并且与输入信号是不相关的。遗憾的是，事实并非完全如此，特别是对于一阶调制器。考虑这样一种情况：在一个 4 位  $\Sigma$ - $\Delta$  型 ADC 中，对调制器输出的 16 个样本求平均值。



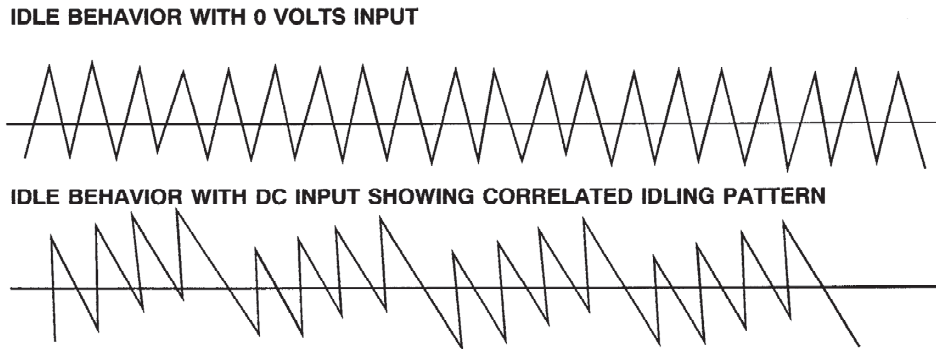
**图 1 : 一阶  $\Sigma$ - $\Delta$  型 ADC**

图 2 显示了两种输入信号条件下的位模式：一种是输入信号的值为 8/16，另一种是输入信号的值为 9/16。对于 9/16 信号，在调制器输出的位模式中，每隔 16 个输出有一个额外的“1”。这将在  $Kf_s/16$  处产生能量，转化为干扰音。如果过采样比 (K) 小于 8，此音将落在通带以内。音频中，随着输入从负满量程变为正满量程，噪底之上便可听到空闲音。



**图 2 :  $\Sigma$ - $\Delta$  调制器输出中的重复位模式**

图 3 显示了一阶  $\Sigma$ - $\Delta$  调制器的相关空闲模式特性，图 4 显示了二阶调制器的相对不相关的模式。因此，几乎所有  $\Sigma$ - $\Delta$  型 ADC 都至少含有一个二阶调制器环路，有些甚至使用五阶环路。



**图 3 : 一阶  $\Sigma$ - $\Delta$  调制器的空闲模式 (积分器输出)**

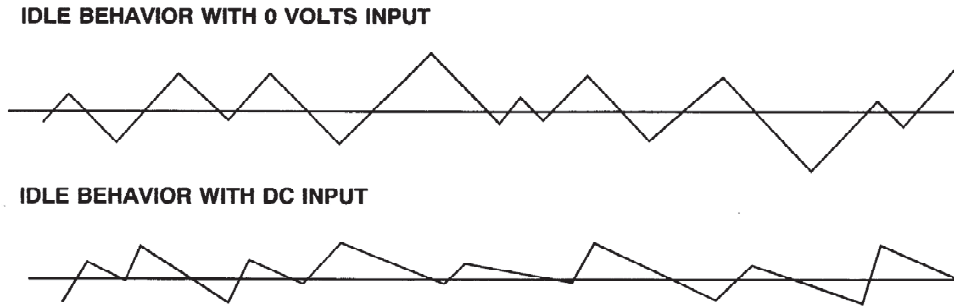


图 4：二阶  $\Sigma$ - $\Delta$  调制器的空闲模式（积分器输出）

### 高阶环路考量

为了实现宽动态范围，必须使用二阶以上的  $\Sigma$ - $\Delta$  调制器环路，但这会带来切实的设计挑战。首先，前文讨论的简单线性模型不再完全准确。一般而言，二阶以上的环路无法保证在所有输入条件下都能保持稳定，原因在于比较器是一个非线性元件，其有效“增益”与输入电平成反比。这种不稳定机制会导致以下特性：如果在环路正常工作时，将一个大信号施加于输入，引起环路过载，则比较器的平均增益减小。在线性模型中，比较器增益的减小会导致环路不稳定。即使引起不稳定的信号被消除后，这种增益减小仍然会导致环路不稳定。

在实际操作中，上电瞬变所引起的初始条件一般会导致这种电路发生上电时振荡。ADI 公司 1994 年发布的 [AD1879](#) 双通道音频 ADC 使用五阶环路。该器件以及类似高阶环路设计需要广泛的非线性稳定技术（参考文献 1 至 5）。

### 多位 $\Sigma$ - $\Delta$ 转换器

到目前为止，我们只考虑了包含 1 位 ADC（比较器）和 1 位 DAC（开关）的  $\Sigma$ - $\Delta$  转换器。图 5 的功能框图显示了一个使用  $n$  位 Flash ADC 和  $n$  位 DAC 的多位  $\Sigma$ - $\Delta$  型 ADC。对于给定的过采样比和环路滤波器阶数，这种架构显然能提供更高的动态范围。由于可以使用二阶环路，因此也更容易实现稳定。空闲模式更具随机性，因此干扰音影响更小。

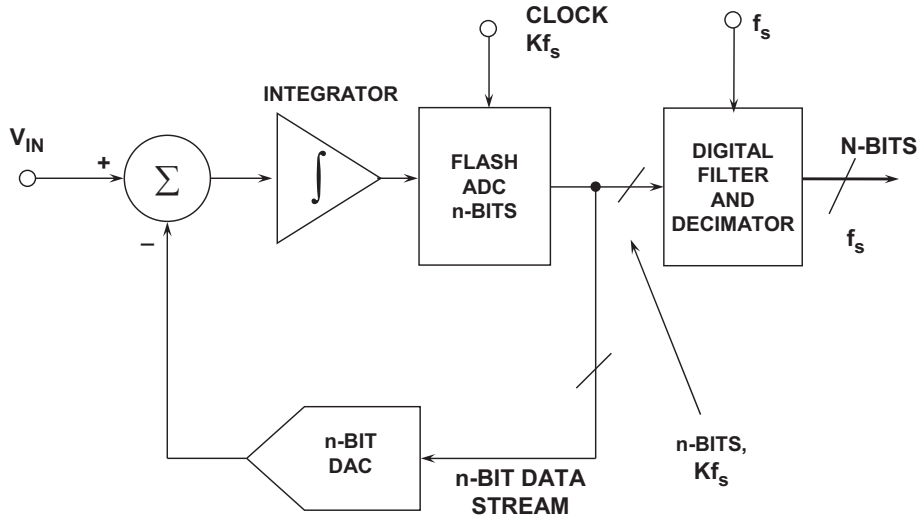


图 5 : 多位  $\Sigma$ - $\Delta$  型 ADC

这种技术的最大缺点在于其线性度取决于 DAC 的线性度，并且需要采用薄膜激光调整才能达到 16 位性能水平。因此，要使用传统二进制 DAC 技术在混合信号 IC 上实现多位架构非常不切实际。

然而，使用多位架构时，完全解码温度计 DAC（参见[教程 MT-014](#)）结合许多 ADI 音频 ADC 和 DAC（包括 24 位立体声 [AD1871](#)）（参见参考文献 6 和 7）所使用的专有数据加扰技术，可以实现高 SNR 和低失真。多位数据加扰技术既可将空闲音降至最低，又可确保较佳的微分线性度。AD1871 ADC 简化框图如图 6 所示。

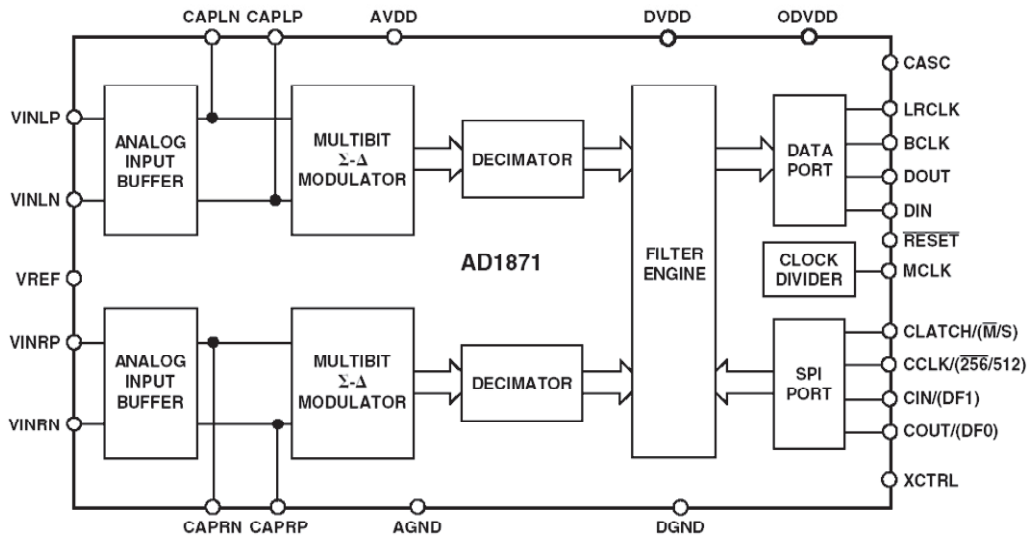


图 6 : [AD1871](#) 24 位 96 kSPS 立体声音频多位  $\Sigma$ - $\Delta$  型 ADC

AD1871 的模拟  $\Sigma$ - $\Delta$  调制器部分包含二阶多位架构，使用 ADI 专有技术来实现最佳性能。如图 7 所示，两个模拟积分器模块之后是 Flash ADC 部分，该部分产生多位样本。

Flash ADC 的输出经温度计编码后执行二进制解码，以便输出至滤波器部分，再经加扰以回馈到两个积分器级。调制器经过优化，可在 6.144 MHz 的采样速率下工作（在 48 kHz 采样速率下为  $128 \times f_s$ ，96 kHz 采样速率下为  $64 \times f_s$ ）。AD1871 的 A 加权动态范围通常为 105 dB。

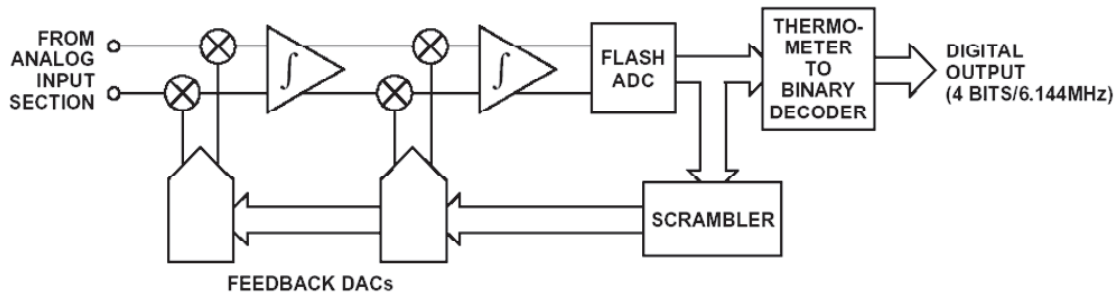
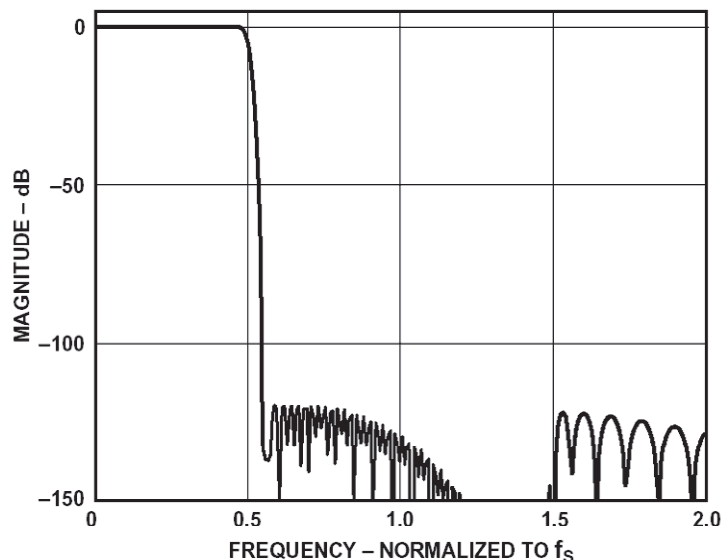


图 7：AD1871 二阶调制器和数据加扰器的详细信息

### 数字滤波器对多路复用应用的意义

数字滤波器是所有  $\Sigma$ - $\Delta$  型 ADC 不可或缺的重要组成部分。滤波器建立时间会影响某些应用，特别是在多路复用应用中使用  $\Sigma$ - $\Delta$  型 ADC 时。如果相邻通道上的输入电压不同，多路复用器的输出可为 ADC 提供阶跃函数输入。事实上，当切换通道时，多路复用器输出可以提供  $\Sigma$ - $\Delta$  型 ADC 的满量程阶跃电压。因此，此类应用中必须留出充足的滤波器建立时间。这并不表示  $\Sigma$ - $\Delta$  型 ADC 不能用于多路复用应用，只是必须考虑到数字滤波器建立时间。实际上一些较新的  $\Sigma$ - $\Delta$  型 ADC 专为多路复用应用进行了优化。

例如，AD1871 数字滤波器中的群延迟为  $910 \mu\text{s}$ （以 48 kSPS 采样）和  $460 \mu\text{s}$ （以 96 kSPS 采样），代表阶跃函数输入穿过数字滤波器半数抽头所需的时间。所以总建立时间约为群延迟时间的两倍。两种条件下的输入过采样频率均为 6.144 MSPS。AD1871 ADC 中数字滤波器的频率响应曲线如图 8 所示。该滤波器使用有限脉冲响应 (FIR) 设计，因而在音频通带上具有线性相位。要使用模拟滤波器实现同样的性能，需要大量的设计工作和昂贵的元件。



**图 8 : AD1871 24 位、96 kSPS 立体声  $\Sigma$ - $\Delta$  型 ADC 数字滤波器特性**

在其他应用中，例如低频、高分辨率 24 位测量  $\Sigma$ - $\Delta$  型 ADC（如 AD77xx 系列），可以使用其他类型的数字滤波器。举例而言，SINC<sup>3</sup> 响应很常见，因为它在吞吐速率的倍数下具有零点。10 Hz 吞吐速率在 50 Hz 和 60 Hz 下可产生零点，对交流电力线路抑制很有帮助。

无论哪种数字滤波器， $\Sigma$ - $\Delta$  型 ADC 均要求在施加阶跃函数输入后留出充足的建立时间。

### 多级噪声整形 (MASH) $\Sigma$ - $\Delta$ 转换器

如前所述，非线性稳定技术对于三阶或更高环路可能很困难。许多情况下，最好使用多位架构。一种替代方法是将稳定的一阶环路级联起来（参见参考文献 8 和 9），称为多级噪声整形 (MASH)。图 9 显示了一个三级 MASH ADC 的框图。从第一个 DAC 输出中减去第一个积分器的输出，产生第一级量化噪声 Q1。然后，第二级对 Q1 进行量化。从第二个 DAC 输出中减去第二个积分器的输出，产生第二级量化噪声，进而由第三级进行量化。

第一级的输出与第二级输出的一重数字微分和第三级输出的二重微分相加，产生最终输出。因此，量化噪声 Q1 被第二级抑制，量化噪声 Q2 被第三级抑制，这与三阶环路的抑制效果相同。由于此结果是利用三个一阶环路获得的，因此可以确保电路稳定工作。

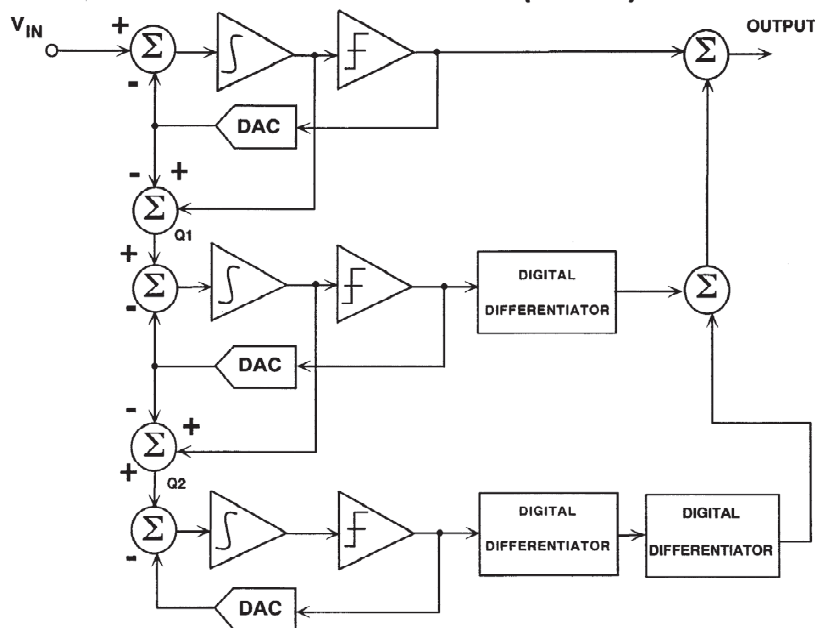


图 9：多级噪声整形  $\Sigma$ - $\Delta$  型 ADC (MASH)

### 高分辨率测量 $\Sigma$ - $\Delta$ 型 ADC

虽然较旧的积分架构（如双斜率）在数字电压表中仍有使用，CMOS  $\Sigma$ - $\Delta$  型 ADC 是目前工业测量应用中的主要转换器。这些转换器提供极佳的 50 Hz/60 Hz 电力线路共模抑制和最高可达 24 位的分辨率，并附带各种数字功能，例如片内校准。许多转换器具有可编程增益放大器 (PGA)，无需添加外部信号调理电路即可直接将来自桥式和热电偶传感器的小信号数字化。

为了更好地了解  $\Sigma$ - $\Delta$  测量 ADC 的能力和本技术的优点，下面将详细考察一项现代示例：24 位 [AD7799](#)。AD7799 是 AD77xx 系列的一员，如图 10 所示。该 ADC 专为直接与低电平传感器输出接口而设计，例如电子秤应用的电桥，可直接接受来自电桥的低电平信号，并输出串行数字字。三个差分输入经过多路复用和缓冲后驱动内部仪表放大器。仪表放大器可以设置为八种不同增益：1、2、4、8、16、32、64 和 128。

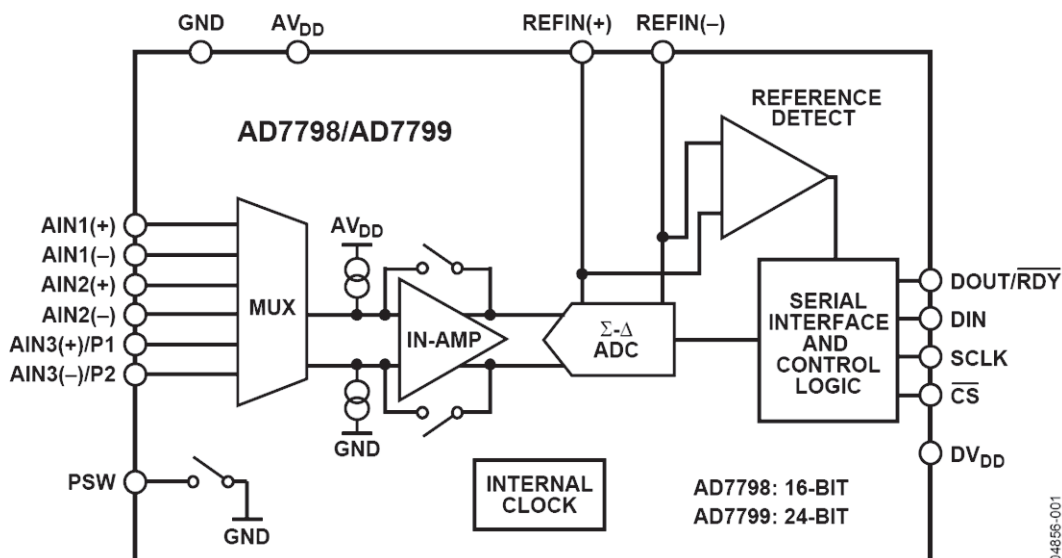


图 10 : [AD7799](#)  $\Sigma$ - $\Delta$  单电源桥式 ADC

图 11 显示了桥式称重传感器与高分辨率  $\Sigma$ - $\Delta$  型 ADC AD7799 间的直接连接。ADC 在 4.17 Hz 的吞吐速率下将 10 mV 的满量程电桥输出数字化为约 16 位的无噪声分辨率。因为使用比率运算则无需精密基准电压源。AD7799 可在 4.17 Hz 至 500 Hz 的吞吐速率下工作。该器件采用 2.7 V 至 5.25 V 电源供电，典型功耗为 380  $\mu$ A。

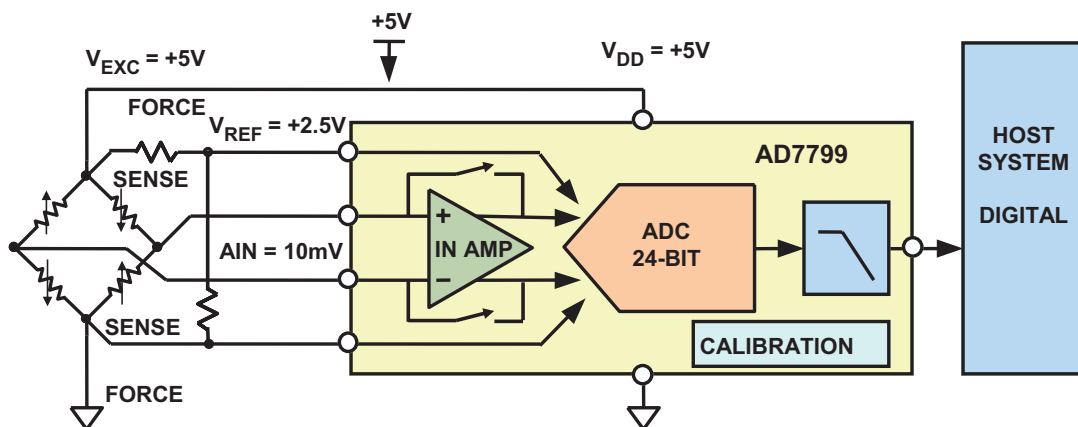


图 11 : 称重传感器使用高分辨率  $\Sigma$ - $\Delta$  型 ADC 进行调理



## 带通 $\Sigma$ - $\Delta$ 转换器

前面所述的  $\Sigma$ - $\Delta$  型 ADC 包含积分器，即低通滤波器，通带范围从直流开始。因此，量化噪声频率被推高。目前大多数商用  $\Sigma$ - $\Delta$  型 ADC 均属此类型（尽管一些针对音频或电信应用的产品为消除系统直流失调而包含带通而不是低通数字滤波器）。不过，并不存在任何特殊原因要求  $\Sigma$ - $\Delta$  调制器的滤波器必须是 LPF，虽然传统上 ADC 一直被视为基带器件，且积分器似乎比带通滤波器更易于构建。如果我们用带通滤波器 (BPF) 代替  $\Sigma$ - $\Delta$  型 ADC 中的积分器，如图 12 所示，量化噪声频率便会上下移动，从而在通带内留出一个几乎无噪声的区域（参见参考文献 10、11 和 12）。如果接着将数字滤波器的通带设置在此区域内，便得到具有带通而非低通特性的  $\Sigma$ - $\Delta$  型 ADC。此类器件对直接中频数字转换、数字无线电、超声及其他欠采样应用非常有用。然而，调制器和数字 BPF 必须针对系统应用所需的特定频率集来设计，使该方法的灵活性受到一定限制。

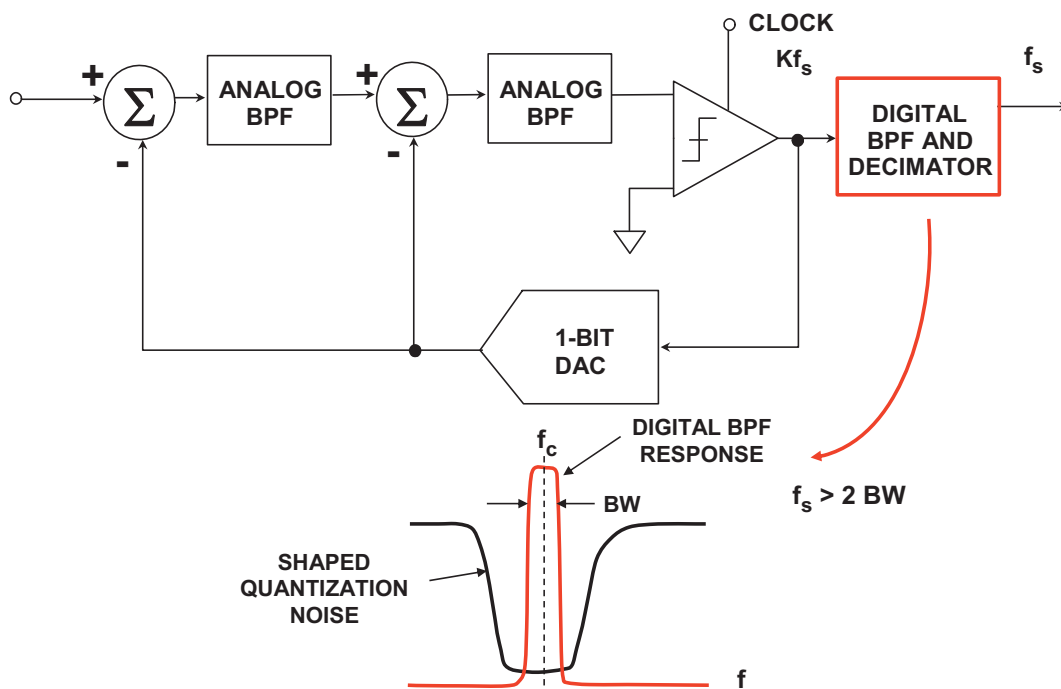


图 12：用谐振器代替积分器，实现带通  $\Sigma$ - $\Delta$  型 ADC

在带通  $\Sigma$ - $\Delta$  型 ADC 的欠采样应用中，最低采样频率必须至少两倍于信号带宽 BW。信号以载波频率  $f_c$  为中心。

参考文献 11 中描述了典型数字无线电应用，使用 455 kHz 的中心频率和 10 kHz 的信号带宽。过采样频率  $Kf_s = 2$  MSPS，输出速率  $f_s = 20$  kSPS，在信号带宽内产生 70 dB 的动态范围。

带通  $\Sigma$ - $\Delta$  型 ADC 的早期示例是 [AD9870](#) 中频数字化子系统，它具有 18 MSPS 的标称过采样频率、2.25 MHz 的中心频率和 10 kHz 至 150 kHz 的带宽（详情参见参考文献 12）。

[AD9874](#) 和 [AD9864](#) 均为通用中频子系统，可对带宽最高达 270 kHz 的低电平 10-300 MHz 中频信号进行数字化（详情参见参考文献 13）。信号链包含低噪声放大器、混频器、带通  $\Sigma$ - $\Delta$  型 ADC 和具有可编程抽取系数的抽取滤波器。AGC 电路提供 12 dB 的连续增益调整。

## 总结

$\Sigma$ - $\Delta$  型 ADC 和 DAC 已延伸到许多现代应用中，包括测量、语音频带、音频等等。该技术充分利用低成本的 CMOS 工艺，从而与 DSP 之类的高度数字化功能顺利集成。多位数据加扰架构之类的现代技术将困扰早期  $\Sigma$ - $\Delta$  产品的空闲音问题降至最低。目前可提供高达 24 位的分辨率，对模拟抗混叠 / 抗镜像滤波器的要求由于过采样而大大降低。音频  $\Sigma$ - $\Delta$  型 ADC 的内部数字滤波器可设计用于线性相位，这是此类应用中的主要要求。对于专为测量应用设计的高分辨率  $\Sigma$ - $\Delta$  型 ADC，数字滤波器一般设计成在 50 Hz 和 60 Hz 的电源干线频率下产生零点。

许多  $\Sigma$ - $\Delta$  转换器在输出数据速率、数字滤波器特性和自校准模式方面提供高水平的用户编程能力。多通道  $\Sigma$ - $\Delta$  型 ADC 现在已可用于数据采集系统，大多数用户在这些应用中可以熟练地应付内部数字滤波器的建立时间要求。

## 参考文献

1. W.L. Lee and C.G. Sodini, "A Topology for Higher-Order Interpolative Coders," *ISCAS PROC.* 1987.
2. P.F. Ferguson, Jr., A. Ganesan and R. W. Adams, "One-Bit Higher Order Sigma-Delta A/D Converters," *ISCAS PROC.* 1990, Vol. 2, pp. 890-893.
3. Wai Laing Lee, *A Novel Higher Order Interpolative Modulator Topology for High Resolution Oversampling A/D Converters*, MIT Masters Thesis, June 1987.
4. R. W. Adams, "Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques," *J. Audio Engineering Society*, Vol. 34, March 1986, pp. 153-166.
5. P. Ferguson, Jr., A. Ganesan, R. Adams, et. al., "An 18-Bit 20-kHz Dual Sigma-Delta A/D Converter," *ISSCC Digest of Technical Papers*, February 1991.
6. Robert Adams, Khiem Nguyen, and Karl Sweetland, "A 113 dB SNR Oversampling DAC with Segmented Noise-Shaped Scrambling," *ISSCC Digest of Technical Papers*, vol. 41, 1998, pp. 62, 63, 413. (*describes a segmented audio DAC with data scrambling*).

7. Robert W. Adams and Tom W. Kwan, "Data-directed Scrambler for Multi-bit Noise-shaping D/A Converters," *U.S. Patent 5,404,142*, filed August 5, 1993, issued April 4, 1995. (*describes a segmented audio DAC with data scrambling*)
8. Y. Matsuya, et. al., "A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, December 1987, pp. 921-929.
9. Y. Matsuya, et. al., "A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 4, August 1989, pp. 969-975.
10. Paul H. Gailus, William J. Turney, and Francis R. Yester, Jr., "Method and Arrangement for a Sigma Delta Converter for Bandpass Signals," *U.S. Patent 4,857,928*, filed January 28, 1988, issued August 15, 1989.
11. S.A. Jantzi, M. Snelgrove, and P.F. Ferguson Jr., "A 4<sup>th</sup>-Order Bandpass Sigma-Delta Modulator," *IEEE Journal of Solid State Circuits*, Vol. 38, No. 3, March 1993, pp. 282-291.
12. Paul Hendriks, Richard Schreier, Joe DiPilato, "[High Performance Narrowband Receiver Design Simplified by IF Digitizing Subsystem in LQFP](#)," *Analog Dialogue*, Vol. 35-3, June-July 2001. Available at <http://www.analog.com> (*describes an IF subsystem with a bandpass sigma-delta ADC having a nominal oversampling frequency of 18MSPS, a center frequency of 2.25MHz, and a bandwidth of 10kHz - 150kHz*).
13. Richard Schreier, J. Lloyd, L. Singer, D. Paterson, M. Timko, M. Hensley, G. Patterson, K. Behel, and J. Zhou, "A 10-300 MHz IF-Digitizing IC with 90-105 dB Dynamic Range and 15-333 kHz Bandwidth," *IEEE Journal of Solid State Circuits*, Vol. 37, No. 12, , December 2002, pp. 1636-1644.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.