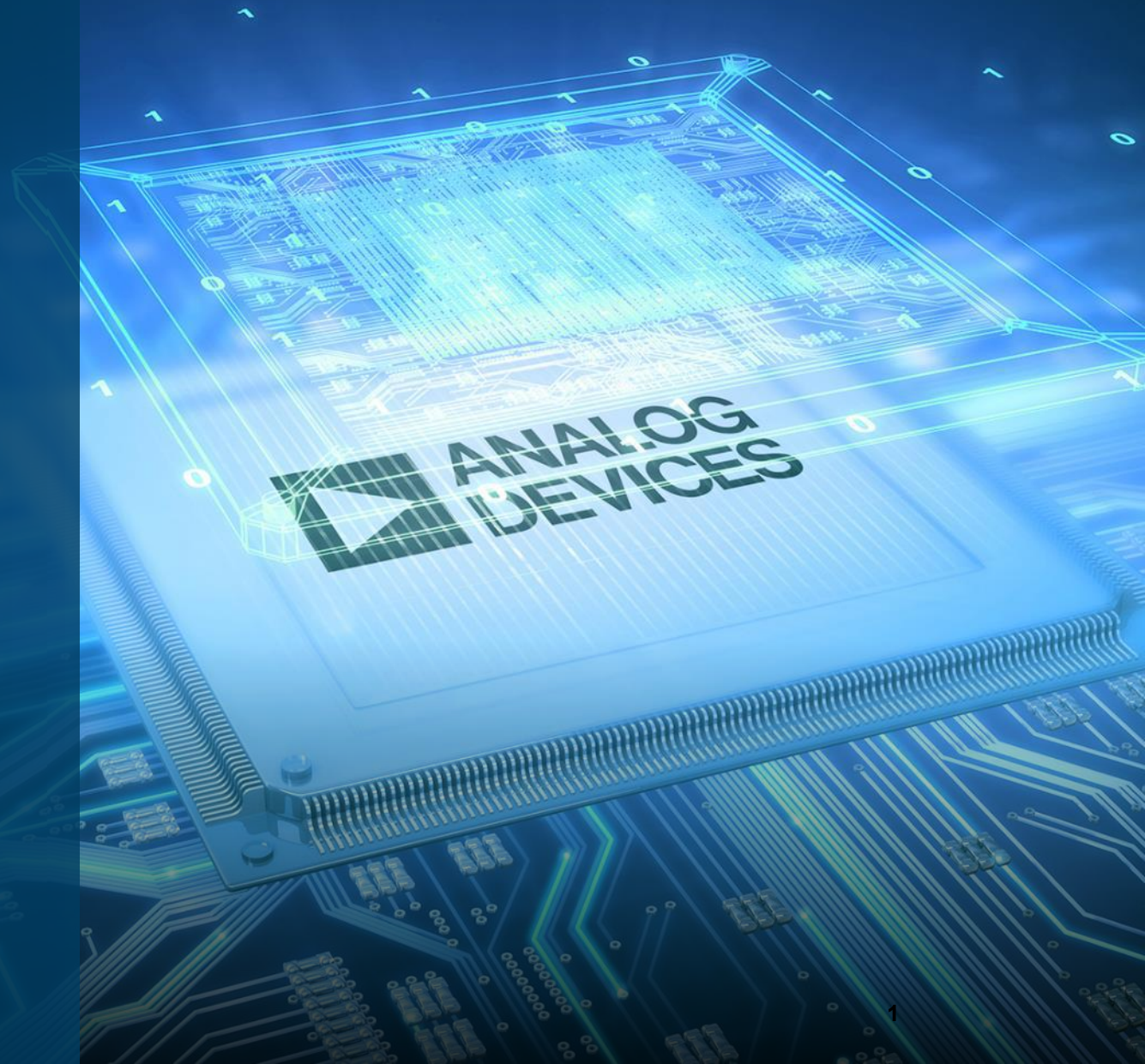




AHEAD OF WHAT'S POSSIBLE™

ADI公司PLL产品系列的最新发展



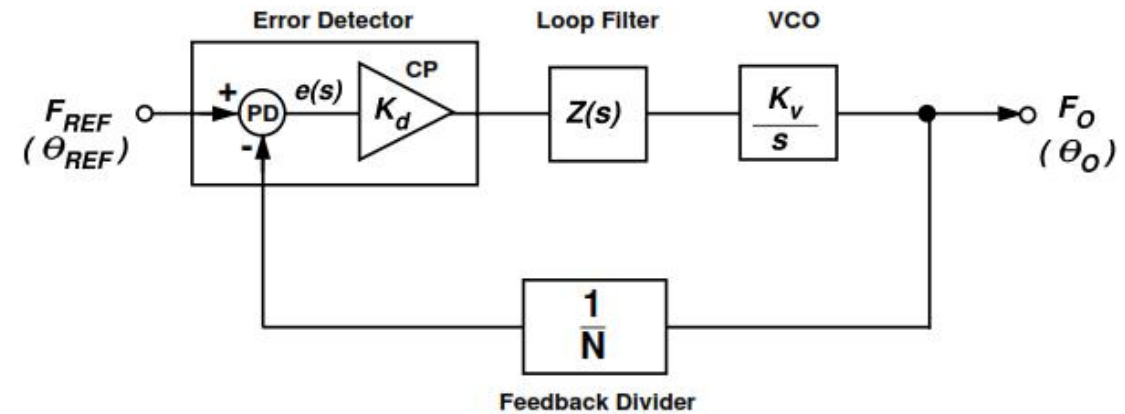
议题

- ▶ 简介
- ▶ PLL操作和性能基本要求
- ▶ 不同方面性能的取舍和优化
- ▶ 最新PLL产品开发

PLL操作和性能基本要求

什么是PLL（锁相环）？

- ▶ 锁相环
 - ▶ 经典负反馈控制环路
 - ▶ 工作在频域
 - ▶ 它产生的输出频率（或相位）精确跟踪所施加的频率（或相位）调制信号
 - ▶ 在上变频或下变频系统中，此信号可用作混频器的LO（本振）



PLL：用于何处？

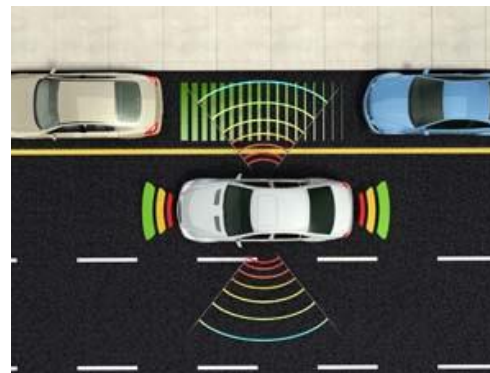
- ▶ 通信基础设施(CIFR)
 - 宏蜂窝
 - 小蜂窝
 - 回程系统（点对点微波）
- ▶ 仪器仪表(I & I)
 - 射频仪器仪表和测试设备
- ▶ 汽车（ADAS雷达）
 - FMCW斜波发生
 - 微波接收机
- ▶ 通用应用
 - 无线麦克风

使用PLLVC0的应用示例



通信基站

例如：HMC830 3 GHz集成PLLVC0



汽车雷达

例如：ADF4159 13 GHz小数N分频PLL



工业

例如：ADF4106 6 GHz整数N分频PLL



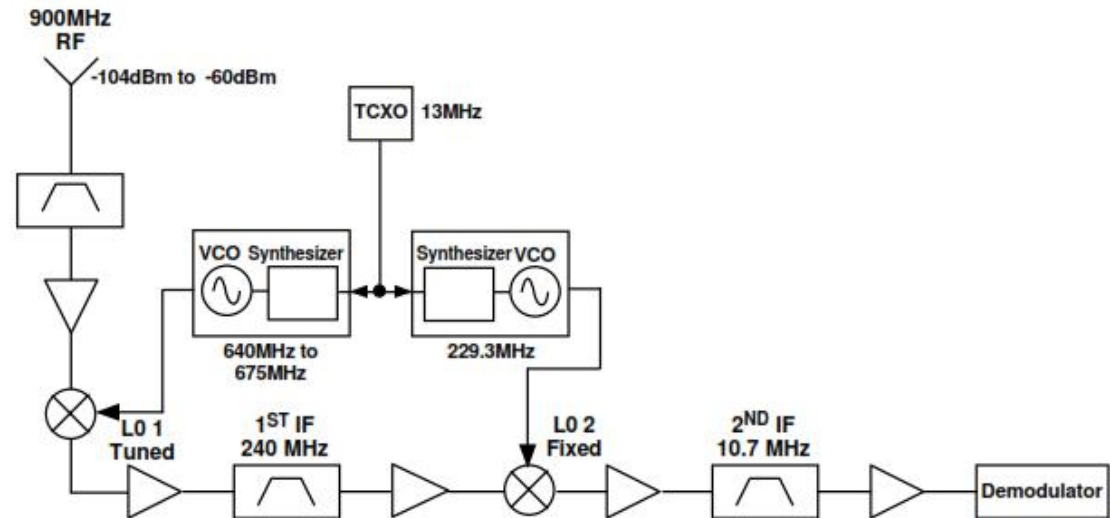
电子测试和测量

例如：HMC703 8 GHz小数N分频PLL

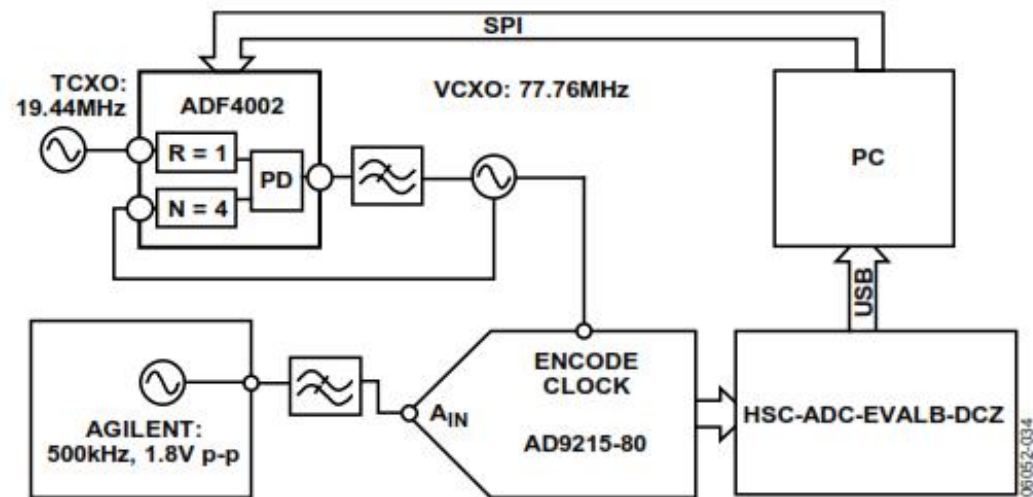
以及很多其他器件.....

如何使用PLL？

► 混频器LO

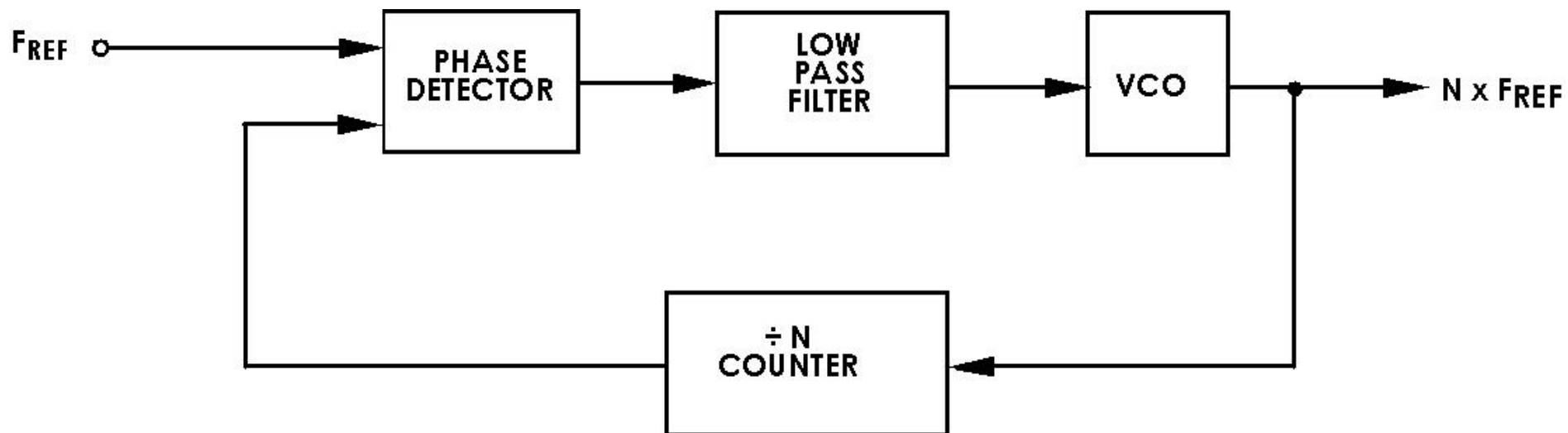


► 模数转换器和数模转换器的低抖动时钟



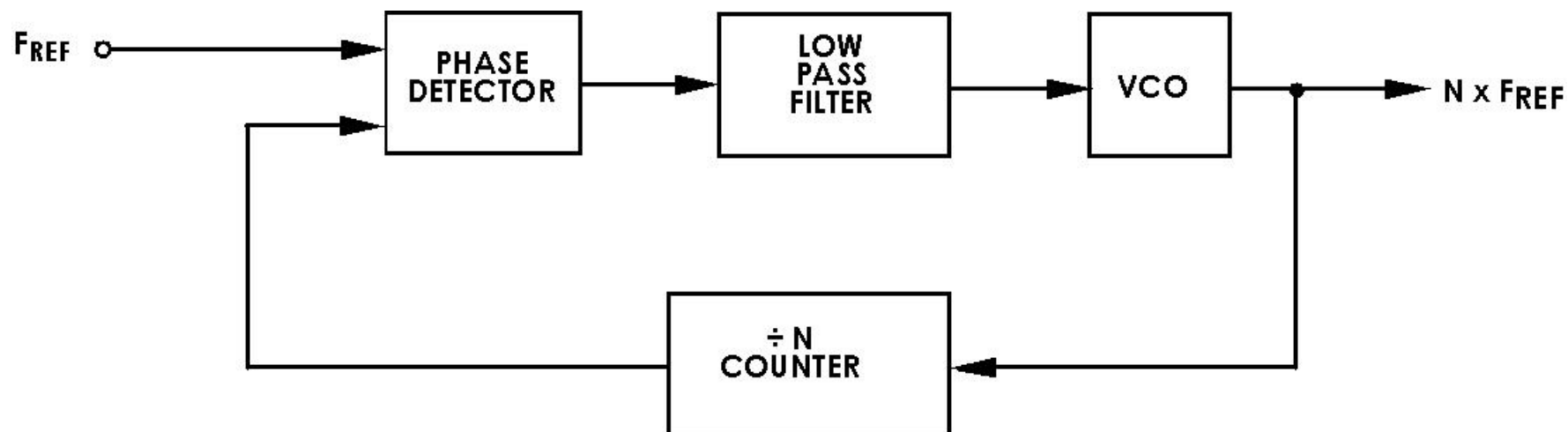
PLL类型

- ▶ 模拟PLL
- ▶ 数字PLL
- ▶ 全数字PLL
- ▶ 软件PLL



PLL的基本元件

- ▶ 误差检测器
 - ▶ 鉴相器和电荷泵
- ▶ 环路滤波器
- ▶ VCO (电压控制振荡器)
- ▶ 反馈计数器/分频器



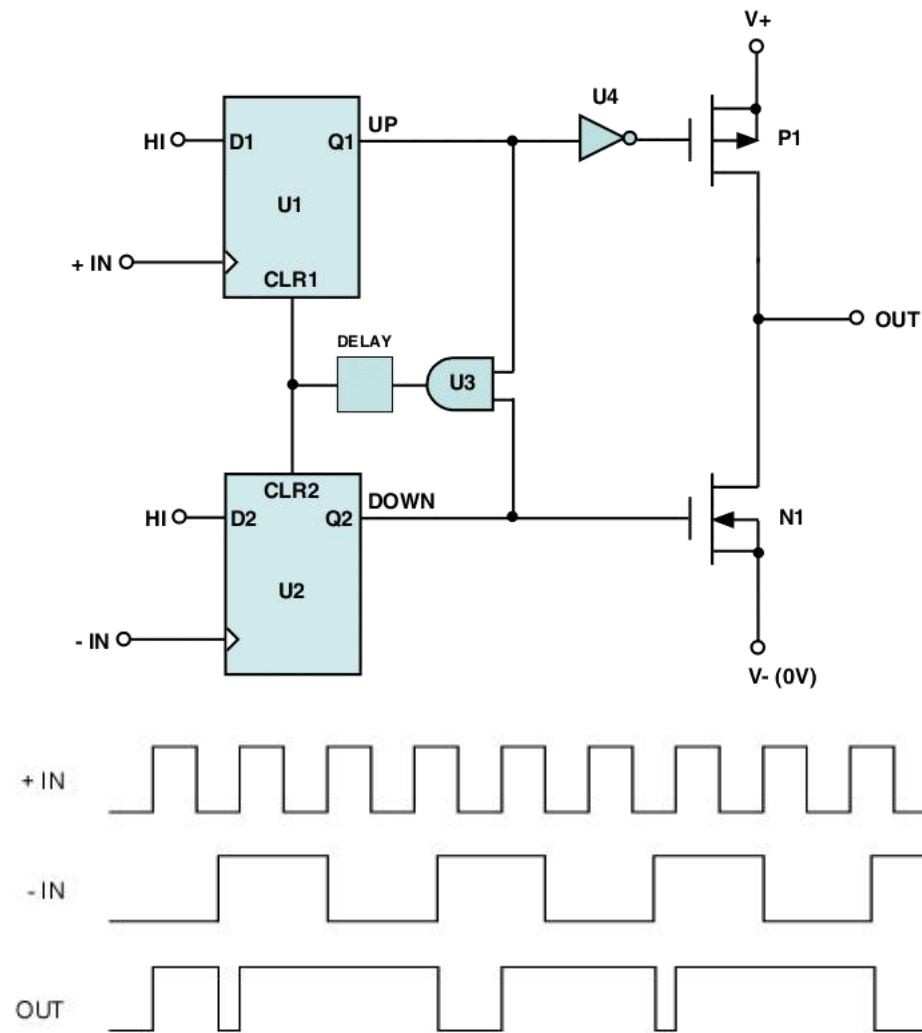
误差检测器

- ▶ 误差检测器

- ▶ 鉴频鉴相器和电荷泵

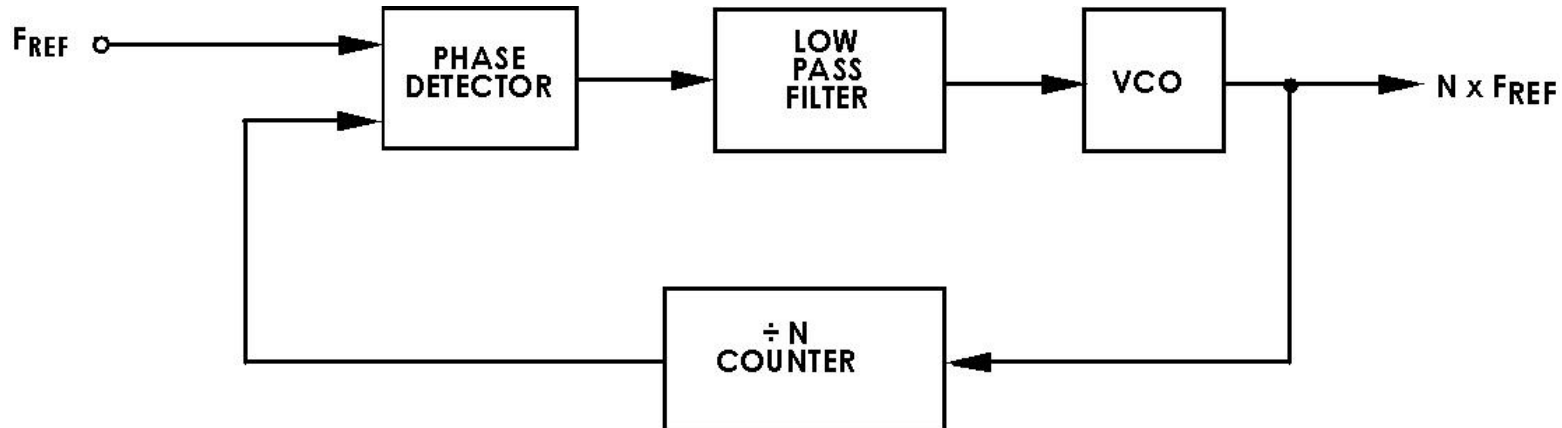
- ▶ 误差检测器

- ▶ 失去频率锁定，失去相位锁定



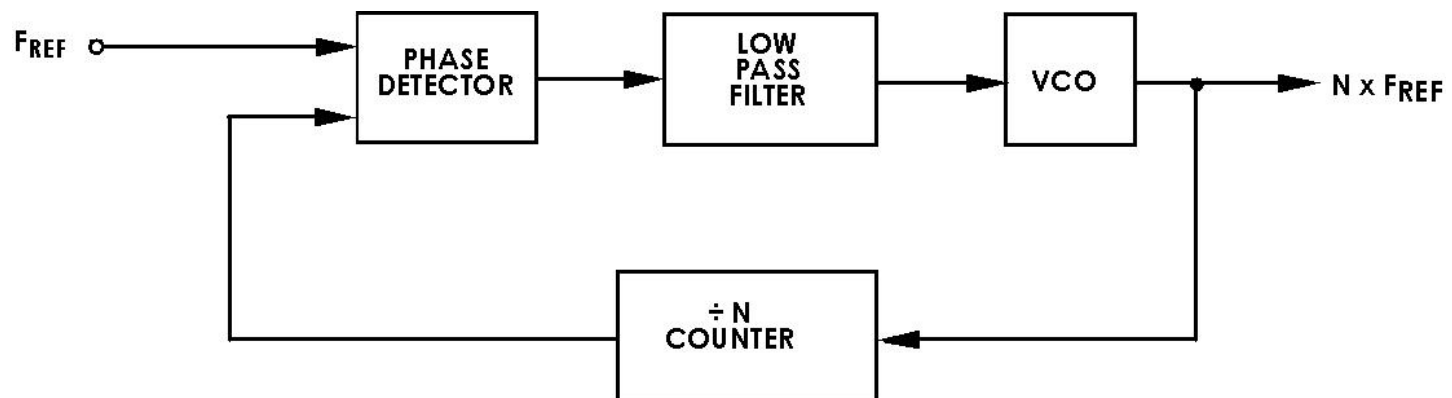
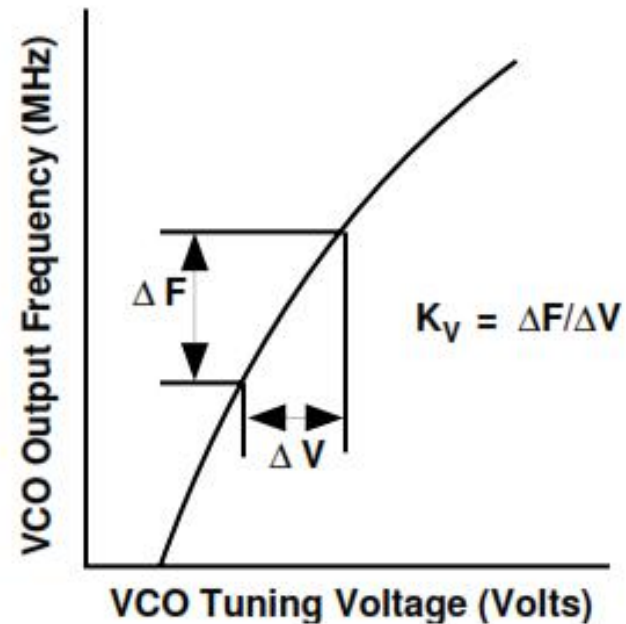
环路滤波器

- ▶ 环路滤波器
 - ▶ 可以是无源或有源
 - ▶ 它将来自电荷泵的电脉冲转换为电压，从而向VCO提供 V_{tune}
 - ▶ 它可用于滤除环路中的噪声
 - ▶ ADIsimPLL帮助用户设计ADI PLL所用的环路滤波器



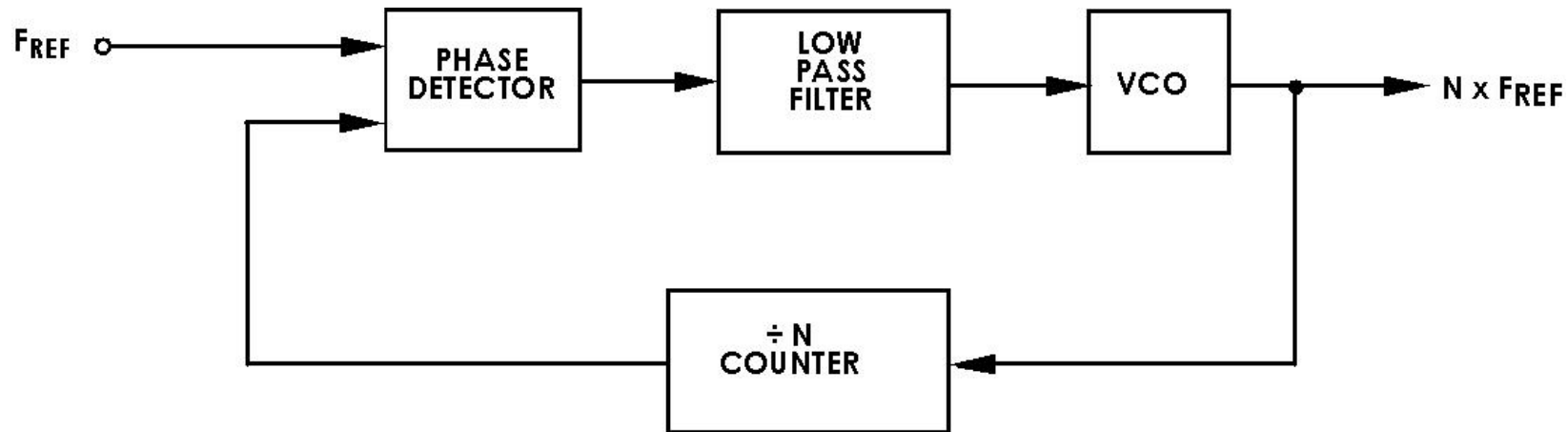
电压控制振荡器(VCO)

- ▶ VCO
 - ▶ KV表示VCO灵敏度，单位为MHz/V



反馈计数器/分频器(N)

- ▶ N计数器/分频器
 - ▶ 针对固定参考输入频率，N决定PLL的输出频率
 - ▶ N可以是整数或小数值

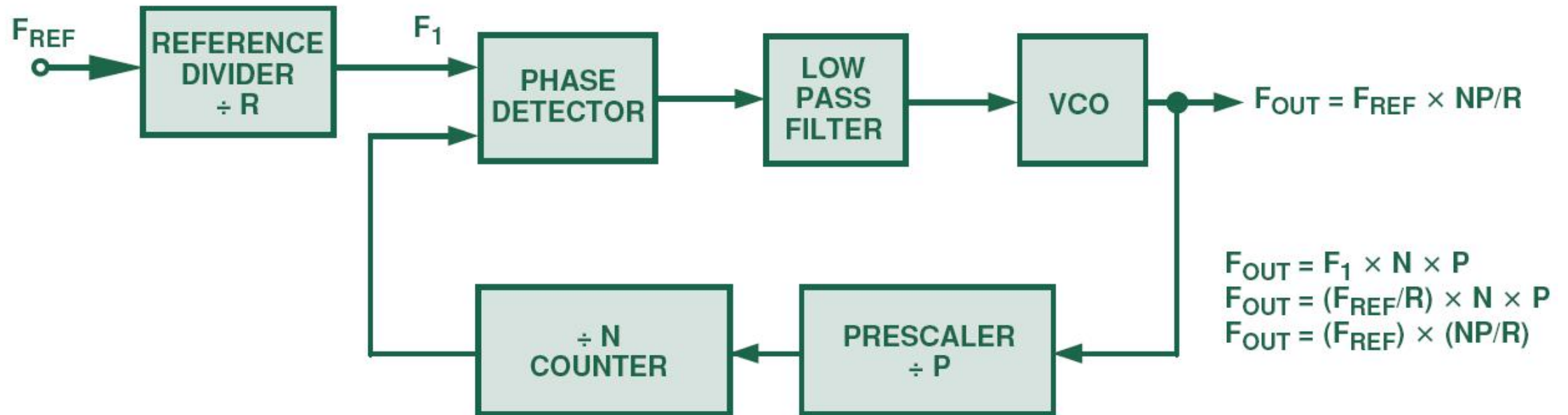


PLL的其他元件

- ▶ 参考计数器/分频器
 - ▶ 支持使用超高频率的参考输入(~1 GHz)
- ▶ RF预分频器
 - ▶ 支持超高工作频率的RF级(>10 GHz)
- ▶ 双模预分频器
- ▶ 小数N分频引擎

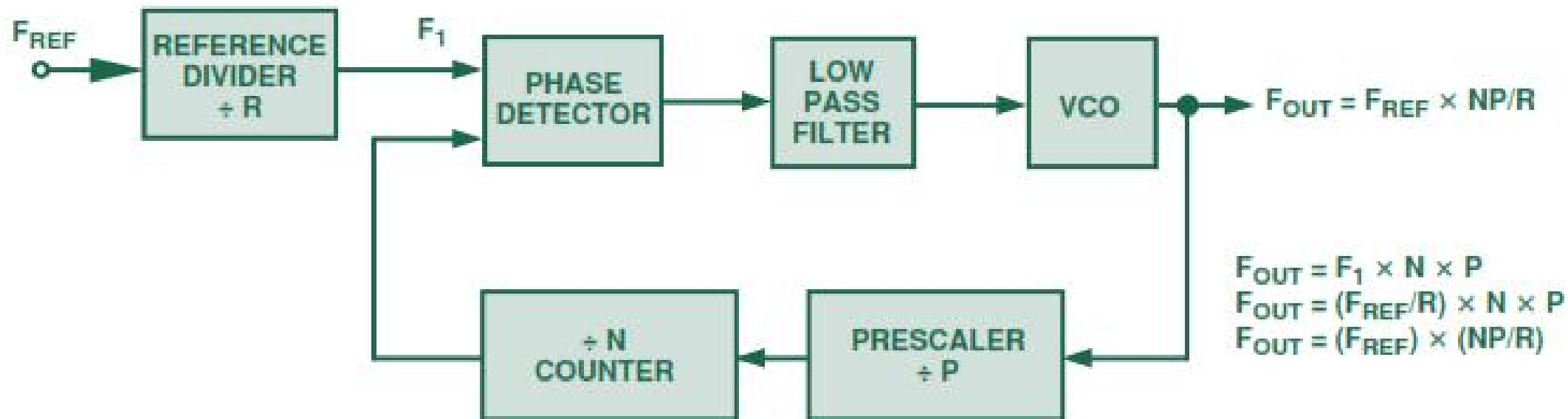
参考计数器/分频器

- ▶ 参考计数器/分频器
 - ▶ 支持使用超高频率的参考输入(~1 GHz)



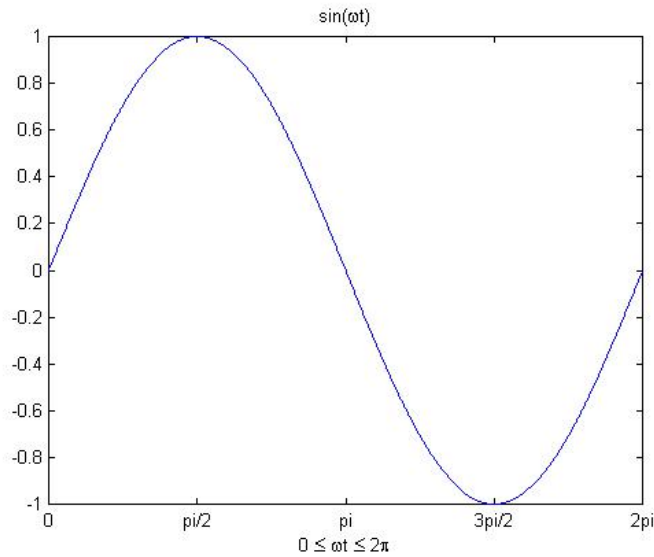
RF预分频器

- ▶ RF预分频器
 - ▶ 支持超高工作频率的RF级(>10 GHz)

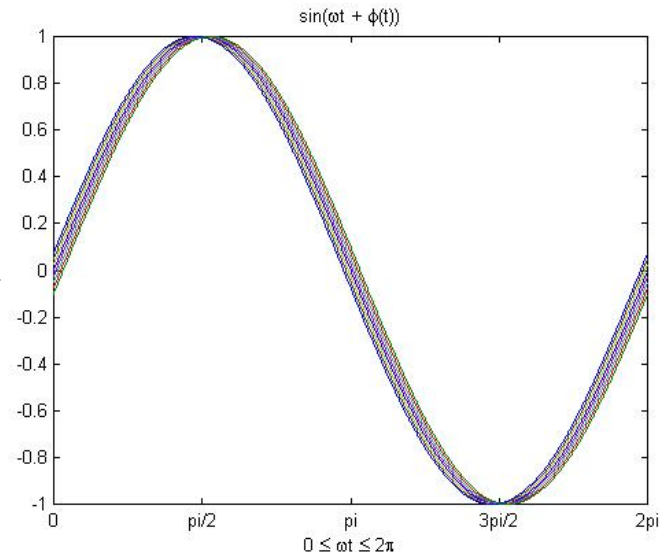
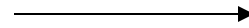


不同方面性能的取舍和优化

时域中的相位噪声



$$\sin(\omega t + A)$$

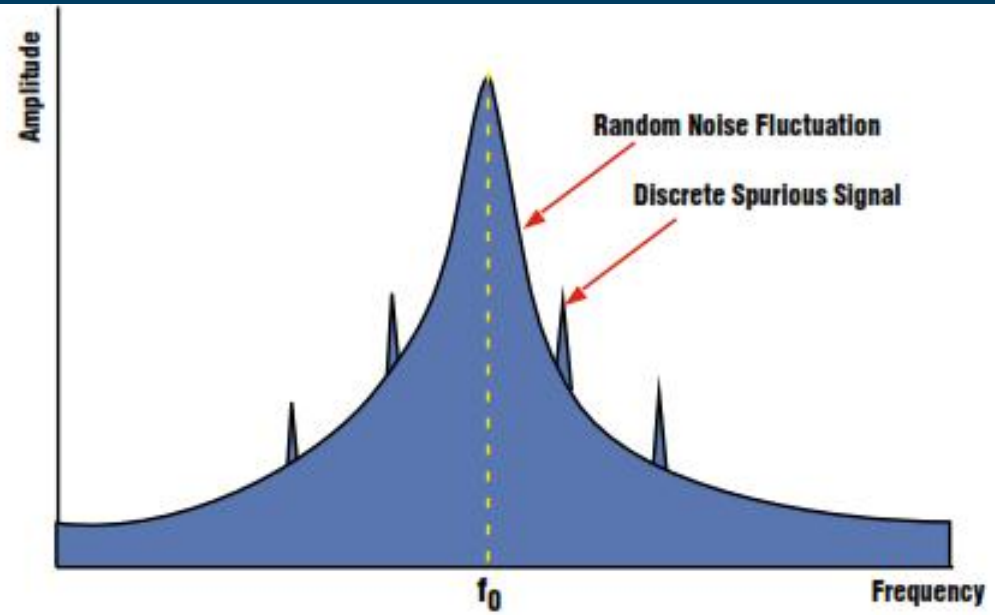


$$\sin(\omega t + A + \Phi(t))$$

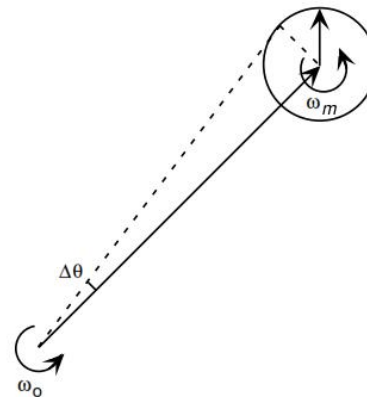
- 相位噪声：干扰信号， $\Phi(t)$ ，同相相加
- $\Phi(t)$ 是任意值：热噪声、散粒噪声、闪烁噪声...

VCO中的相位噪声

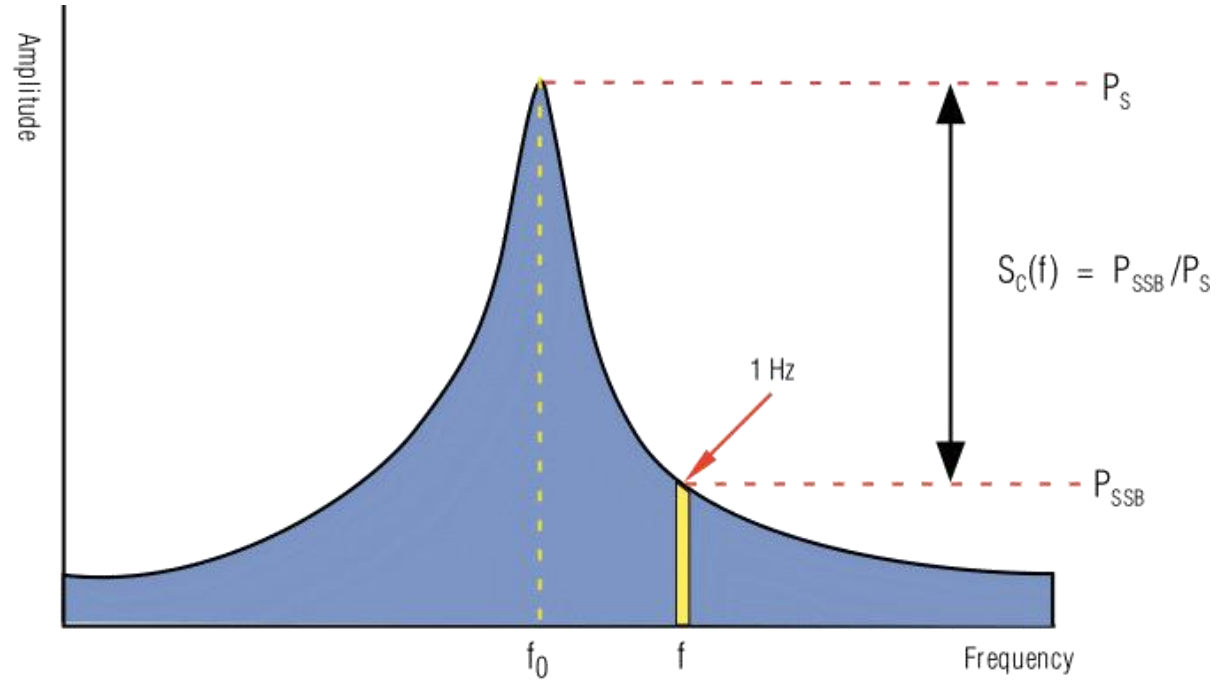
- ▶ 振荡器噪声



- ▶ 相位噪声的相量表示



如何规定相位噪声性能？

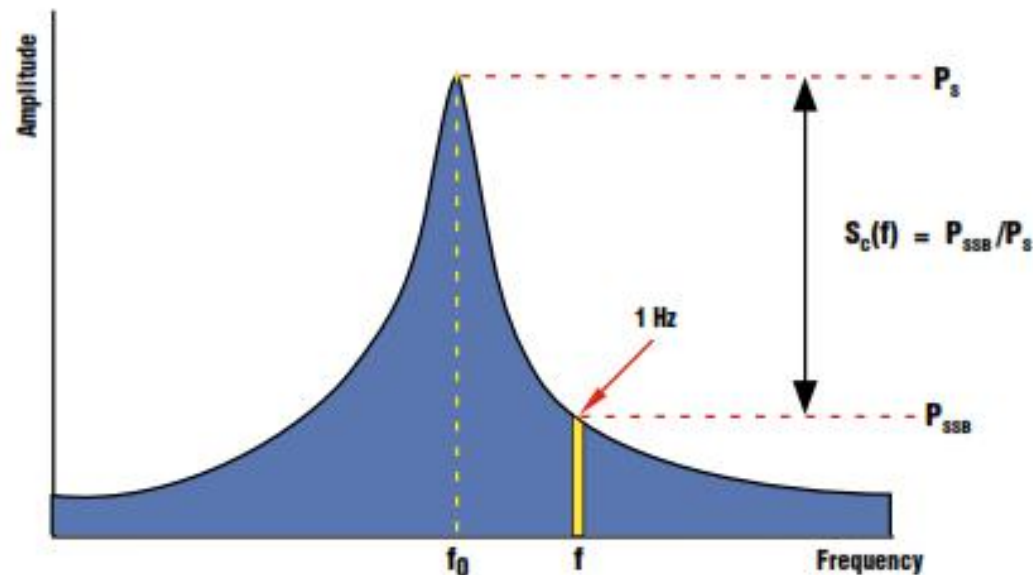


$$S_C(f) = 10 \log \left(\frac{P_s}{P_{SSB}} \right), dBc / Hz$$

测量相位噪声

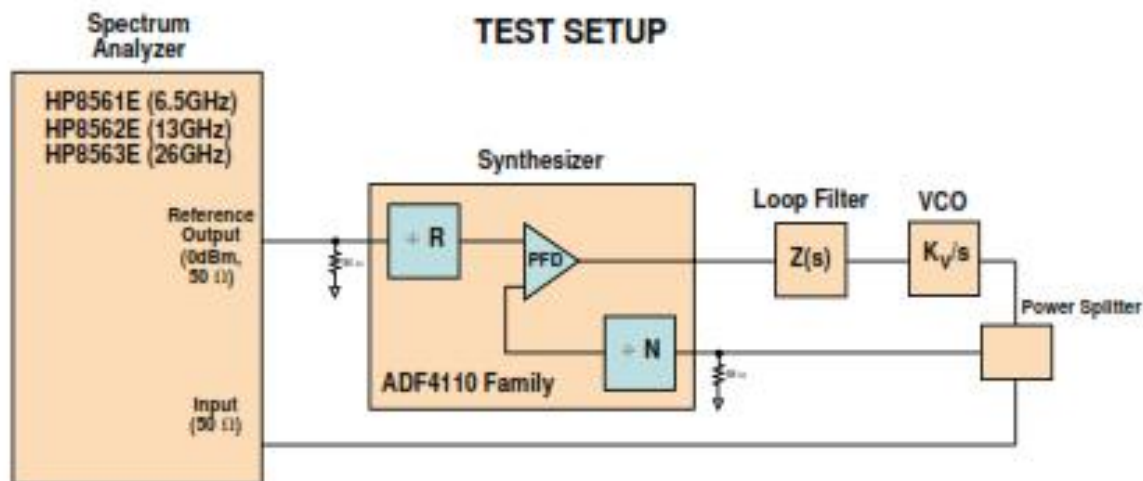
▸ 相位噪声定义

$$S_C(f) = 10 \log \left(\frac{P_S}{P_{SSB}} \right)$$

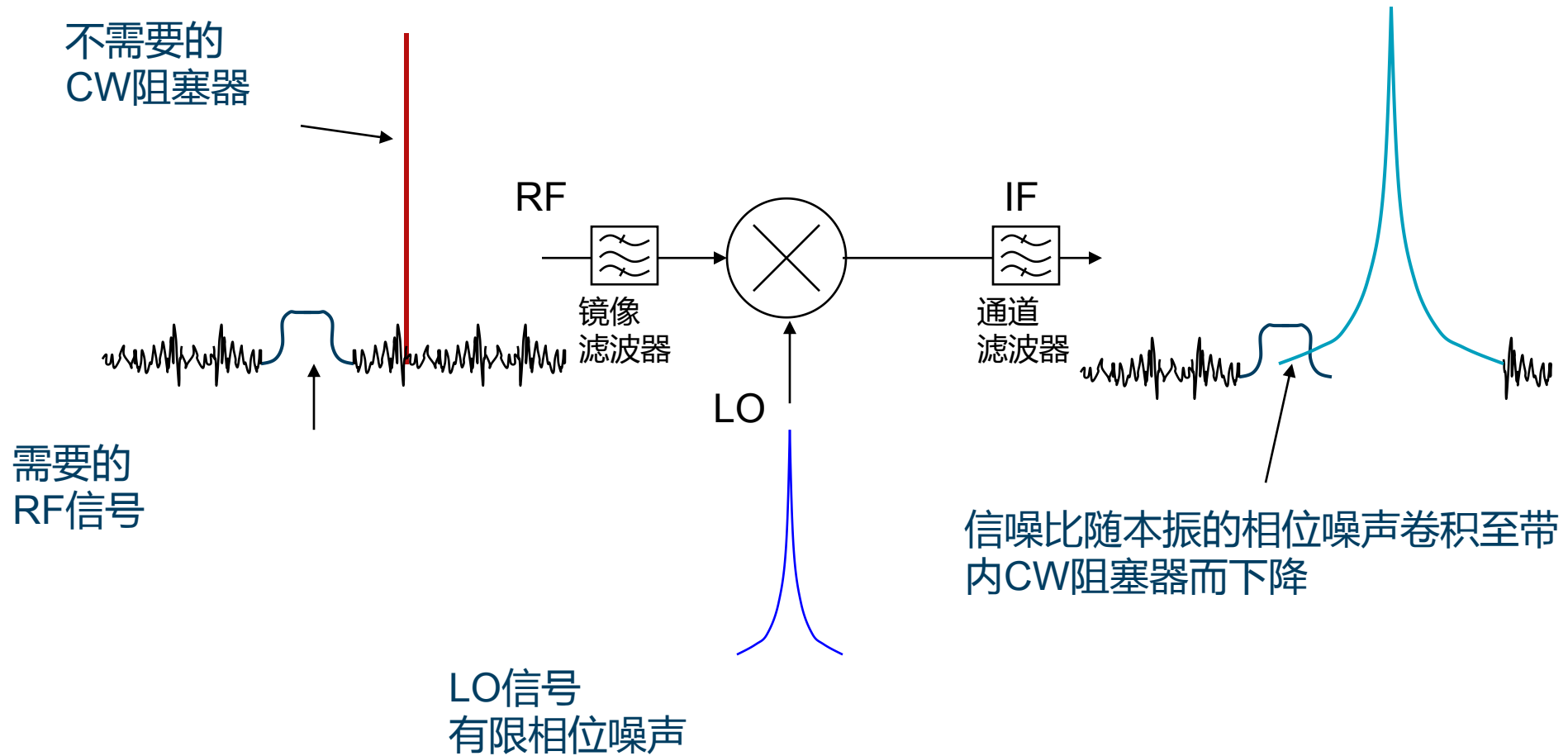


$$S_c(f) \text{ in dB} = 10 \times \log |S_c(f)|, \text{ dBc/Hz}$$

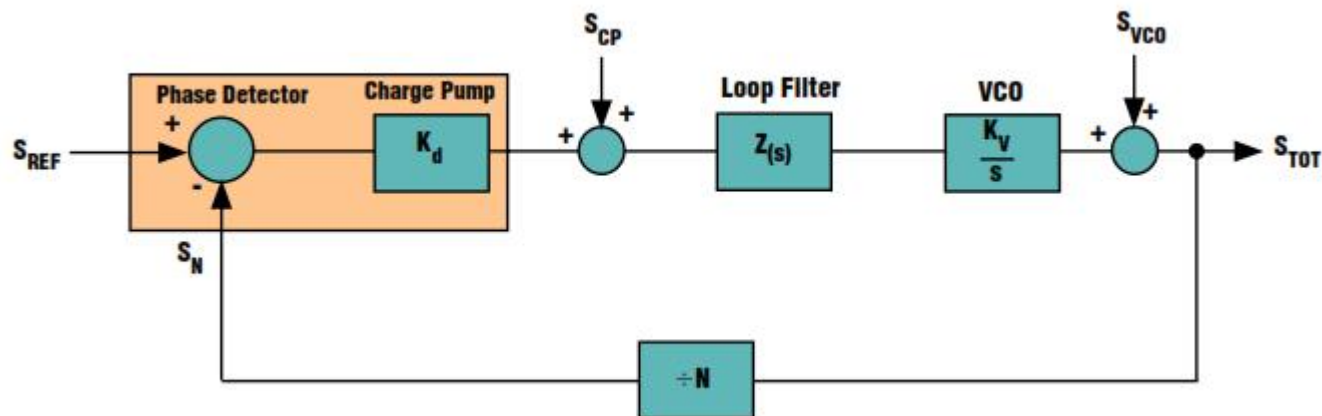
▸ 测试设置



相位噪声为什么很重要？ - 倒易混频过程



PLL芯片中的相位噪声



◆ A PLL中的相位噪声

◆ PLL归一化噪底

$$\text{◆ } PN_{TOT1} = PN_{SYNTH} + 20 \log(N) + 10 \log(f_{PFD})$$

◆ PLL 1/f噪声

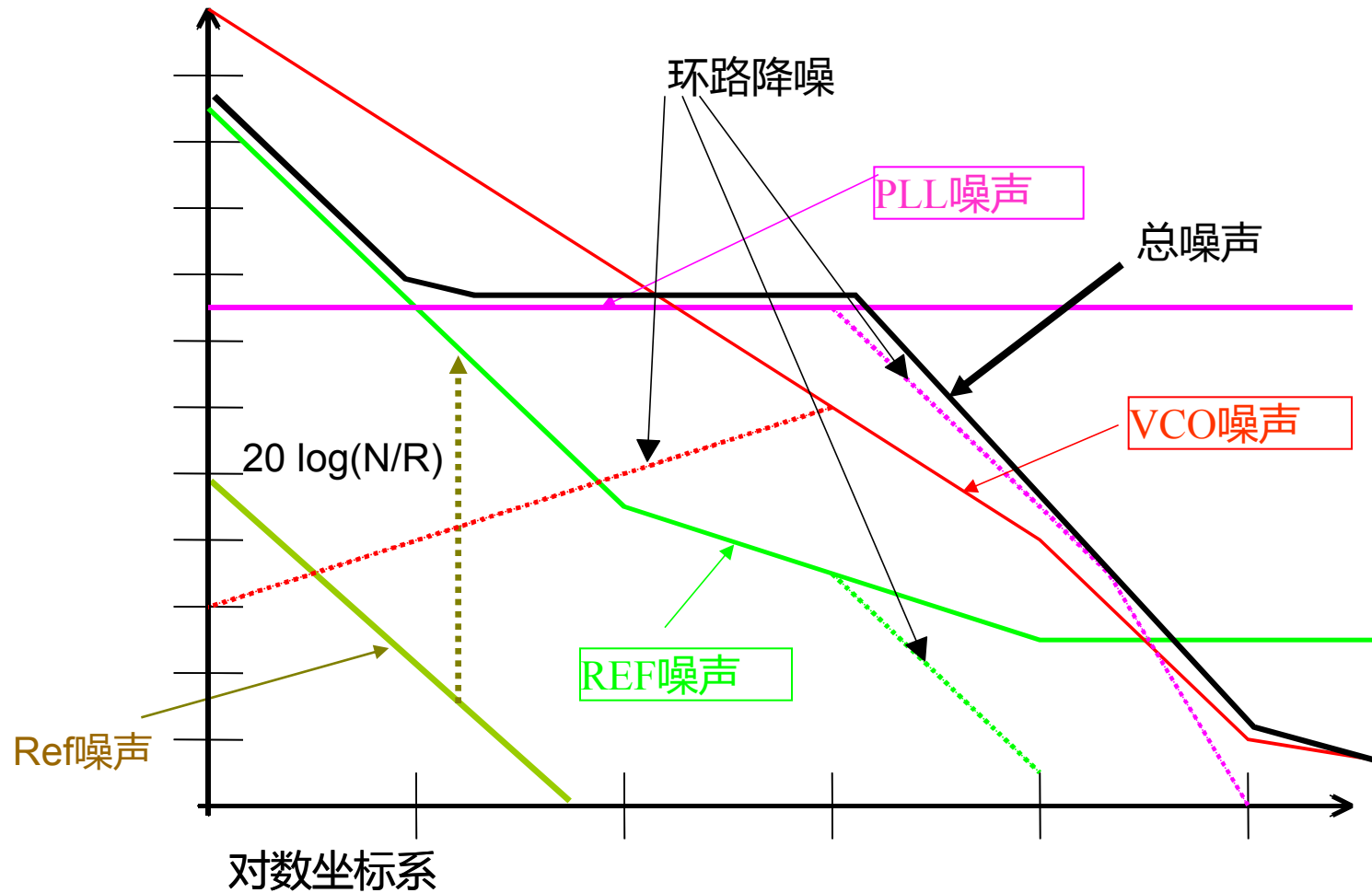
$$\text{◆ } PN_{TOT2} = PN_{1/f} + 20 \log(f_{RF}/1 \text{ GHz}) + 10 \log(10 \text{ kHz}/f)$$

◆ 总PLL噪声

$$\text{◆ } L(PN_{TOT}) = \text{平方根} \{ L(PN_{TOT1})^2 + L(PN_{TOT2})^2 \}$$

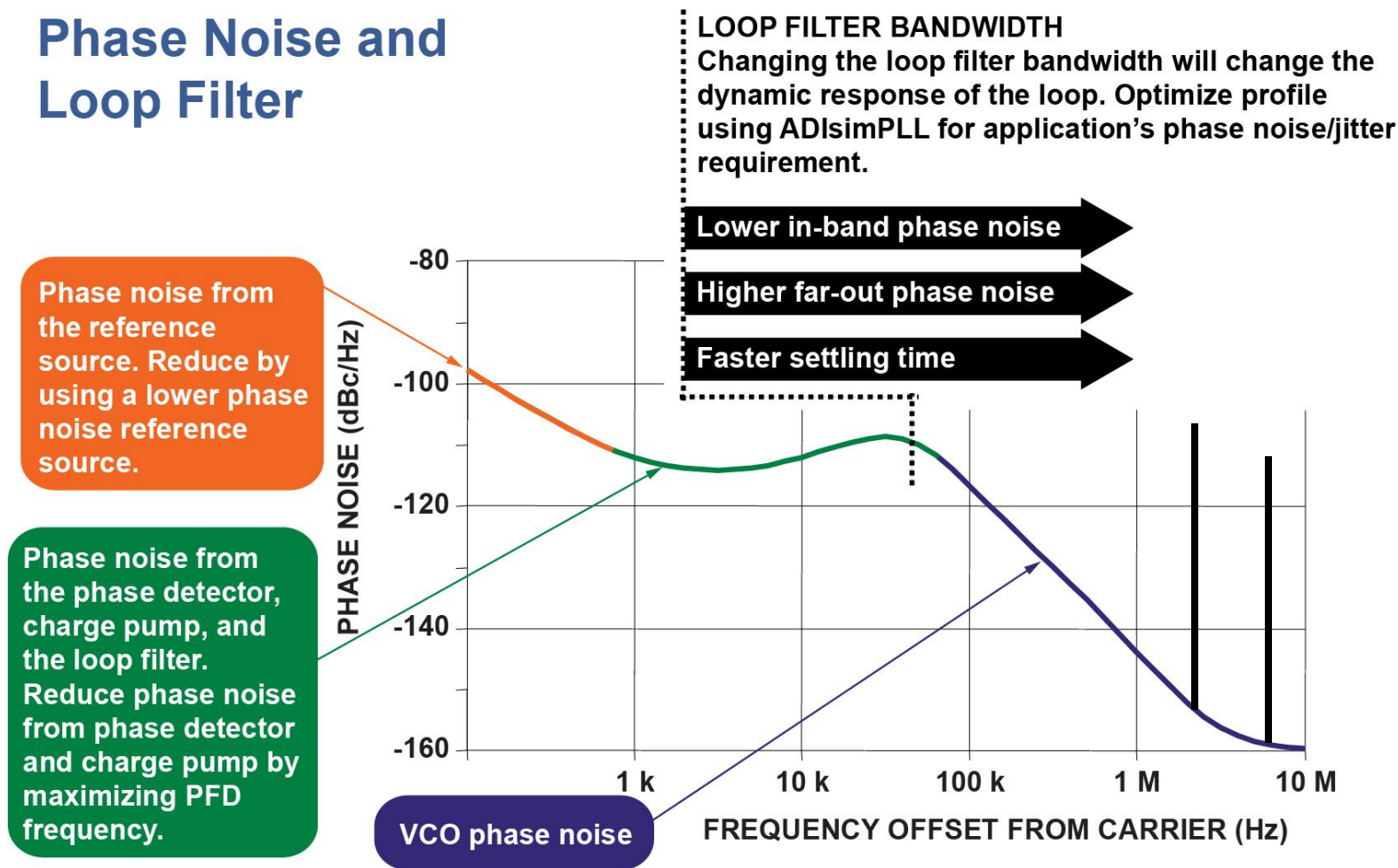
<http://www.mogami.com/e/cad/db.html>

整数N分频PLL频率合成器中的相位噪声



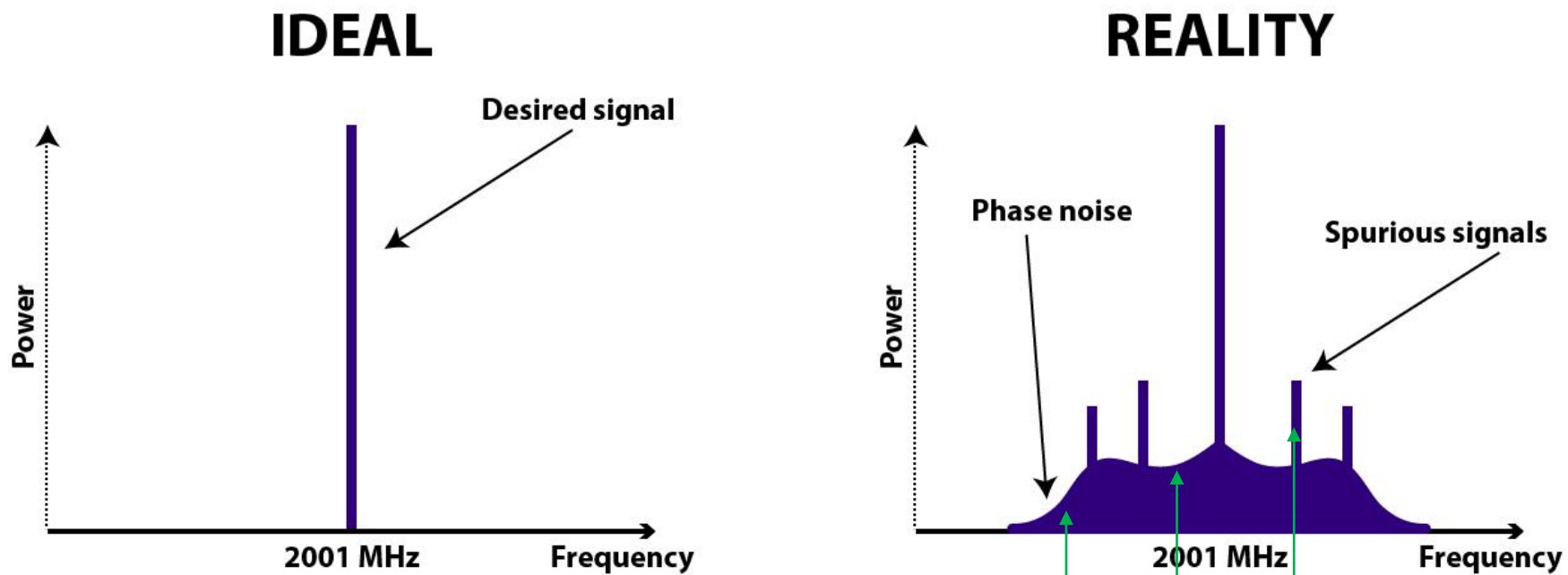
PLL性能 – 影响相位噪声的因素

Phase Noise and Loop Filter



改变环路滤波器带宽(LBW)会改变对各种噪声源的滤波程度。
例如：若降低LBW，则对参考噪声的滤波会加强，对VCO噪声的滤波会减弱。

PLL性能 – 杂散

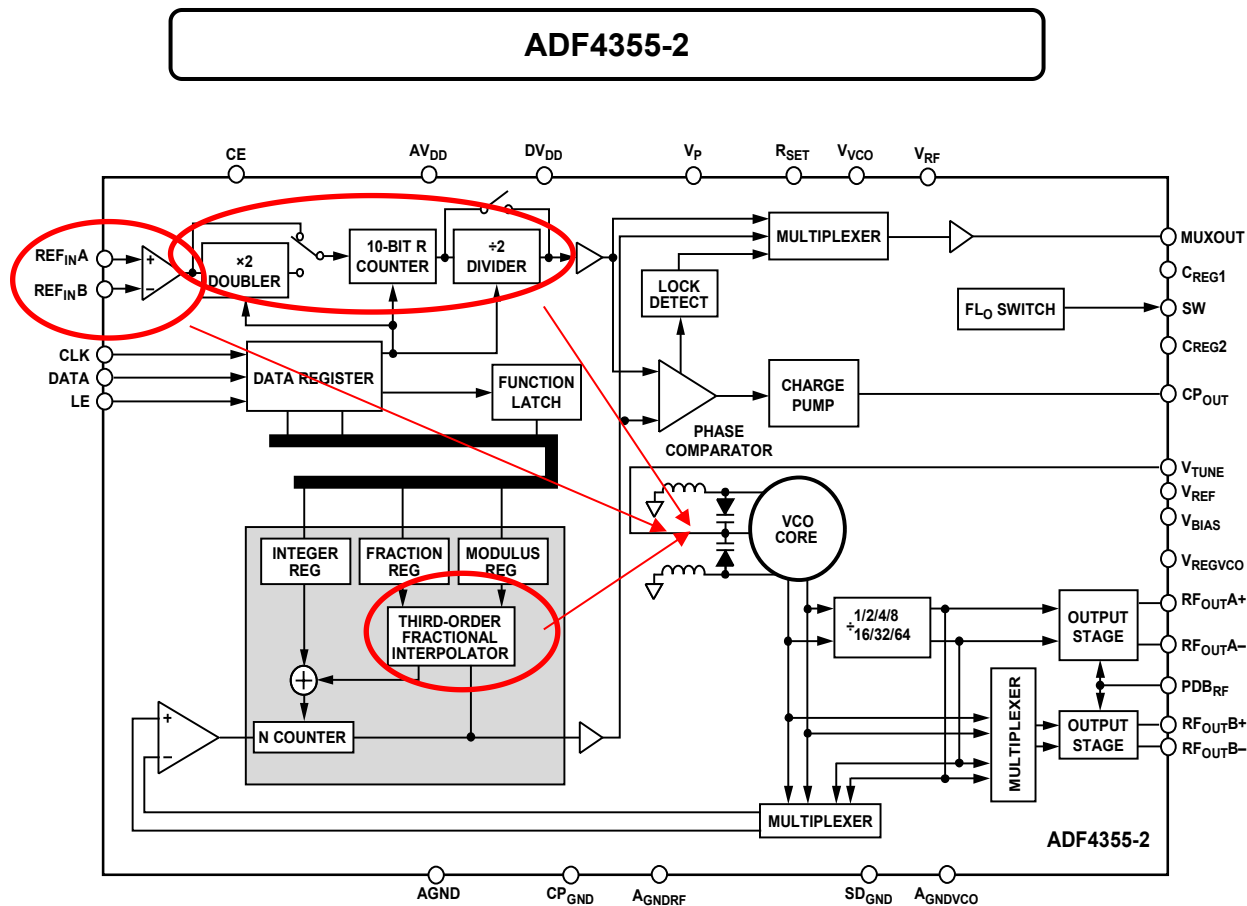


最佳远端相位噪声：ADF4356和ADF5355

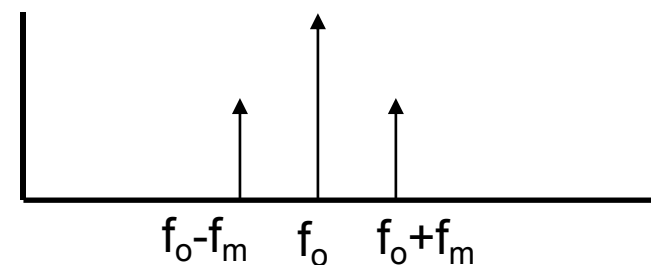
最佳近载波相位噪声：HMC703和LTC694x

最佳杂散性能：HMC703和HMC830

PLL性能 – VCO杂散



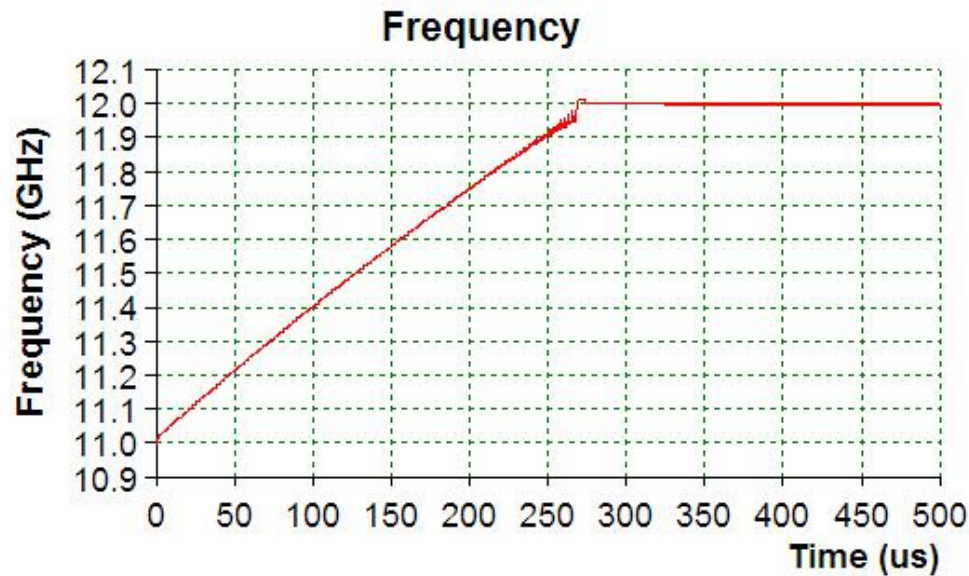
到VCO V_{tune}和VCO电源的耦合可以对输出跳频



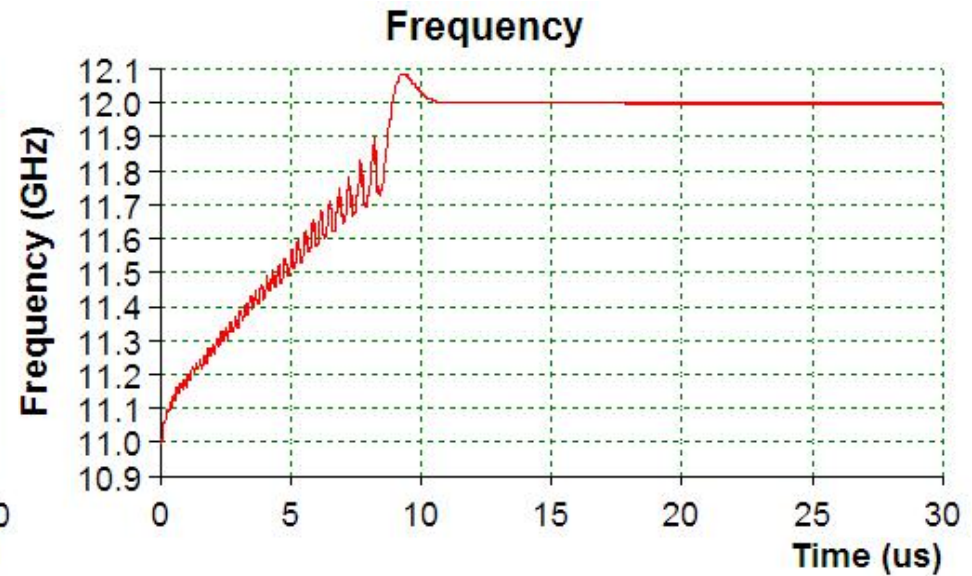
The sideband level is $\beta = \frac{\Delta f}{f_m}$ where f_m is the interference frequency (reference, DSM operation, switching p/s) and Δf is the frequency deviation due to: $k_{VCO} \times \text{noise}$.

最佳杂散性能：HMC703和HMC830，因为PLL和VCO内核之间有物理隔离

PLL锁定时间



LBW = 100 kHz ; 锁定时间 = 270 μ s



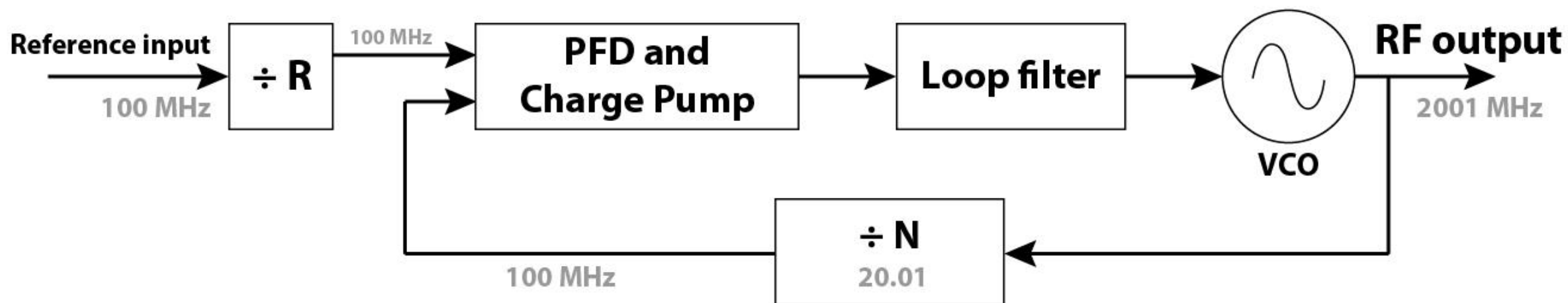
LBW = 500 kHz ; 锁定时间 = 11 μ s

环路带宽越宽，则锁定时间越快，但由于DSM操作，远端相位噪声会提高，尤其是在 $f_{\text{PFD}}/2$ 偏移时。抖动清除器是一类特殊PLL电路，其环路滤波器极窄以便衰减参考噪声 - 输出相位噪声曲线与VCO相同。使用VCXO可获得最佳相位噪声底。

锁定最快的器件：

- ADF4196：带开关环路滤波器的6 GHz小数N分频PLL
- ADF4169：13.5 GHz小数N分频PLL

PLL主要规格总结

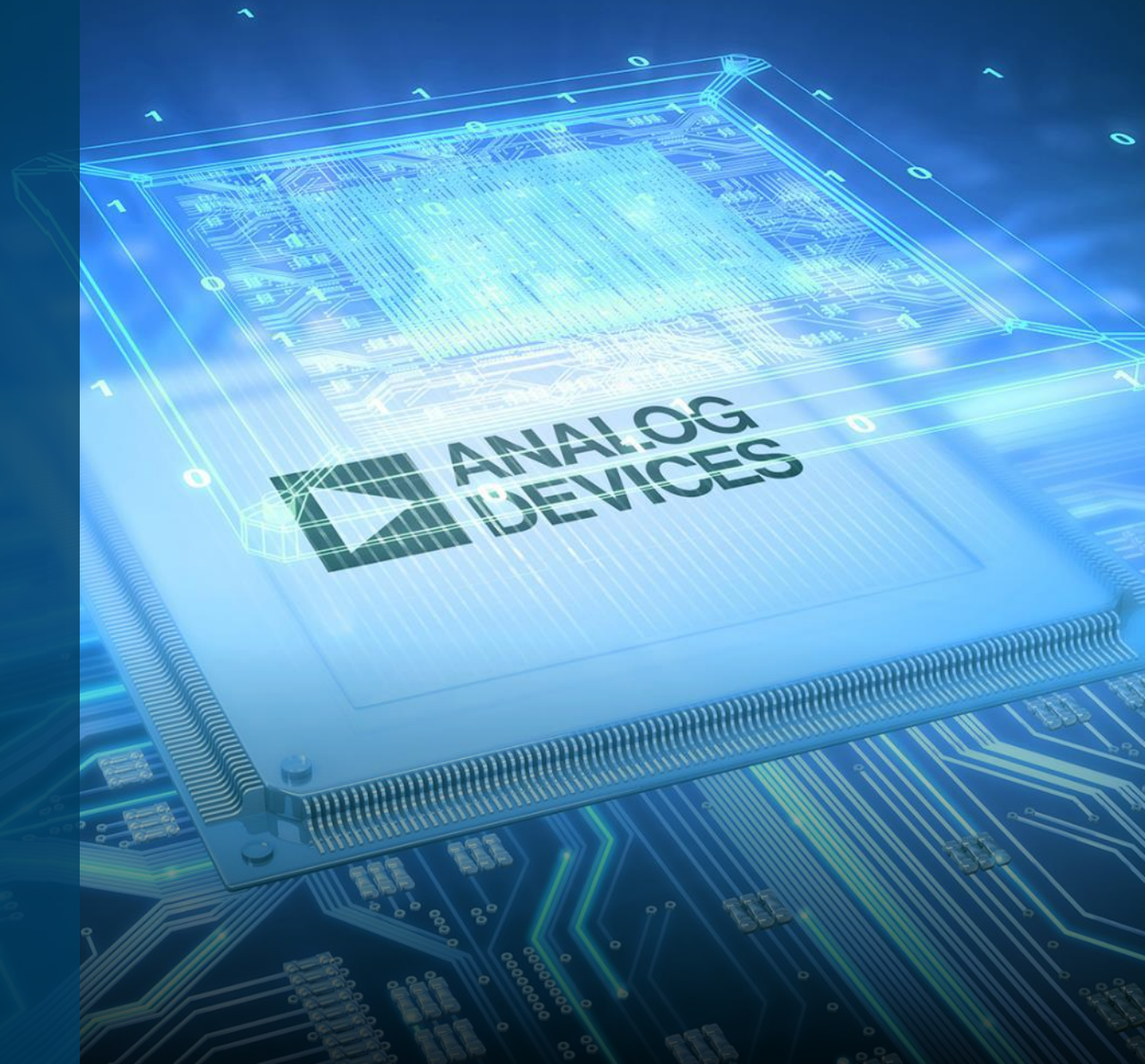


主要参数	规格	注释
PLL相位噪声	归一化相位噪声闪烁和噪底FOM	越低越好
PFD比较频率	最大PFD频率	越高越好
VCO相位噪声	某些偏移时的相位噪声功率	越低越好
杂散	最差情况杂散功率	越低越好



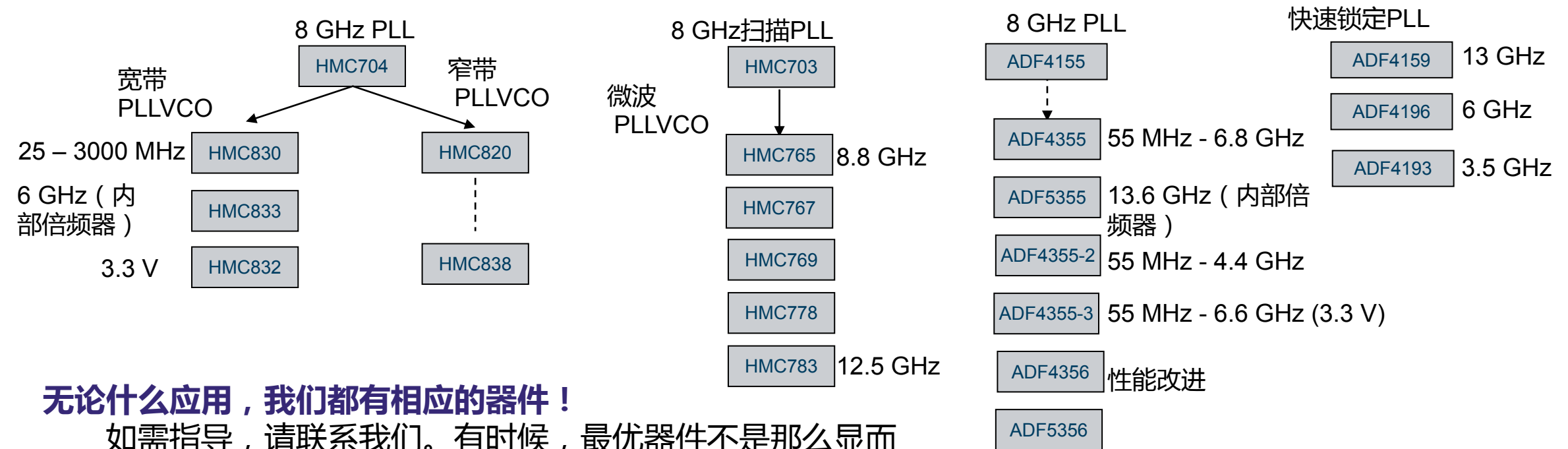
AHEAD OF WHAT'S POSSIBLE™

最新PLL产品开发



种类最多的分立PLL和集成PLL VCO

- ▶ 82款以上器件
 - 44款分立PLL，其中32款是小数N分频PLL
 - 38款集成PLL VCO
 - 所有小数N分频PLL或PLL VCO都可以工作在整数N模式



无论什么应用，我们都有相应的器件！

如需指导，请联系我们。有时候，最优器件不是那么显而易见。

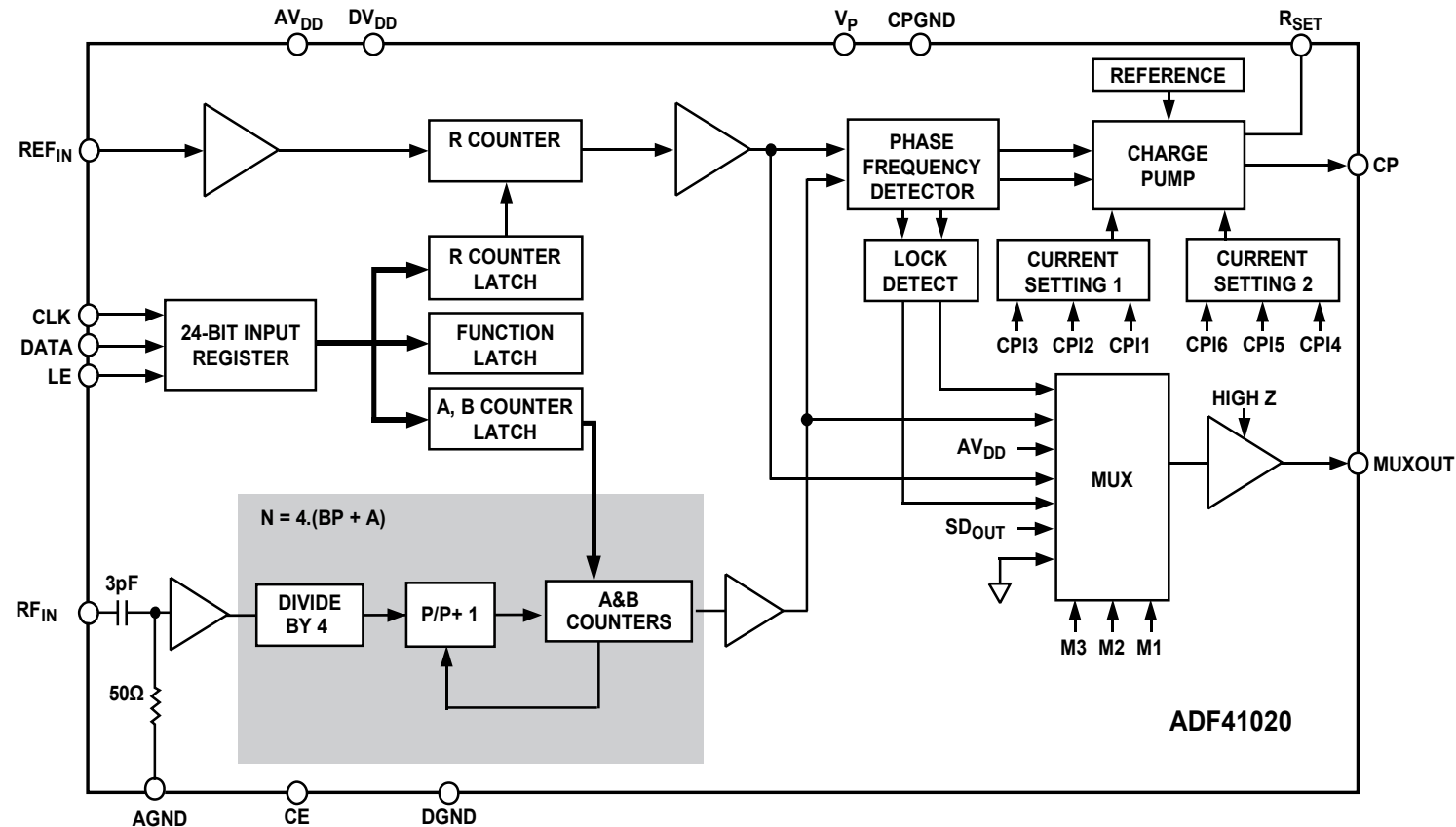
ADF41020 : 18 GHz整数N分频PLL

主要规格

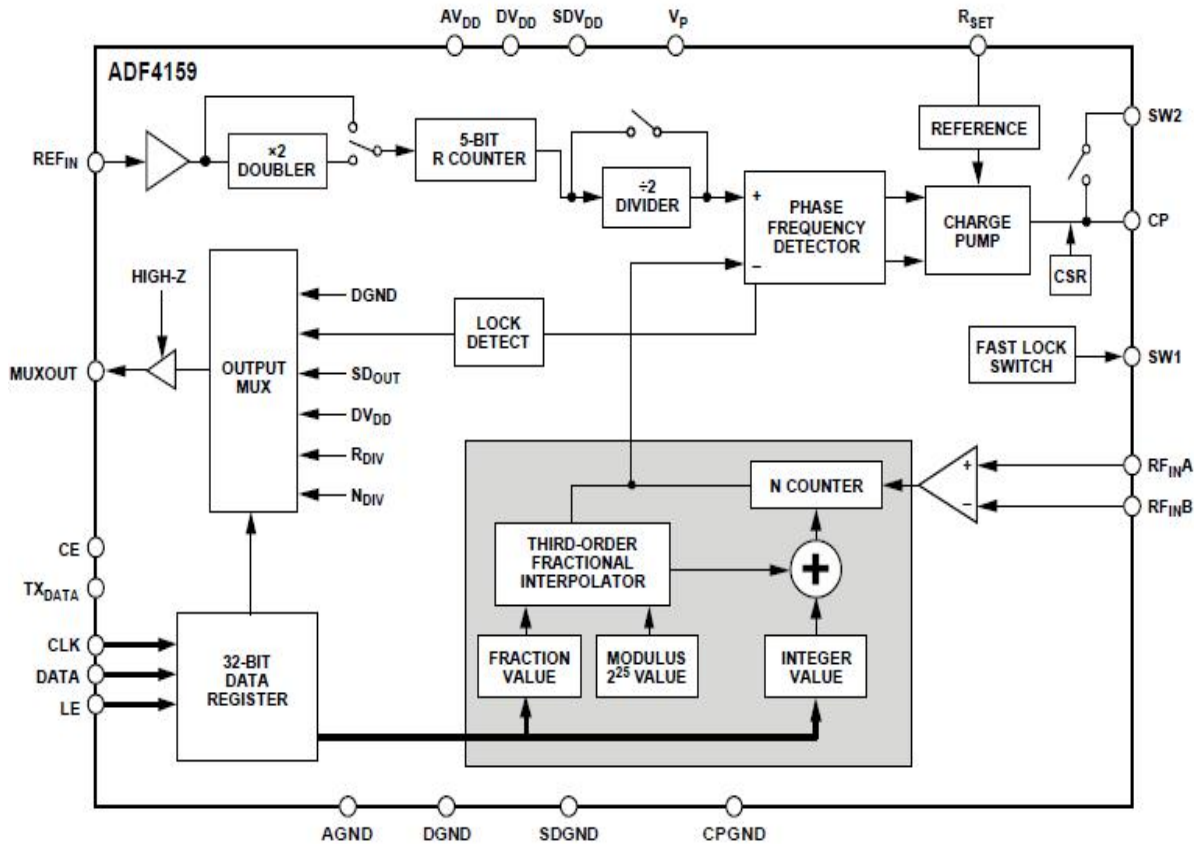
- ◆ RF输入最高可达18 GHz
- ◆ 可编程双模预分频器
- ◆ 104 MHz PFD最大频率
- ◆ 归一化相位噪底 = -221 dBc/Hz
- ◆ 整数N分频操作
- ◆ 采用2.7 V至3.3 V电源供电

特性

- ◆ 与ADF4106/7/8整数N分频PLL软件兼容
- ◆ 可编程电荷泵电流
- ◆ 模拟和数字锁定检测
- ◆ 硬件和软件关断模式
- ◆ 20引脚LFCSP封装 (4 mm × 4 mm)



ADF4159 : 13 GHz直接调制/波形产生小数N分频频率合成器 ; ADF4169 : 扩展到13.5 GHz , f_{PFD} 扩展到130 MHz



主要规格

- ◆ 500 MHz – **13 GHz/13.5 GHz**范围
- ◆ 25位分频器模块
- ◆ **110 MHz/130 MHz** f_{PFD} 最大频率
- ◆ 归一化相位噪底 : -224 dBc/Hz
- ◆ FSK调制和FMCW产生

特性

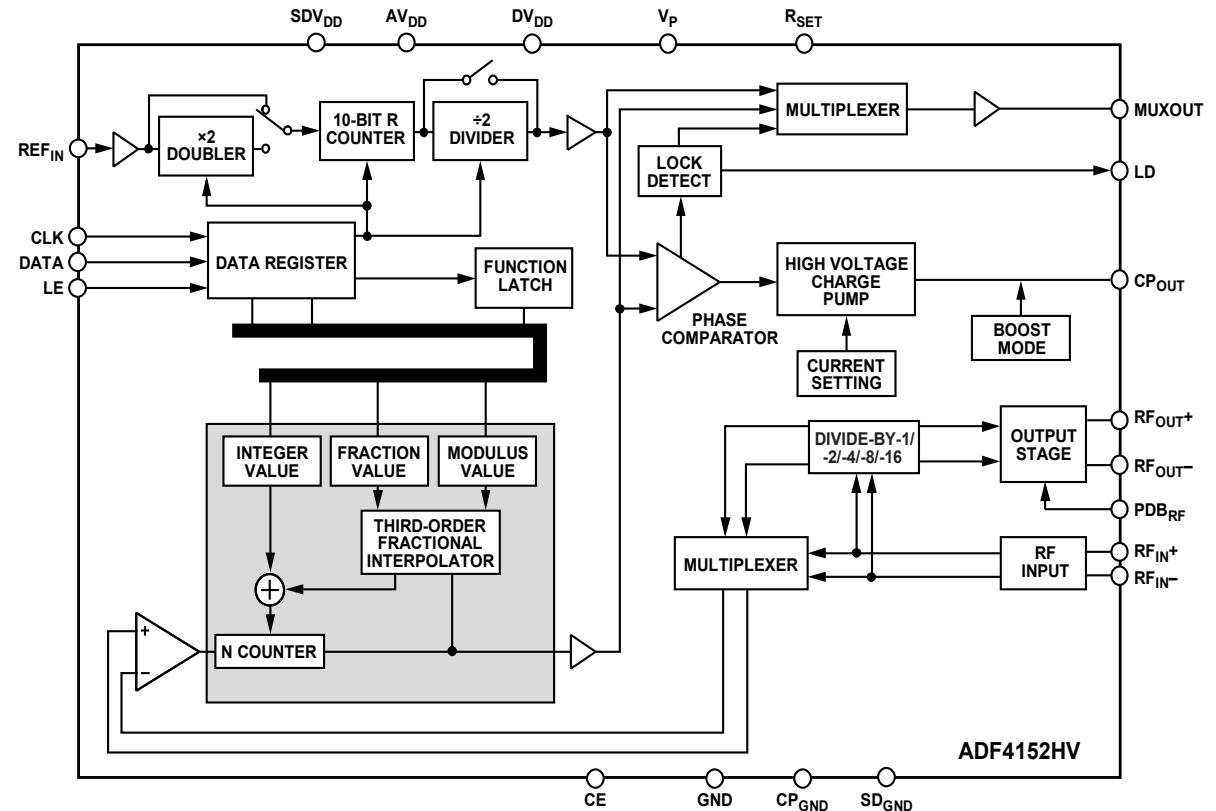
- ◆ Sub-1 Hz频率分辨率 (25位模数)
- ◆ 高速和低速FMCW斜坡(~20 μ s)
- ◆ FSK和PSK调制能力
- ◆ 产生高度线性化的锯齿波和三角波形
- ◆ 抛物线型斜坡, 叠加FSK的斜坡, 有2种不同扫描速率的斜坡, 斜坡延迟, 斜坡频率回读, 斜坡中断
- ◆ 减少周跳以缩短锁定时间
- ◆ 24-LFCSP (4mm \times 4mm)

ADF4152HV – 5 GHz小数N分频PLL，内置高压电荷泵(30 V)

- ▶ 频率范围：500 MHz至5 GHz
- ▶ 高压电荷泵：最高30 V
- ▶ 片上缓冲器支持外部1/2/4/8/16分频VCO

主要优势

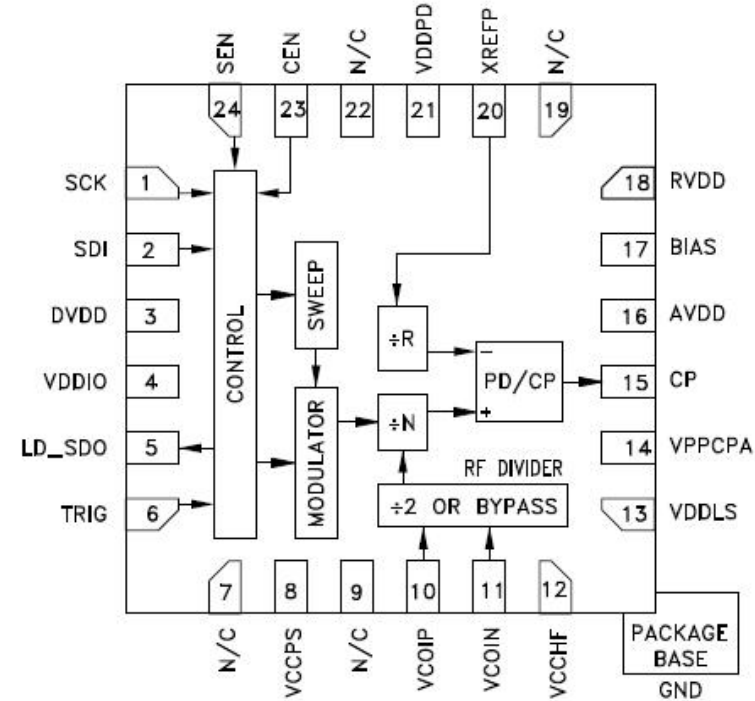
- ▶ 相位噪声低于有源环路滤波器实现方案。
- ▶ 工作在小数N分频或整数N分频模式，高达5 GHz。
- ▶ 可编程缓冲器输出功率：-4 dBm至+5 dBm，步进为3 dB
- ▶ RF输出静音功能



HMC703LP4E

8 GHz高性能小数PLL

- ▶ 宽带：DC - 8 GHz RF输入
- ▶ 业界最佳的相位噪声和杂散性能：
 - -112 dBc/Hz (8 GHz小数, 50 kHz偏移)
- ▶ 品质因数
 - -230 dBc/Hz小数模式
 - -233 dBc/Hz整数模式
- ▶ 整数边界杂散：-60 dBc
- ▶ 高PFD速率：100 MHz
- ▶ 抖动：< 50 fs RMS
- ▶ 频率和相位调制
- ▶ 集成扫频功能
- ▶ 触发跳频
- ▶ 外部触发
- ▶ 24引脚4 × 4 mm SMT封装：16 mm²

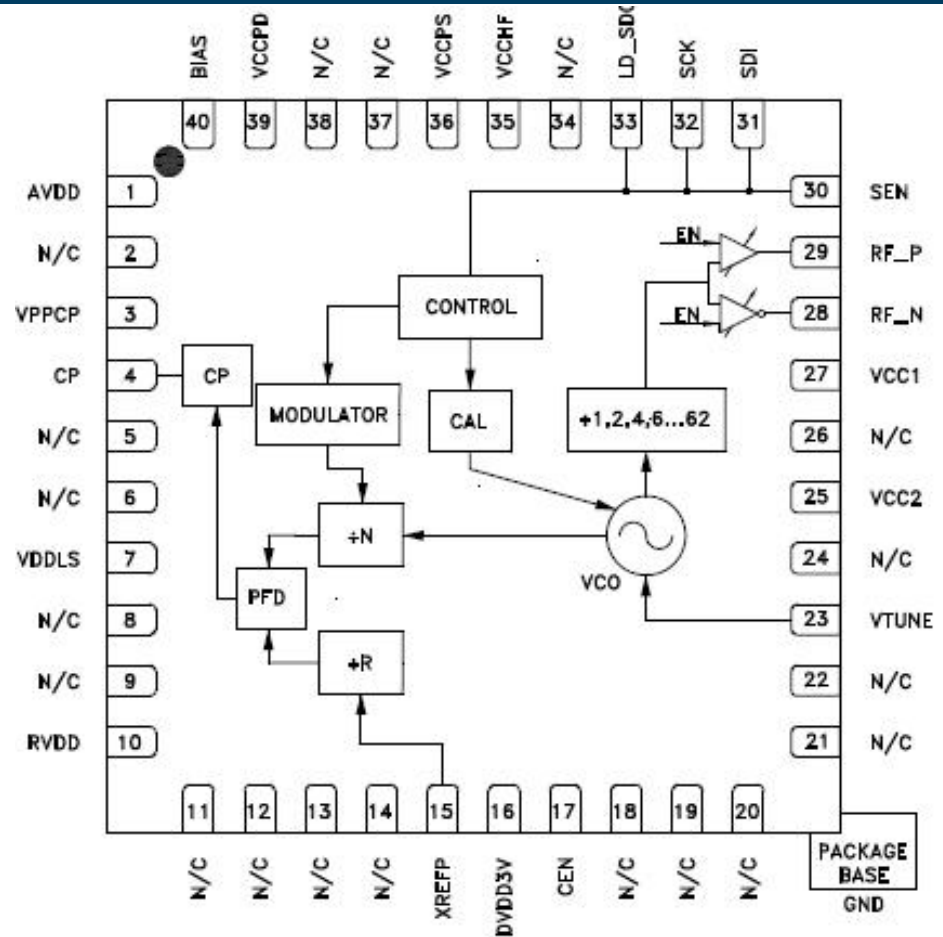


重点市场	应用
通信、微波、点对点、仪器仪表、汽车	BTS、微波点对点无线电、CATV头端、通信测试设备、FMCW雷达系统
样片	产品发布
已发布	已发布

HMC832ALP6GE

3.3 V/1.8 V数字逻辑、高性能宽带PLL/VCO

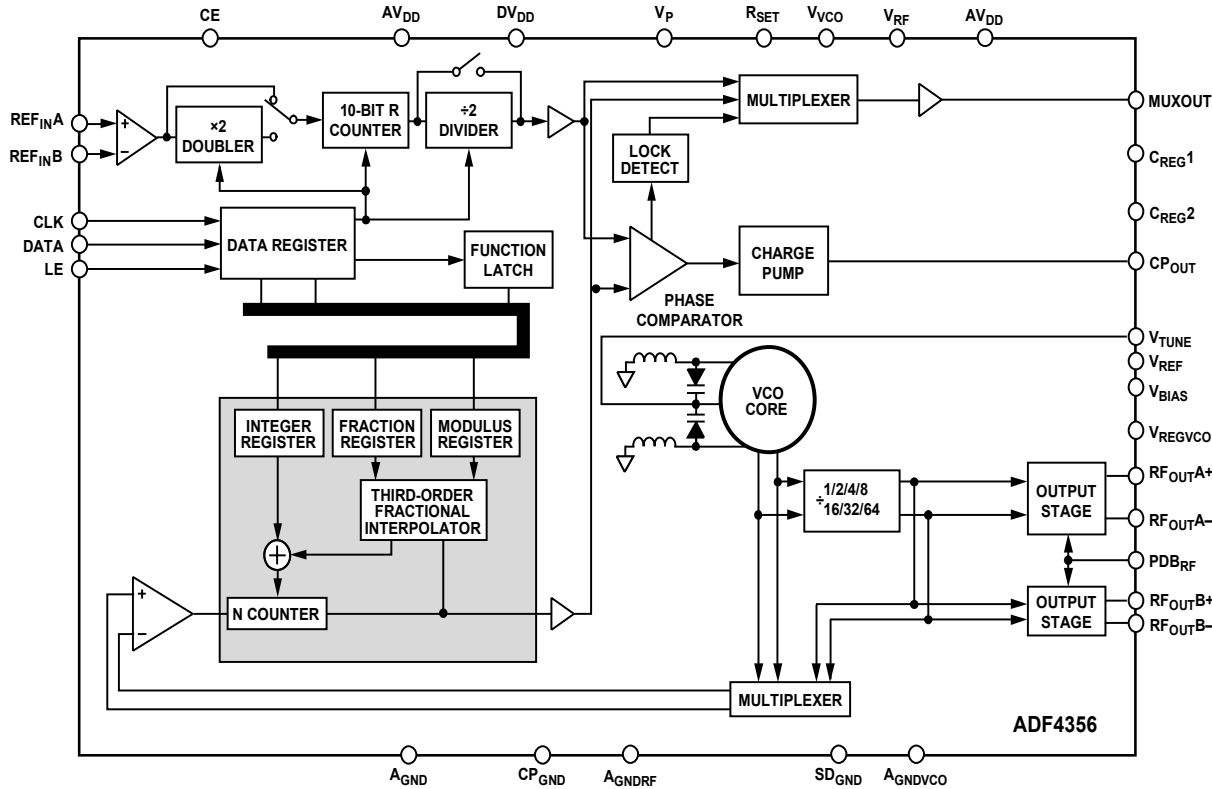
- ▶ 新一代业界领先的HMC830
- ▶ 3.3 V单电源
- ▶ 频率：25 MHz – 3000 MHz
- ▶ PFD达100 MHz
- ▶ 可编程性能技术
 - 优化噪底或功耗
- ▶ 同类最佳的PLL FOM：-226 dBc/Hz
- ▶ 低VCO相位噪声
 - -116 dBc/Hz (100 kHz偏移，2 GHz)
 - -140 dBc/Hz (1 MHz偏移，2 GHz)
- ▶ DSB RMS抖动：20 kHz至20 MHz：< 110 fs
- ▶ 精确频率模式
- ▶ 快速跳频 (100 μ s , 100 kHz LBW时)
- ▶ 单端或差分输出单独使能
- ▶ 12 dB RF功率控制，步进为1 dB
- ▶ 封装：40引脚6 \times 6 mm SMT



重点市场	应用
通信、微波、点对点、仪器仪表、军事/航空	BTS、微波无线电、CATV头端、军事通信
样片	产品发布
现已面市	已发布

ADF4356 : 55 MHz – 6.8 GHz PLL+超低噪声VCO

(相比于ADF4355 , 改进了杂散、锁定时间和FOM)



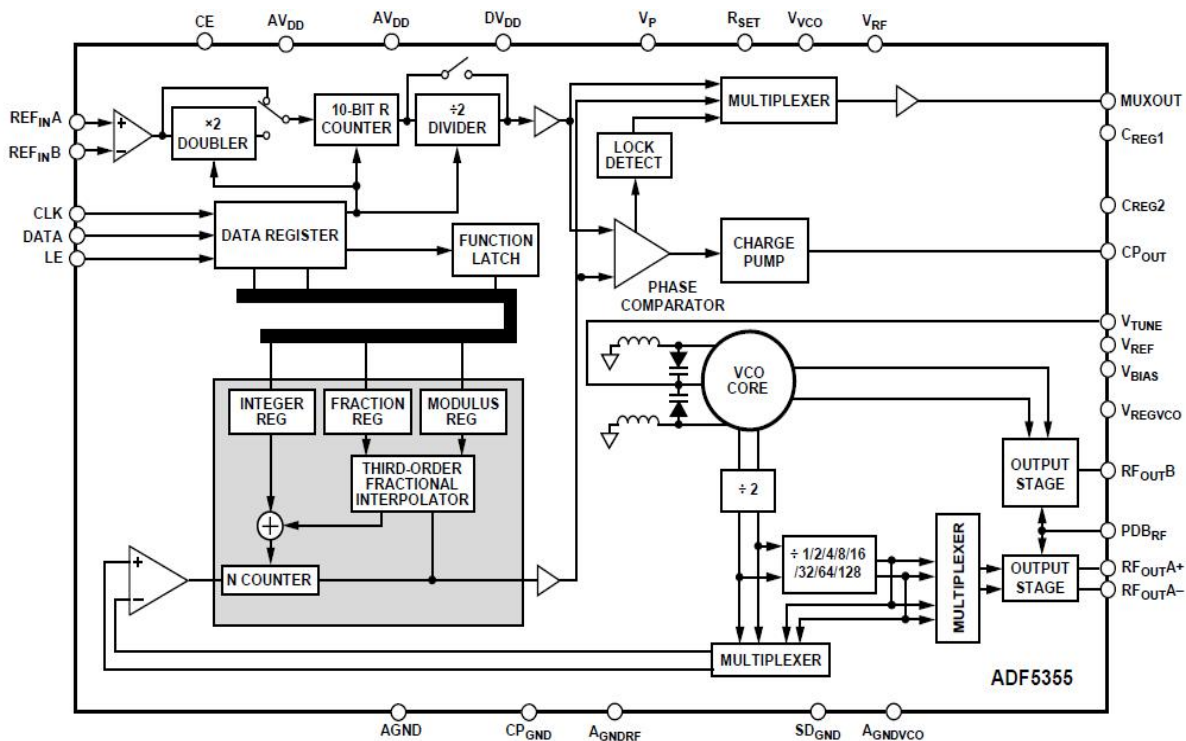
- ▶ 输出频率范围 :
 - 55 MHz至6.8 GHz.
- ▶ 低相位噪声VCO
 - -110 dBc/Hz (100kHz偏移 , 6.8 GHz)
 - -132 dBc/Hz (1MHz偏移 , 6.8 GHz)
- ▶ 高分辨率52位可编程模数
- ▶ FOM改善到-227 dBc/Hz
- ▶ RMS抖动 : 97 fs (1 kHz至20 MHz , 6 GHz时)
- ▶ -85 dBc PFD杂散
- ▶ PFD达125 MHz
- ▶ 可编程1/2/4/8/16/32/64分频输出
- ▶ 模拟和数字电源 : 3.3 V
- ▶ 电荷泵和VCO电源 : 5 V
- ▶ 1.8 V逻辑兼容性
- ▶ 整数N/小数N分频频率合成器
- ▶ 可编程双模预分频器 : 4/5、 8/9
- ▶ 可编程输出功率水平
- ▶ RF输出静音功能

重点市场	应用
蜂窝基站、仪器仪表、军事/航空	基站LO、低抖动时钟
样片	产品发布
现已面市	已发布

产品ADF4356：重要事实

特性	优势
<ul style="list-style-type: none">▶ 全集成PLL + 低噪声VCO覆盖54 MHz至6.8 GHz的全部范围，无频率间隙。	<ul style="list-style-type: none">▶ 一个小型5 mm × 5 mm的PLL VCO产品可以覆盖超过2个十倍频程的频率范围。
<ul style="list-style-type: none">▶ 杂散性能优于ADF4355 (5 dB – 10 dB改进)。	<ul style="list-style-type: none">▶ 可用于非常苛刻的宏基站应用。PFD杂散和整数边界杂散均有改善
<ul style="list-style-type: none">▶ PLL FOM (-227 dBc/Hz)优于ADF4355 (-223 dBc/Hz)	<ul style="list-style-type: none">▶ 抖动性能提高到sub-100 fs rms，适合高速转换器应用
<ul style="list-style-type: none">▶ 与ADF4355引脚兼容	<ul style="list-style-type: none">▶ 对于已经熟悉ADF4355的客户，ADF4356提供了简单的升级路径以方便客户对改进的PLL FOM (4 dB) 和杂散(10 dB)性能加以利用

ADF5355 : 55 MHz – 13.6 GHz PLL和超低噪声VCO

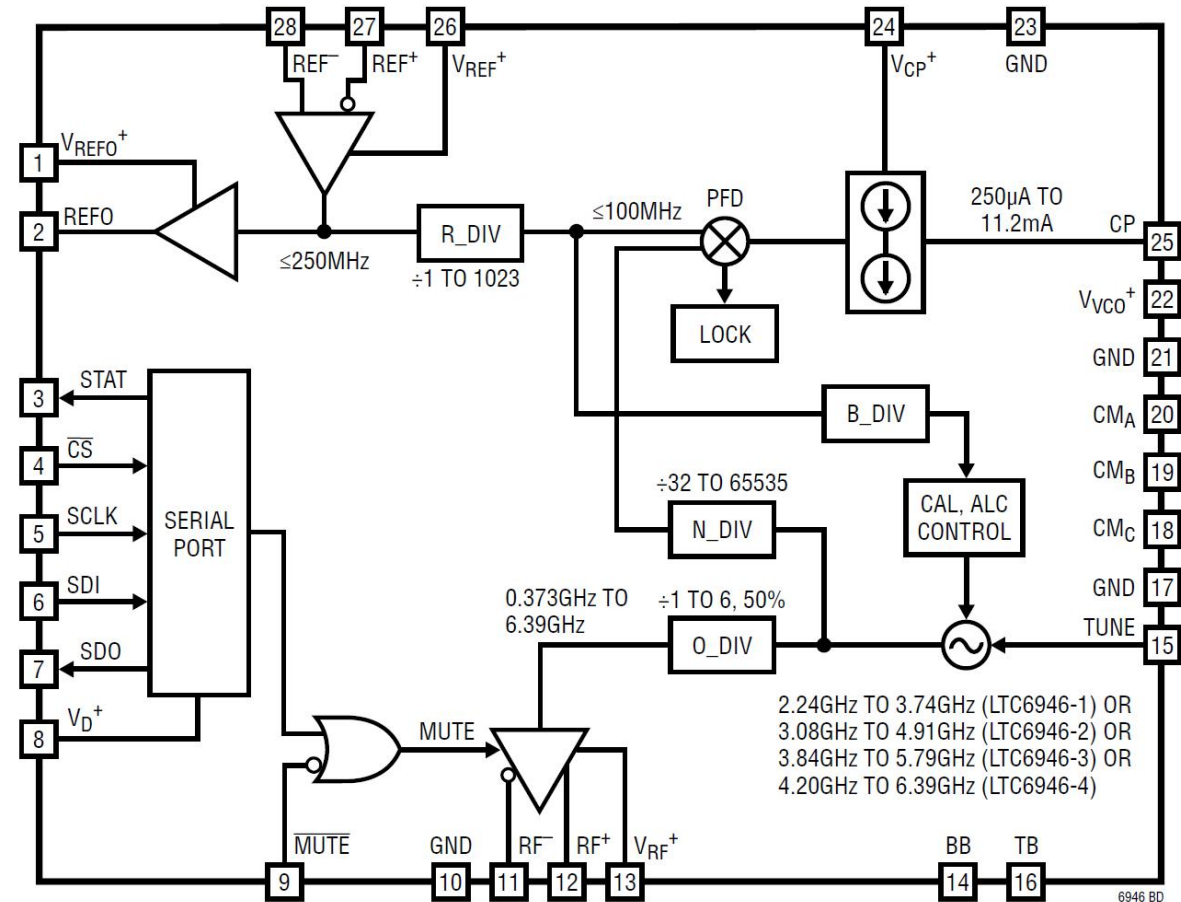


- ▶ 输出频率范围 :
 - 55 MHz至13.6 GHz
- ▶ 低相位噪声VCO
 - -110 dBc/Hz (6.8 GHz时失调为100 kHz)
 - -132 dBc/Hz (6.8 GHz时失调为1 MHz)
 - -103 dBc/Hz (13.6 GHz时失调为100 kHz)
 - -126 dBc/Hz (13.6 GHz时失调为1 MHz)
- ▶ 高分辨率38位可编程模数
- ▶ FOM :
 - -224 dBc/Hz (整数N分频) ; -223 dBc/Hz (小数N分频)
- ▶ -75 dBc PFD杂散和-30 dBc IBS
- ▶ f_{PFD} 达125 MHz , f_{REF} 达600 MHz
- ▶ 可编程1/2/4/8/16/32/64分频输出
- ▶ 模拟和数字电源 : 3.3 V
- ▶ 电荷泵和VCO电源 : 5 V
- ▶ 整数N/小数N分频频率合成器
- ▶ 可编程输出功率水平
- ▶ 锁定时间 : <3 ms , 带自动校准例程 ; 可以更快
- ▶ 相位再同步和相位调整同时工作

重点市场	应用
微波、点对点、仪器仪表、 军事/航空	微波LO 低抖动时钟
样片 提供	产品发布 已发布

LTC6948-x : 6.39 GHz集成小数N分频PLL/VCO

- ▶ 集成VCO :
 - LTC6946-1 : 2.24 GHz至3.74 GHz
 - LTC6946-2 : 3.08 GHz至4.19 GHz
 - LTC6946-3 : 3.74 GHz至5.79 GHz
 - LTC6946-4 : 4.20 GHz至6.39 GHz
- ▶ VCO相位噪声 : -130 dBc/Hz (1 MHz , 3 GHz)
- ▶ **快速VCO校准 : 8 μ s至21 μ s**
- ▶ 低带内相位噪声FOM :
 - 1/f : -134 dBc/Hz ; 噪底 : -226 dBc/Hz
- ▶ **-102 dBc参考杂散**
- ▶ **无小数(Σ - Δ)杂散**
- ▶ **低整数边界杂散**
- ▶ 输出分频器范围 : 1至6
- ▶ 相位噪底 : -160 dBc (2 GHz)
- ▶ 28引脚4 mm \times 5 mm QFN封装



样片 提供	产品发布 已发布

HMC7044简介

带JESD204B接口的高性能、3.2 GHz、14路输出抖动衰减器

亮点

业界领先的性能

- 2949.12 MHz时实现45fs RMS的超低抖动(12 kHz – 20 MHz)
- 同类最佳的相位噪声：-156.3dBc/Hz (2.5 GHz时)
- 出色的GSM阻塞性能：-141.7dBc/Hz (800 kHz时， 983.04 MHz输出)

支持JESD204B同步

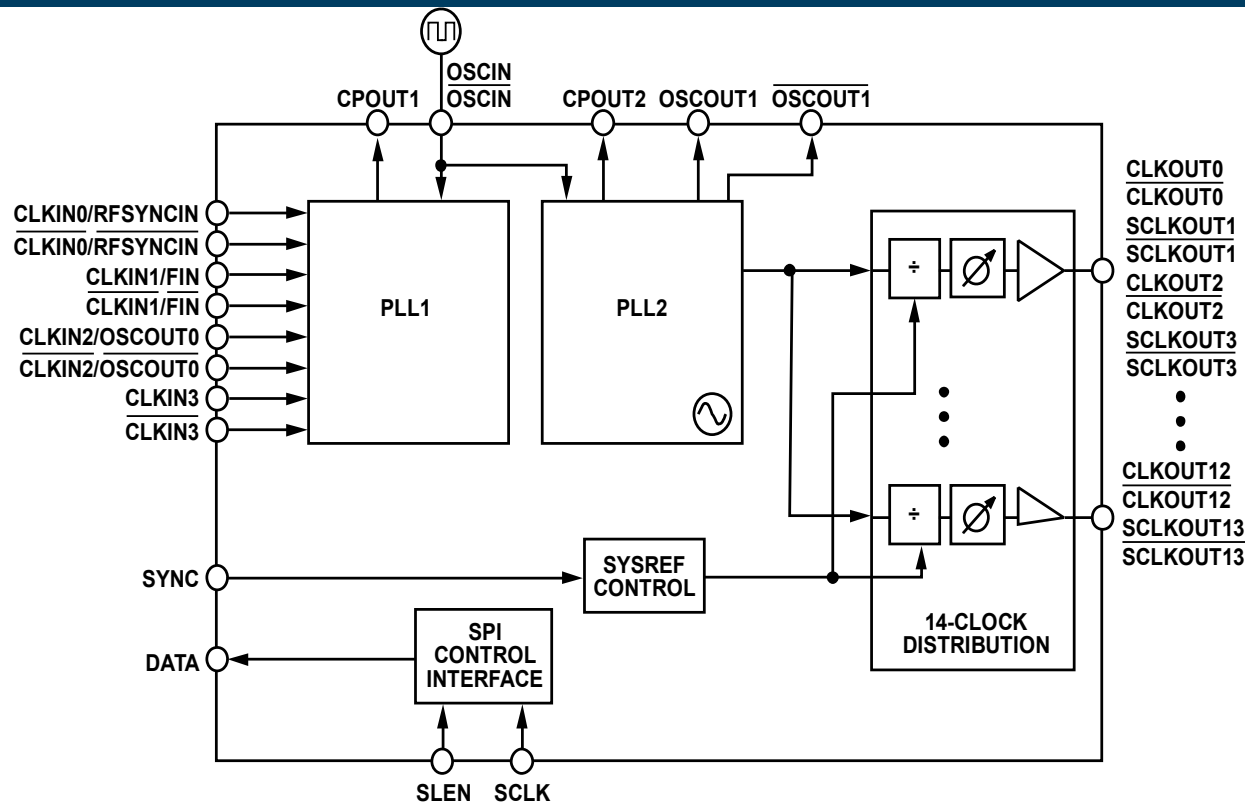
- “Sysref-Valid” 中断
- 至RF-SYNC输入的延迟是确定的，支持多器件时钟树设计
- 多个HMC7044器件可利用引脚或SPI控制的SYNC触发信号相连

通过宽频率覆盖改善带宽

- 2个集成VCO内核，工作频率最高可达3.2 GHz

配置灵活：

- 16路输出：14+2配置：LVDS/LVPECL/CML或CMOS类型选项可编程
- 充分的灵活性，每路输出都可以配置为器件或SYSREF时钟输出
- 出色的通道隔离度
- 不同时钟组的通道隔离度小于-75 dBc，同时通道偏斜非常小



封装

10 mm × 10 mm
68引脚LFCSP

状态

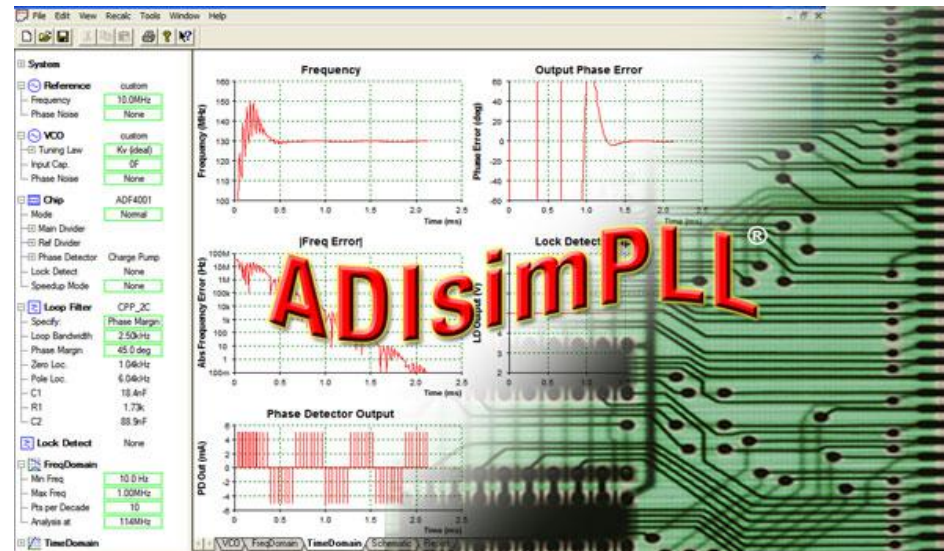
已量产
已发布

ADIsimPLL v4.3现已发布！

PLL频率合成器设计与仿真软件

ADIsimPLL软件（我们的网站免费提供）专门为优化PLL电路而开发，方便客户更快速、更轻松地完成各种设计。ADIsimPLL包含很多嵌入式工具和选项，可改进PLL电路设计精度，加快产品上市。

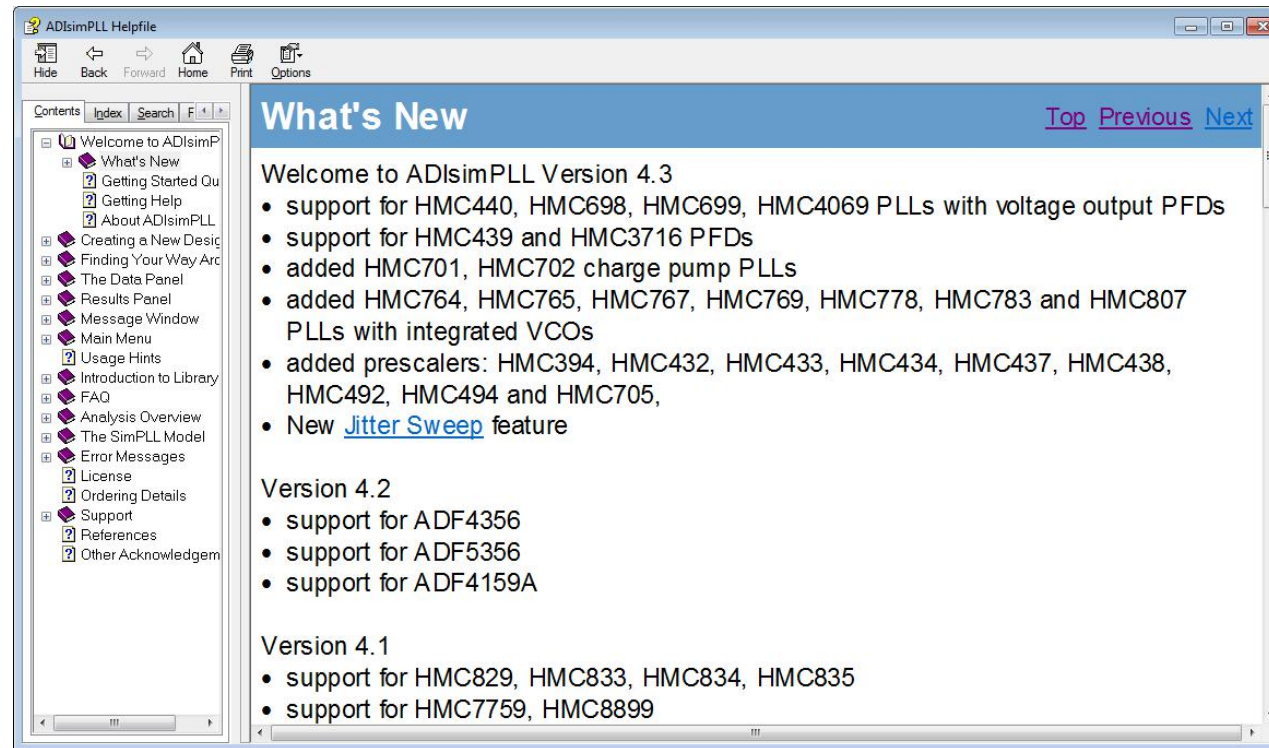
www.analog.com/adisimpll



ADIsimPLL – PLL仿真器和环路滤波器设计

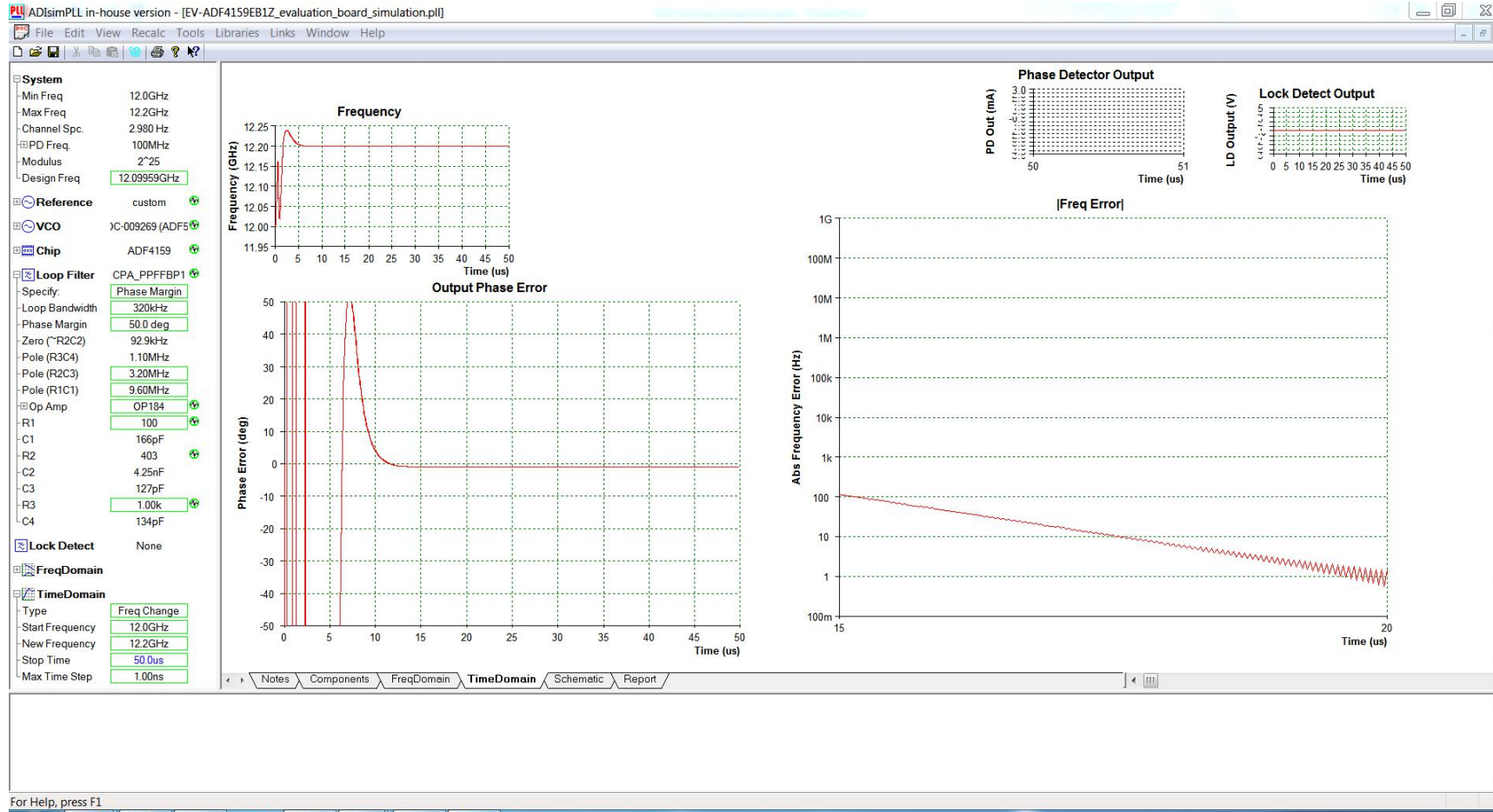
可从analog.com获得：www.analog.com/adisimpll

4.3版增加了许多HMC PLL



在线技术支持论坛仍提供旧版HittPLL：<https://ez.analog.com/message/251664#comment-251664>

ADIsimPLL – 主要GUI



应用工程师、在线支持论坛、参考电路、主要特性数据表、应用笔记

- ▶ 分布于不同时区的应用和营销工程师（土耳其、爱尔兰、北美）
- ▶ 在线技术支持论坛非常活跃
 - 射频与微波社区
- ▶ Analog.com上目前列出了超过13种参考电路
 - 用于我们PLL和PLLVC0的稳压器
 - 接口调制器/解调器
 - 时钟转换器和多种其他器件
 - 使我们的PLL性能发挥到极致
- ▶ 所有PLL和PLLVC0的评估板
- ▶ 其他应用笔记、文章和主要特性数据表



ADI公司PLL和PLLVC0产品系列总结

- ▶ 我们有种类最多的分立PLL和集成PLLVC0
- ▶ PLL和VCO相位噪声性能适合非常苛刻的应用
- ▶ 我们有相关相位解决方案
- ▶ 我们有最快锁定的PLL
- ▶ 我们有最好的软件和工具
- ▶ 我们有最佳的设计导入支持

谢谢观看！

- ▶ **ADI中国地区技术支持热线：4006 100 006**
- ▶ **ADI中国地区技术支持信箱：**
china.support@analog.com
- ▶ **ADI样片申请网址：**
<http://www.analog.com/zh/sample>