

改进的DAC相位噪声测量 以支持超低相位噪声DDS应用

作者：Peter Delos和Jarret Liner



简介

在雷达应用中，相位噪声是要求高杂波衰减的系统的性能指标。相位噪声是所有无线电系统都会关心的问题，但是雷达相比通信系统来说特别要求非常靠近载波频率的频偏位置的相位噪声性能。

这些高性能系统中的系统设计人员将选择超低相位噪声振荡器，并且从噪声角度来讲，信号链的目标就是使振荡器相位噪声曲线的恶化最小。这就要求对信号链上的各种元器件做残余或加性的相位噪声测量。

最近发布的高速数模转换器(DAC)产品对于频率转换阶段需要的任何LO的波形生成和频率创建都非常有吸引力。然而，雷达目标会挑战DAC相位噪声的性能。

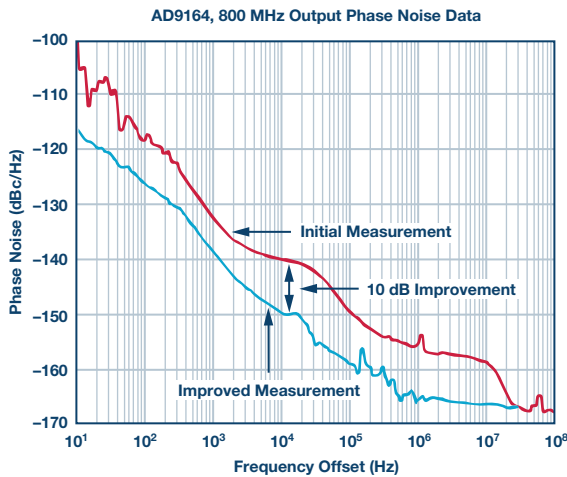


图1. AD9164相位噪声的改进。

在本文中，我们将展示AD9164 DAC在10KHz频偏处超过10dB的改进的测量结果。改进如图1所示，并且我们将会讨论如何通过结合电源稳压器选择和测试设置改进来达到这一结果。

相位噪声定义

相位噪声是周期信号过零点偏差的测量。考虑有相位波动的余弦波

$$x(t) = \cos(2\pi ft + \Phi(t))$$

f = 瞬时频率

$\Phi(t)$ = 随机波动相位 (单位: 弧度)

相位噪声可以通过相位变化的功率谱密度来确定

$$S(f) = \frac{\Phi(t)_{RMS}^2}{BW} \text{ 单位 } \frac{\text{rad}^2}{\text{Hz}}$$

就线性而言，单边相位噪声定义为

$$L(f) = \frac{S(f)}{2}$$

相位噪声通常以10log(L(f))的dBc/Hz为单位来表示。然后将相位噪声数据绘制到相对RF载波的偏移频率中。

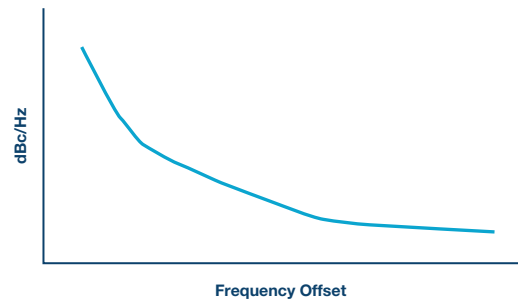


图2. 相位噪声绘图方法。

相位噪声进一步的重要定义就是绝对相位噪声和残余相位噪声。绝对相位噪声是系统中测量的总相位噪声。残余相位噪声是测试设备的加性相位噪声。这种区别在测试设置和确定系统中元件级别相位噪声贡献的过程中至关重要。

DAC/DDS相位噪声测量方法

本部分图表显示DDS相位噪声测试设置。对于DAC相位噪声测量，可以设想将DAC作为直接数字频率合成器(DDS)子系统的一部分。DDS是通过将与DAC通信的单片IC或FPGA或ASIC中的数字正弦波模式送给DAC来实现。在现代DDS设计中，数字相位误差可以远低于DAC误差，而且DDS相位噪声测量通常受限于DAC的性能。

最简单和最常见测试设置如图3所示。一个时钟源用于DDS并且DDS的输出馈入到一个互相关类型的相位噪声分析仪。由于只需要一个DDS，所以很容易实现。然而，在这样的测试设置下，没有办法提取振荡器的贡献以便仅仅显示DDS的相位噪声。

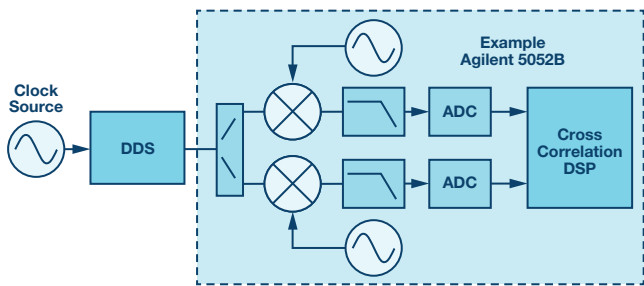
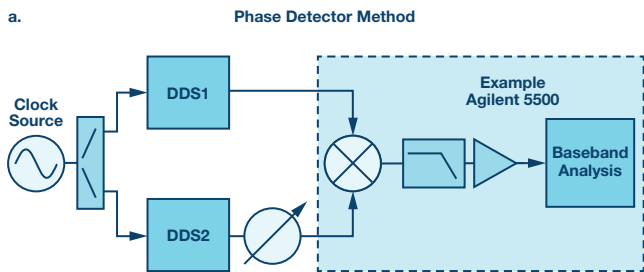


图3. 绝对相位噪声DDS测试设置包含DAC和振荡器噪声。

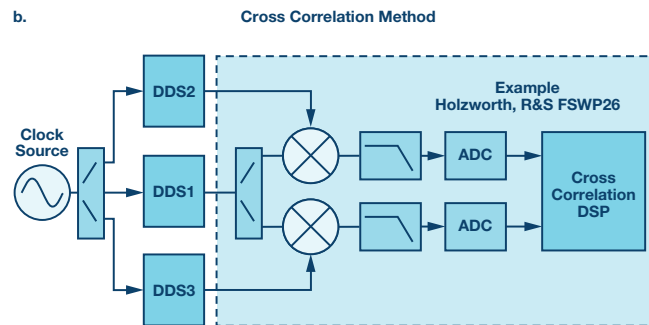
图4显示了两种常用的方法用来从测量中去除振荡器的相位噪声，提供残余噪声测量。这些测量方法的缺点在于，在测试设置中需要额外的DAC。但是，优点是可以应用于系统级分析预算，作为DAC相位噪声贡献的一种非常好的指标。



- Pros**
 ▶ Low Noise Test Setup
- Cons**
 ▶ Assumes DDS1 = DDS2
 ▶ Slow/Tedious

图4a. 使用鉴相器方法的DDS残余相位噪声测量。

图4a显示的是鉴相器方法。这种情况下，使用两个DAC，将两个DUT都下变频至DC，可以减去振荡器的贡献。



- Pros**
 ▶ Measures DDS1
 ▶ Can Be Automated
- Cons**
 ▶ Three DDSs

图4b. 使用互相关方法测量DDS残余相位噪声。

图4b显示的是使用互相关相位噪声分析的方法。这种情况下，DDS2和DDS3可以用于将时钟贡献转换到测量的LO端口，在互相关算法中去掉它们的贡献，并在测量中获取DDS1残余相位噪声。

电源噪声贡献

在低噪声模拟和RF设计中，电源噪声是公认需要考虑的因素。电源纹波会周期性的调制到RF载波并在RF载波的频偏等于纹波频率的地方产生杂散。稳压器1/f噪声也会调制到RF载波中，并体现在相位噪声曲线中。图5显示了这些原理。

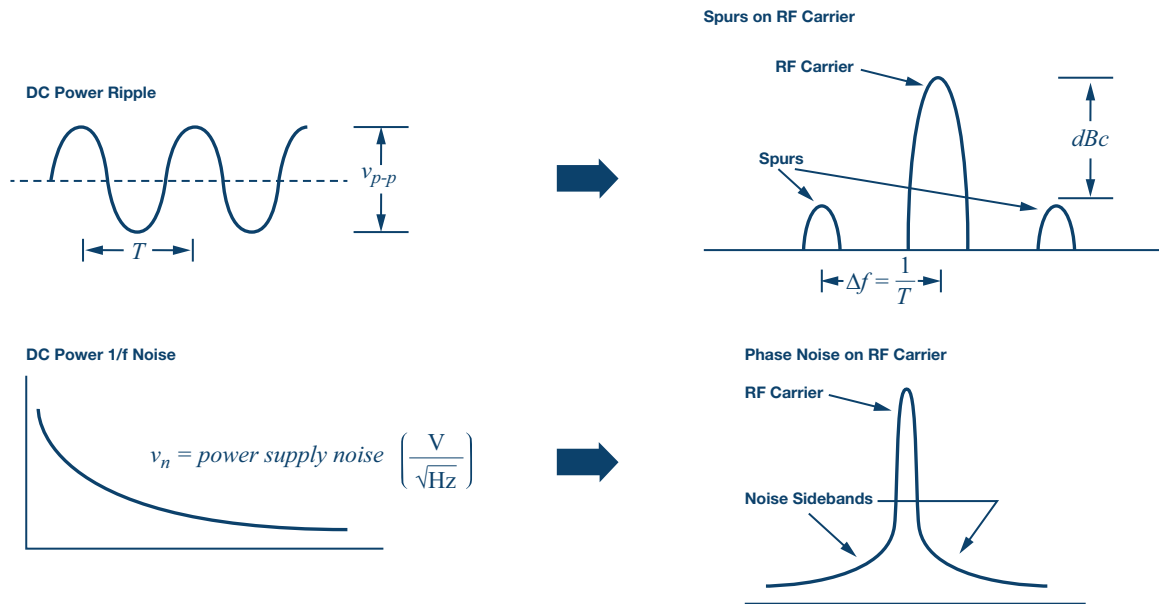


图5. 电源缺陷调制到RF载波上。

测量结果

在研究DAC真正的相位噪声性能的过程中，需要同时考虑测试设置和稳压器的噪声性能。

DAC初始评估板包含ADP7140稳压器用于给模拟和时钟提供电压。将噪声谱密度与最近发布的超低噪声稳压器和所选的ADM7155进行对比。图6如产品数据手册所示显示了这些噪声密度的对比

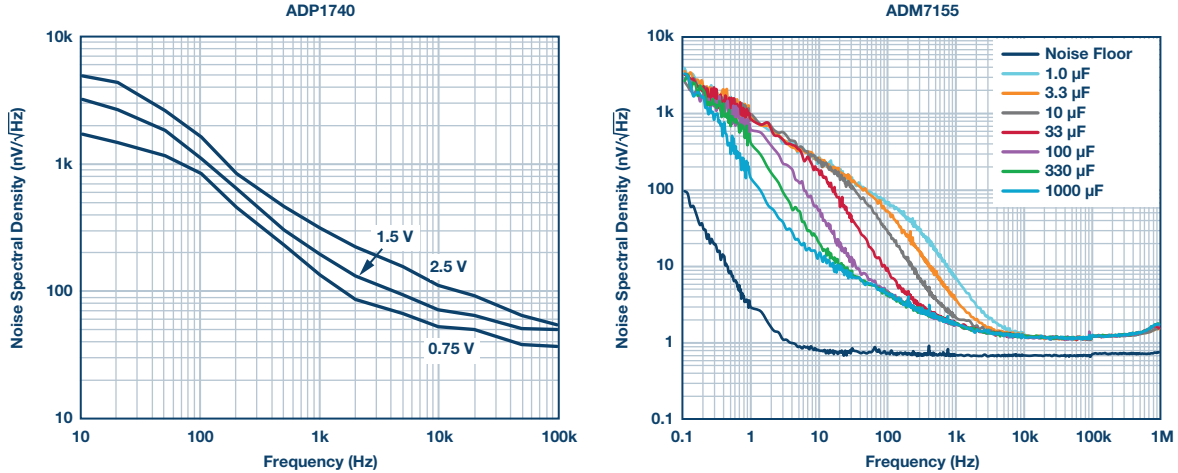


图6. 稳压器噪声密度比较。注意Y轴单位——ADM7155提高了一个数量级。

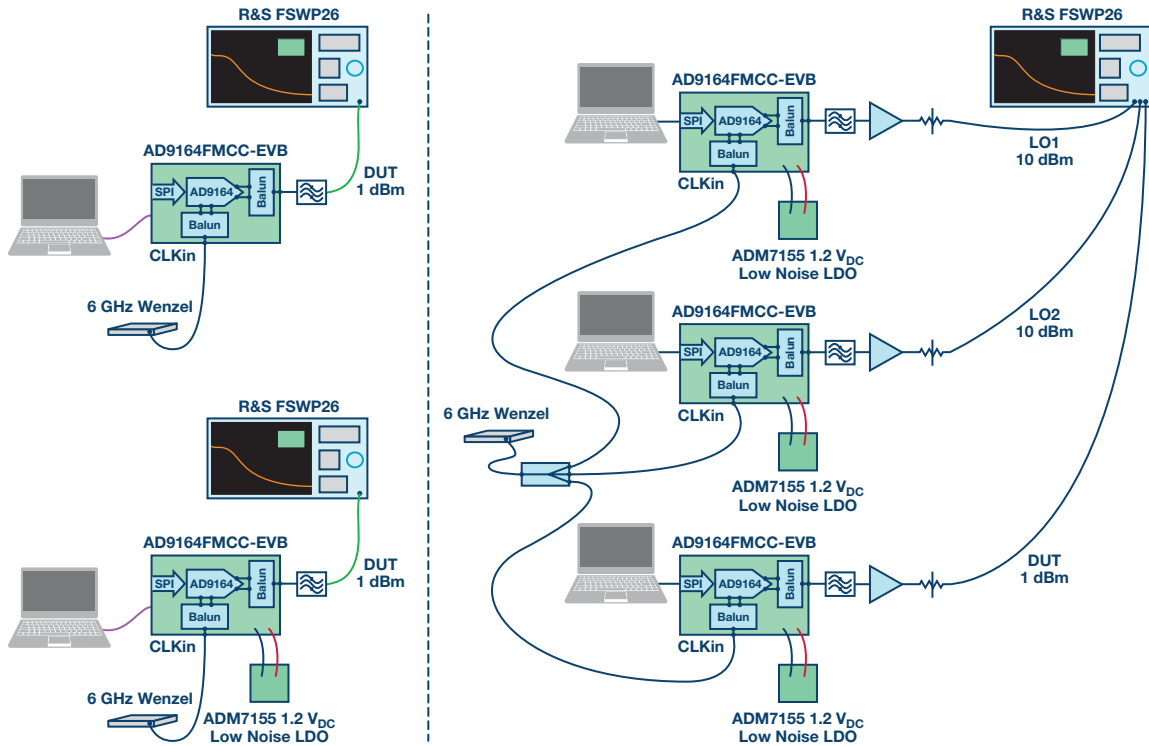


图7. AD9164相位噪声测量的测试设置。

情况。电源修改仅将ADM7155用于AD9164时钟（数据手册引脚VDD12_CLK）和模拟电压（数据手册引脚VDD12A）。

接下来，考虑残余相位噪声的测试设置选项。由于实用性和方便性，自带互相关方法的Rohde and Schwarz FSWP成为首选。使用的测试设置如图7所示。

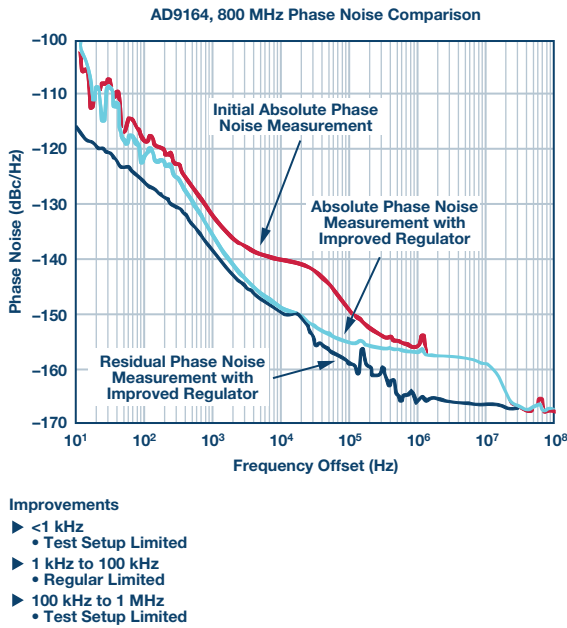


图8. AD9164 800 MHz输出相位噪声比较。

图8显示了三种情况的测量结果。红色曲线显示了初始评估板的绝对相位噪声测量结果。浅蓝色曲线也是一种绝对测量结果，但提升了稳压器性能。深蓝色曲线是残余相位噪声测量结果，也提升了稳压器性能。

测量结果指出了在初始研究中并不明显的三种常规的限制区间。低于1 kHz的频率受限于时钟源近载波噪声。1 kHz至100 kHz的频率受限于稳压器选择。高于100 kHz的频率受限于时钟源。由于使用的时钟是用晶体振荡器倍频产生的6GHz，滚降来自于倍频电路中的RF滤波器，因此高于10 MHz的急剧下降来自于时钟源。

其他的一些DAC频率也使用了提升稳压器性能的残余相位噪声方法进行了测量，图9中概述了部分。这些改进在几个评估板上都做了复现，所有的情况都显示了同样的改进后的结果。

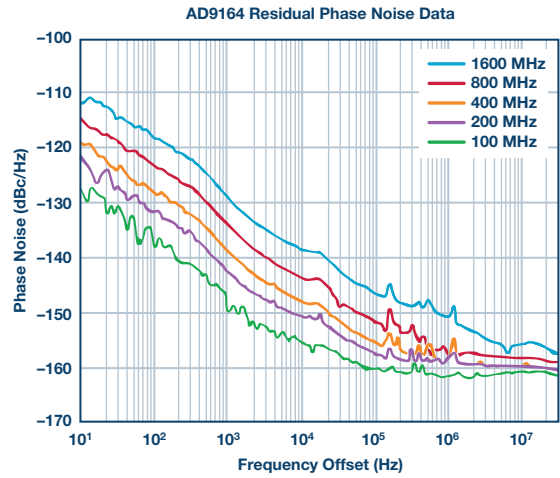


图9. 改进了低噪声稳压器性能的AD9164残余相位噪声测量。

表1 包含一流的噪声密度性能的稳压器系列

产品型号	V_{IN} 最小值(V)	V_{IN} 最大值(V)	V_{OUT} 选项或调节范围(V)	I_{OUT} (mA)	PSRR @ 1 kHz	PSRR @ 1 MHz (μV_{rms}) ¹	有效值噪声 100 Hz 至 100 kHz (nV/\sqrt{Hz})	噪声谱密度 100 kHz (nV/\sqrt{Hz})	额定 I_{OUT} 下的压差典型值(mV)	总精度最大值($\pm\%$)	封装
ADM7150	4.5	16	固定: 1.5 至 5.0	800	94	62	1	2	600	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7151	4.5	16	可调: 1.5 至 5.1	800	94	62	1	2	600	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7154 新产品	2.3	5.5	固定: 1.2 至 3.3	600	90	58	1	1.2	120	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7155 新产品	2.3	5.5	可调: 1.2 至 3.3	600	90	58	1	1.2	120	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC

¹噪声与固定输出电压无关。

超低噪声稳压器系列的噪声密度相似，如表1所示。正如本文所展示的，稳压器对DAC的相位噪声影响是值得注意的，超低噪声稳压器系列推荐用于任何要求最佳的相位噪声性能的RF系统中。

结语

相位噪声基础定义的复习、绝对和残余相位噪声、DAC相位噪声测量测试设置以及稳压器噪声贡献。

本文演示的DAC相位噪声性能改进包含残余相位噪声测量方法和最佳稳压器选择。最终结果是，通过ADI公司的低噪声稳压器系列对模拟电压和时钟电压供电时，AD9164现在可支持超低相位噪声、基于DDS的应用。

参考文献

Bergeron, Jarrah, “分析及管理电源噪声和时钟抖动对高速DAC相位噪声的影响”，《模拟对话》，第51卷，2017年。

Calosso, Claudio E., Yannick Gruson和Enrico Rubiola, “DDS中的相位噪声和幅度噪声”，IEEE频率控制专题论文集，2012年。

Jayamohan, Umesh, “为GSPS或RF采样ADC供电：开关与LDO”。《模拟对话》，第50卷，2016年。

“11729B-1产品笔记，微波振荡器的相位噪声特性：鉴相器方法”，Agilent, 2007年5月。

Reeder, Rob, “高速ADC的电源设计”，ADI公司，2012年。

Walls, Warren F., “交叉相关相位噪声测量”，IEEE频率控制专题论文集，1992年。

Peter Delos [peter.delos@analog.com]是ADI公司航空航天和防务部的技术主管。他于1990年获得美国弗吉尼亚理工大学电气工程学士学位(BSEE)，并于2004年获得美国新泽西理工学院电气工程硕士学位(MSEE)。1990年至1997年，他为美国海军核电站计划工作。工作内容包括：完成海军核电站学校官员计划，担任海军潜艇基地教师，领导康涅狄格州格罗顿的海狼级潜艇的现场电气工程师。

1997年，他接受了洛克希德马丁公司在新泽西州穆尔斯顿的一个职位，开始了一段硕果累累的职业历程，为多个雷达和电子战计划开发接收机/激励器和频率合成器。这段经验包括架构定义、详细设计、快速原型开发、制造、现场安装和协调多个工程专业。他的工作引领了相控阵接收器/激励器从集中式架构到阵列上数字波束合成系统的转变。



Peter Delos

Jarrett Liner [jarret.liner@analog.com]是ADI公司航空航天和防务部（位于美国北卡罗来纳州格林斯博罗）的RF系统应用工程师，他在RF系统和元件设计方面经验丰富。

此前，他是军用和航空航天领域SiC衬底GaN放大器应用工程师。其先前的经历还包括从事13年的RF IC WLAN功率放大器和前端模块的设计与测试工作。他曾作为电子技师在美国海军服役6年。Jarrett于2004年获得美国北卡罗来纳州农业技术州立大学（位于北卡罗来纳州格林斯博罗）电气工程学士学位。

当Jarrett不在实验室仿真电路或测量数据时，他可能在山地上骑自行车、在健身房教授自行车课程、跑步或者在庭院与他的四个孩子追逐嬉戏。



Jarrett Liner