



CLOCK 常见问题解答

Please Note: Analog Devices Inc. has the full intellectual property (IP) of this document and the contents described in this document. Analog Devices Inc. has the right to change any of the descriptions in the document without notifying the readers. If readers need any technical help, please contact China Applications Center via china.support@analog.com or the toll-free No. 4006 100 006. ADI makes no representations or warranties with respect to the technical information provided herein, and assumes no liability for any applications assistance or customer product design. You are fully responsible for all design decisions and engineering with regard to your products, including decisions relating to application of ADI products. ADI is providing the technical information for informational purposes only, and ADI is not offering or providing engineering services or advice concerning your specific designs and disclaims any liability with respect thereto.

目录

目录	II
插图列表	III
表格列表	IV
第 1 章 简介	5
1.1 产品简介	5
1.2 参考资料	7
第 2 章 原理简介	9
2.1 原理	9
2.2 参数	11
第 3 章 常见应用问题解答	13
3.1 为什么 AD9515/6/7/8 的输出有参考杂散?	13
3.2 为什么输出信号的相位噪声形状因为 PLL 的设置改变?	13
3.3 如何优化 PLL 的环路可得到最好的相位噪声或抖动性能?	13
3.4 模拟锁相环环路不锁定, 如何调试?	14
3.5 PLL 的锁定时间与哪些参数有关?	14
3.6 PLL 在常温下可以锁定, 但是在高温或低温下失锁?	15
3.7 在参考源噪声较好时, 为什么鉴相频率越高, 相位噪声性能越好?	15
3.8 外部 VCO 所需要的调谐电压大于电荷泵的供电电压怎么办?	15
3.9 VCO 和 VCXO 的特点?	15
3.10 AD951x 在相同的输出频率下不同分频比会导致抖动性能的变化吗?	16
3.11 使用 AD951x 时钟芯片时, Phase offset (coarse delay) 会影响抖动吗?	16
3.12 改变相位粗调 (coarse phase adjust) 设置, 但是输出没有发生变化, 什么原因?	16
3.13 相位细调 (fine delay) 的原理和注意事项?	16
3.14 AD951x 相位粗调和细调有什么区别?	17
3.15 AD951x 细调会影响输出的抖动吗?	17
3.16 没有使用 AD951x 的 CLK 输入, 可以悬空吗?	17
3.17 时钟分配器的时钟源一般有哪些?	17
3.18 时钟芯片的参考输入是差分的, 我的参考源是单端的, 如何用?	18
3.19 可以使用时钟芯片驱动混频器的 LO 信号吗?	18
3.20 如果 AD951x 参考源输入 (REFIN) 断开了, 时钟输出会是什么?	18
3.21 使用 LVPECL 相对于 LVDS 输出的优点和缺点?	18
3.22 如果使用 LVPECL 输出, 但是需要的只是 LVPECL 的一端, 不用的一端端接 50 欧电阻。这样做会影响这一单端输出的抖动性能吗?	18
3.23 如何端接 AD9516 的 LVPECL 输出可获得最好的抖动性能?	19
3.24 有些 AD951x 系列数据手册上的 LVPECL 端接不同于经典的接法 (50 欧到 V_s-2V)。为什么要选择 200 欧姆的电阻到地, 能否使用 100 欧姆的电阻改善压摆率 (或抖动性能)?	19
3.25 在我的板子上, 为什么得不到与数据手册相同的低抖动性能, 哪个地方出了问题?	20
3.26 抖动和相位噪声的关系?	20
3.27 为 ADC 提供时钟, 时钟抖动的等效带宽是多大?	21
3.28 输出频谱的谐波杂散成分是否影响抖动?	21
3.29 以相同的时钟源合成频率, 倍频或分频, 抖动参数是否随频率不同而变化? 相位噪声是否随频率不同而变化?	21
3.30 数据手册上飞秒级的抖动数据怎么测试的?	22
3.31 我想用 AD9516/7/8 实现输出沿与参考输入沿对齐, 但是每次上电后这两个沿之间的时间差都有变化, 请问 AD9516 能否实现这样的功能?	22
3.32 什么叫 Zero-delay 功能?	23
3.33 什么叫参考输入切换、保持?	24
3.34 有哪些常用的频率?	24

插图列表

图 2-1 PLL 的传输函数和各处的噪声贡献.....	9
图 2-2 相位噪声贡献图	10
图 3-1 LVPECL 输出的三种端接方式	19
图 3-2 LVPECL 输出简化等效电路.....	20
图 3-3 相位噪声和抖动	21
图 3-4 通过 SYNC 引脚使各路输出同步.....	23
图 3-5 Zero-delay 结构.....	23
图 3-6 Zero-delay 同步结果.....	24

表格列表

表 1-1 时钟芯片列表.....	5
表 3-1 不同的环路带宽与相位裕度对锁定时间的影响.....	14

第1章 简介

1.1 产品简介

ADI 的时钟芯片主要是 AD95xx 系列，用于合成频率，提供低抖动的时钟信号；ADCLK9xx 系列为时钟 Buffer，用于时钟分配，在低附加抖动的条件下提供多路 LVDS，LVPECL 等时钟驱动。

表 1-1 时钟芯片列表

Part	Product Description	+Supply Voltage (V)	Number of Outputs	On-Chip VCO or DCO	Output Frequency (MHz)	Output Logic	Random Jitter (ps-RMS)	
AD9510	Multi-Output Generator	Clock	3.3	8	No	1200	CMOS/LVDS/LVPECL	0.225
AD9511	Multi-Output Generator	Clock	3.3	5	No	1200	CMOS/LVDS/LVPECL	0.225
AD9512	Clock Divider		3.3	5	No	1200	CMOS/LVDS/LVPECL	0.225
AD9513	Clock Divider		3.3	3	No	800	CMOS/LVDS	0.3
AD9514	Clock Divider		3.3	3	No	1600	CMOS/LVDS/LVPECL	0.225
AD9515	Clock Divider		3.3	2	No	1600	CMOS/LVDS/LVPECL	0.225
AD9516-0	Multi-Output Generator	Clock	3.3	14	Yes	2950	CMOS/LVDS/LVPECL	0.4
AD9516-1	Multi-Output Generator	Clock	3.3	14	Yes	2650	CMOS/LVDS/LVPECL	0.4
AD9516-2	Multi-Output Generator	Clock	3.3	14	Yes	2335	CMOS/LVDS/LVPECL	0.4
AD9516-3	Multi-Output Generator	Clock	3.3	14	Yes	2250	CMOS/LVDS/LVPECL	0.4
AD9516-4	Multi-Output Generator	Clock	3.3	14	Yes	1800	CMOS/LVDS/LVPECL	0.4
AD9517-0	Multi-Output Generator	Clock	3.3	12	Yes	2950	CMOS/LVDS/LVPECL	0.4
AD9517-1	Multi-Output Generator	Clock	3.3	12	Yes	2650	CMOS/LVDS/LVPECL	0.4
AD9517-2	Multi-Output Generator	Clock	3.3	12	Yes	2335	CMOS/LVDS/LVPECL	0.4
AD9517-3	Multi-Output Generator	Clock	3.3	12	Yes	2250	CMOS/LVDS/LVPECL	0.4
AD9517-4	Multi-Output Generator	Clock	3.3	12	Yes	1800	CMOS/LVDS/LVPECL	0.4
AD9518-0	Multi-Output Generator	Clock	3.3	6	Yes	2950	LVPECL	0.4
AD9518-1	Multi-Output Generator	Clock	3.3	6	Yes	2650	LVPECL	0.4
AD9518-2	Multi-Output Generator	Clock	3.3	6	Yes	2335	LVPECL	0.4

AD9518-3	Multi-Output Generator	Clock	3.3	6	Yes	2250	LVPECL	0.4
AD9518-4	Multi-Output Generator	Clock	3.3	6	Yes	1800	LVPECL	0.4
AD9520-0	Multi-Output Generator	Clock	3.3	12	Yes	1600	CMOS/LVDS/LVPECL	0.225
AD9520-1	Multi-Output Generator	Clock	3.3	12	Yes	2650	CMOS /LVPECL	0.225
AD9520-2	Multi-Output Generator	Clock	3.3	12	Yes	2335	CMOS /LVPECL	0.225
AD9520-3	Multi-Clock Generator	Output	3.3	12	Yes	2250	CMOS /LVPECL	0.225
AD9520-4	Multi-Output Generator	Clock	3.3	12	Yes	1800	CMOS/LVDS/LVPECL	0.225
AD9520-5	Multi-Output Generator	Clock	3.3	12	No	2400	CMOS/LVDS/LVPECL	0.225
AD9522-0	Multi-Output Generator	Clock	3.3	12	Yes	2950	CMOS/LVDS	0.242
AD9522-1	Multi-Output Generator	Clock	3.3	12	Yes	2650	CMOS/LVDS	0.242
AD9522-2	Multi-Output Generator	Clock	3.3	12	Yes	2335	CMOS /LVPECL	0.242
AD9522-3	Multi-Output Generator	Clock	3.3	12	Yes	2250	CMOS /LVPECL	0.245
AD9522-4	Multi-Output Generator	Clock	3.3	12	Yes	1600	CMOS/LVDS	0.242
AD9522-5	Multi-Output Generator	Clock	3.3	12	No	2400	CMOS/LVDS/LVPECL	0.242
AD9523	Low Jitter, Dual loop Clock Generator		3.3	14	Yes	-	CMOS/HSTL/LVDS/LVPECL	0.225
AD9523-1	Low Jitter, Dual loop Clock Generator		3.3	14	Yes	1000	CMOS/HSTL/LVDS/LVPECL	0.187
AD9524	Low Jitter, Dual loop Clock Generator		3.3	14	Yes	1000	CMOS/HSTL/LVDS/LVPECL	0.225
AD9525	Low Jitter Clock Generator		3.3	8	NO		CMOS /LVPECL	
AD9540	Clock Synchronizer	Generator	3.3	1	No	655	CML/PECL	0.7
AD9548	Quad/Octal Input Network Clock Generator/Synchronizer		3.3	4	Yes	450	CMOS /LVDS/LVPECL	0.32
AD9549	Clock Synchronizer	Generator	3.3	2	Yes	750	CMOS/HSTL	0.6
AD9550	-		3.3	2	Yes	810	CMOS /LVDS/LVPECL	0.89
AD9551	Multiservice Generator	Clock	3.3	2	Yes	900	CMOS /LVDS/LVPECL	0.8
AD9552	Fractional-N Phase Locked loop (PLL) Based Clock Generator		3.3	2	Yes	900	CMOS /LVDS/LVPECL	0.7
AD9553	-		3.3	2	Yes	810	CMOS /LVDS/LVPECL	0.89
AD9557	-		3.3	4	-	1,250	CMOS /LVDS/HSTL	185
AD9558	-		3.3	6	-	1250	CMOS /LVDS/HSTL	185
AD9559	-		3.3	4	-	1250	CMOS /LVDS/HSTL	148

AD9572	Multi-Output Clock Generator	3.3	7	Yes	156.25	LVDS/LVPECL	0.418
AD9573	PCI-EXPRESS CLOCK GENERATOR IC, PLL CORE, DIVIDERS, TWO OUTPUTS	3.3	2	Yes	100	LVDS/LVCMOS	0.54
AD9577	-	3.6	8	Yes	637.5	CMOS	460
ADCLK846	LVDS clock fanout buffer	1.8	6	No	1200	CMOS/LVDS	0.1
ADCLK854	LVDS clock fanout buffer	1.8	12	No	1200	CMOS/LVDS	0.1
ADCLK905	Clock Buffer	3.3	1	No	6000	ECL/NECL/PECL	0.06
ADCLK907	Clock Buffer	3.3	2	No	6000	ECL/NECL/PECL	0.06
ADCLK914	-	-	1	No	-	HVDS	0.11
ADCLK925	Clock Buffer	3.3	2	No	6000	ECL/NECL/PECL	0.06
ADCLK944	-	3.3	4	-	7	CMOS /LVDS/LVPECL	50
ADCLK946	Six LVPECL Outputs, SiGe Clock Fanout Buffer	3.3	6	No	4800	LVPECL	0.075
ADCLK948	SiGe Clock Fanout Buffer	3.3	8	-	4800	CMOS /LVDS/LVPECL	0.075
ADCLK950	SiGe Clock Fanout Buffer	3.3	10	-	4800	CMOS /LVDS/LVPECL	0.075
ADCLK954	SiGe Clock Fanout Buffer	3.3	12	No	4800	LVPECL	0.075
ADN4670	Programmable Low Voltage 1:10 LVDS Clock Driver	2.5	10	No	1100	LVDS	0.225

1.2 参考资料

参考资料:

AN-0974: Multicarrier TD-SCMA Feasibility

http://www.analog.com/static/imported-files/application_notes/AN-0974.pdf

AN-0983: Introduction to Zero-Delay Clock Timing Techniques

http://www.analog.com/static/imported-files/application_notes/AN-0983.pdf

AN-927: Determining if a Spur is Related to the DDS/DAC or to Some Other Source (For Example, Switching Supplies)

http://www.analog.com/static/imported-files/application_notes/131351807AN_927.pdf

AN-501: Aperture Uncertainty and ADC System Performance

http://www.analog.com/static/imported-files/application_notes/59756494064912342505447175991257024546937062255921511183854180687755AN501_a.pdf

AN-1066: Power Supply Considerations for AD9523, AD9524, and AD9523-1

Low Noise Clocks

http://www.analog.com/static/imported-files/application_notes/AN-1066.pdf

AN-1079: Determining the Maximum Tolerable Frequency Drift Rate of the AD9548 System Clock in Low Loop Bandwidth Applications

http://www.analog.com/static/imported-files/application_notes/AN-1079.pdf

AN-1002: The AD9548 as a GPS Disciplined Stratum 2 Clock

http://www.analog.com/static/imported-files/application_notes/AN-1002.pdf

AN-1051: Reference Design for the AD9552 Oscillator Frequency Upconverter

http://www.analog.com/static/imported-files/application_notes/AN-1051.pdf

AN-756: Sampled Systems and the Effects of Clock Phase Noise and Jitter

http://www.analog.com/static/imported-files/application_notes/5847948184484445938457260443675626756108420567021238941550065879349464383423509029308534504114752208671024345AN_756_0.pdf

MT-008: Converting Oscillator Phase Noise to Time Jitter

<http://www.analog.com/static/imported-files/tutorials/MT-008.pdf>

AN-1067: The Power Spectral Density of Phase Noise and Jitter: Theory, Data Analysis, and Experimental Results

http://www.analog.com/static/imported-files/application_notes/AN-1067.pdf

第2章 原理简介

2.1 原理

电子系统的核心是时钟链路。时钟的原理和基础是锁相环和 DDS。时钟通过频率合成，提供所需要的频率、电平驱动、时钟同步等功能。相位噪声和抖动特性是时钟输出信号最重要和最基本的参数。锁相环的各个组成部分，包括参考源、参考分频、鉴相器、环路滤波器、压控振荡器等都对最终 PLL 的输出贡献噪声。如下图所示。传输函数决定了各个部分噪声的传输特性。

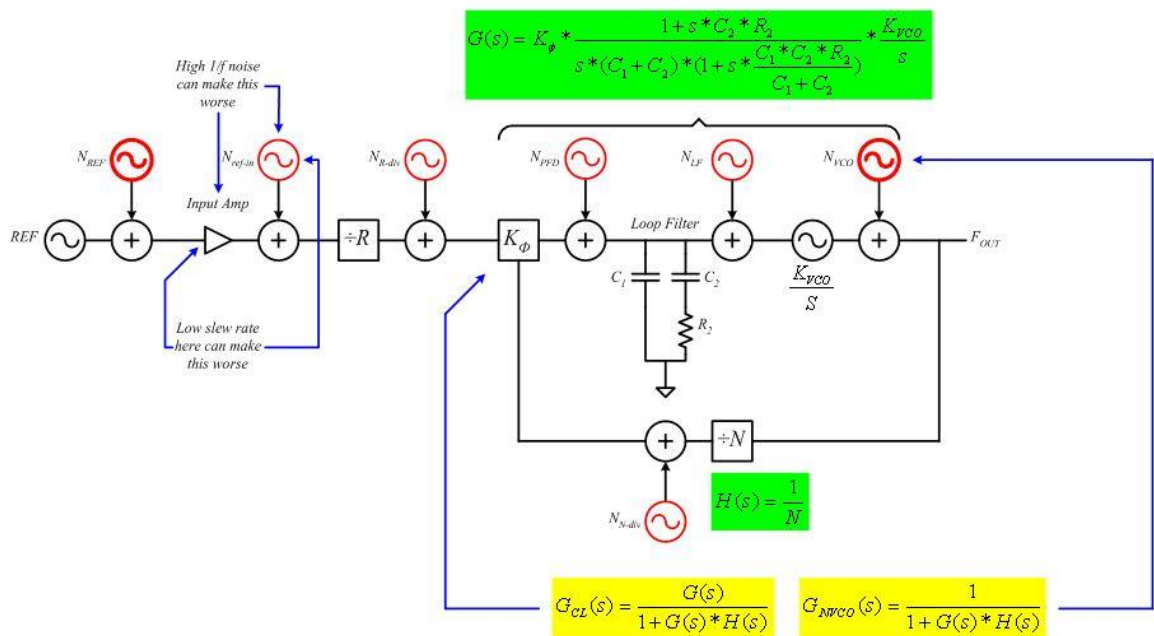


图 2-1 PLL 的传输函数和各处的噪声贡献

环路的传输函数、VCO 处噪声的传输函数、参考源噪声的传输函数可推导得到下面的等式。可以看出，VCO 的相位噪声是高通特性，参考源的噪声是低通特性。

$$G(s) = K_{\phi} * \frac{1 + s * C_2 * R_2}{s * (C_1 + C_2) * (1 + s * \frac{C_1 * C_2 * R_2}{C_1 + C_2})} * \frac{K_{VCO}}{s} \quad \text{when } s \rightarrow 0, G(s) \rightarrow \infty; \text{ when } s \rightarrow \infty, G(s) \rightarrow 0$$

$$G_{NVCO}(s) = \frac{1}{1 + G(s) * H(s)} \quad \text{when } s \rightarrow 0, G_{NVCO}(s) \rightarrow 0; \text{ when } s \rightarrow \infty, G_{NVCO}(s) \rightarrow 1 \quad \text{High Pass For VCO PN!}$$

$$G_{CL}(s) = \frac{G(s)}{1 + G(s) * H(s)} \quad \text{when } s \rightarrow 0, G_{CL}(s) \rightarrow 1/H(s); \text{ when } s \rightarrow \infty, G_{CL}(s) \rightarrow 0 \quad \text{Low Pass For Ref PN}$$

$$H(s) = \frac{1}{N}$$

下图显示的是 AD9516 参考源相位噪声、VCO 的噪声、鉴频鉴相器 (PLL) 的噪声在各自的传输函数作用后的结果，以及对最后输出信号总噪声的贡献。总噪声的低频部分的噪声由参考源决定 (<1KHz)，中间平坦部分的噪声 (1k~200k) 由鉴频鉴相器贡献，环路带外部分的噪声由 VCO 的噪声主导。当然，这是正常情况下的图形，根据不同源的噪声大小，这个图形有所变化。但是，不变的是传输函数的低通、高通的传输特性。

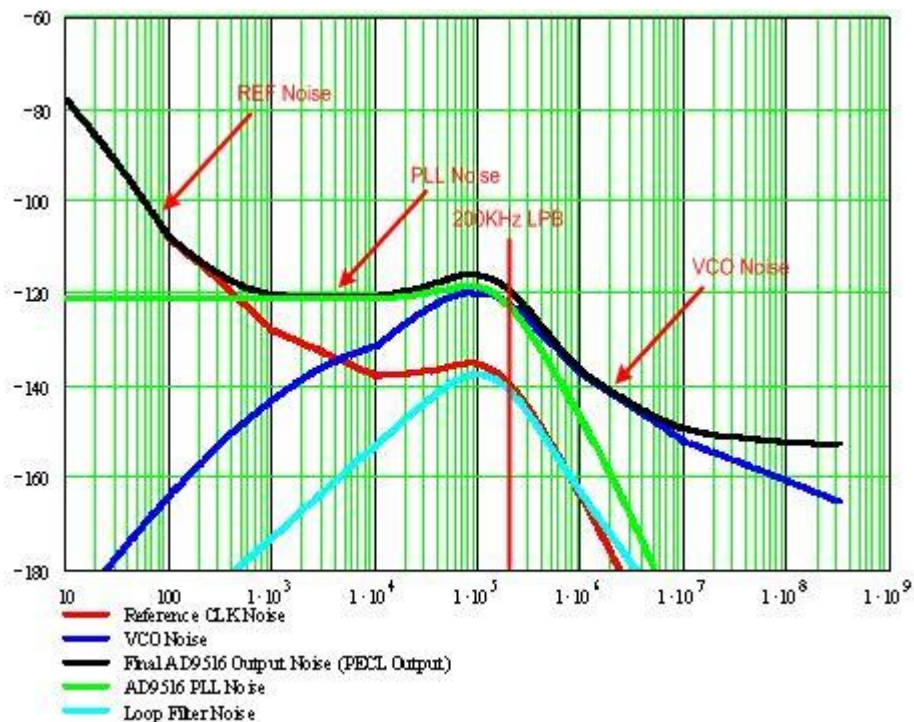


图 2-2 相位噪声贡献图

模拟锁相环、数字锁相环、DDS 的区别和联系：模拟 PLL 构架简单，是时钟、本振信号频率合成的基础，具有极高的性能和低噪声，常用的芯片有 AD9516/7/8，AD9520/2/3/4/5，AD957x 等；数字 PLL 具有出色的抖动净化功能，环路滤波器和 DCO 由数字设置，极其灵活，支持非常低的环路带宽，常用的芯片有 AD9548、AD9549、AD9558、AD9557 等；直接数字

频率合成器可极其灵活地产生频率，具有极快的扫频和跳频功能，非常受军用和仪器仪表应用欢迎。

2.2 参数

下面介绍有关芯片的重要参数。

相位抖动和相位噪声：理想情况下，在正弦波的每个周期，相位都会随着时间从 0° 连续均匀地变化到 360° 。不过，实际信号的相位随时间的变化与理想情况会有一些的偏差，这种现象称为相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正则)分布。这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱表述为相对于载波的一定频率偏移处1 Hz带宽内包含的噪声功率与载波功率的比值，其单位为dBc/Hz。对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对ADC、DAC和RF混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动：相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

附加的相位噪声：附加相位噪声指被测器件本身所贡献的相位噪声量。所有外部振荡器或时钟源的相位噪声都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。当有多个相位噪声源时，总相位噪声等于各噪声源的平方和的平方根。因此很多器件的数据手册给出Additive phase noise这个参数，是为了衡量该器件本身所产生的噪声，而不是最终输出的噪声。

附加的时钟抖动：附加的时间抖动指可归因于被测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占了最终输出时间抖动的主要部分。与上述附加的相位噪声是对应量。

第3章 常见应用问题解答

下面按顺序对 FAQ 进行详细的叙述。其中标题为问题的叙述，标题以下的正文为问题的详细解答。

3.1 为什么 AD9515/6/7/8 的输出有参考杂散？

参考杂散出现以载波为中心，以鉴相频率 f_{PFD} 为间隔的点上，可能由以下几个方面的原因造成的：

1. 当电荷泵电流工作在顺从电压以外的范围时，电荷泵电流失配；
2. 参考源通过电路板耦合到输出；
3. 参考源通过电源耦合；
4. 参考源通过环路滤波进入到 PLL；
5. 环路滤波器太宽，不足以抑制参考杂散；
6. 如果 Status 引脚设置的是 R 分频或 N 分频输出的 AC 频率，这个频率会造成杂散。建议将这个引脚设置成静态输出，例如 PLL 的锁定指示。

3.2 为什么输出信号的相位噪声形状因为 PLL 的设置改变？

锁相环是一个闭环系统，必须在环路带宽，相位裕量等参数设置合理值的条件下才能让环路稳定。任何环路参数（元器件）的改变都会影响输出信号相位噪声的形状。环路带宽和相位裕量可以使用 ADIsimCLK 进行设计，通过设置具体的电荷泵电流，鉴相器频率，VCO 的增益 K_v ，环路带宽，相位裕量，环路滤波器的阶数和形式，这个软件将会帮我们计算出所需的环路滤波器元器件的值。

当相位裕量较大时，一个小的改变可能对 PLL 的影响较小；但是当相位裕量较小时，一个小的改变，可能对 PLL 的影响会很大。

3.3 如何优化 PLL 的环路可得到最好的相位噪声或抖动性能？

ADIsimCLK 是一个可以仿真、计算和优化环路参数的工具，从 ADI 官方网站可以下载。

如果在给定偏移频率下的相位噪声有要求，我们需要提供 VCO 的开环相位噪声特性，参考源的相位噪声，然后通过优化环路带宽来获得所需的相位噪声性能。但是在某个点上的相位噪声优化了并不代表抖动性能也同样优化了，抖动与一定带宽上相位噪声积分相关。

3.4 模拟锁相环环路不锁定，如何调试？

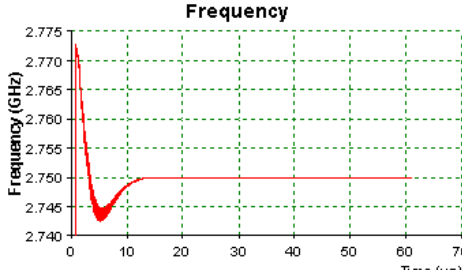
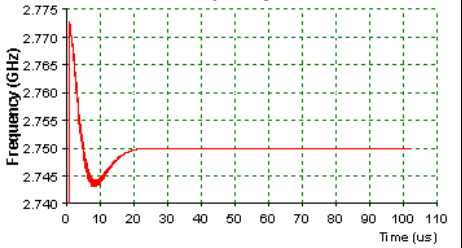
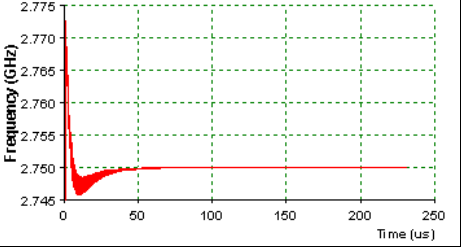
核查确保 V_{cp} 是正确连接的。通过程序设置引脚 STATUS 的输出和 PLL MUX 输出。核对 N 分频器和 R 分频器输出，确保他们是有输出的，并且频率相同，如果没有输出，建议核对相关路径上的信号，例如 R 分频没有输出，可以核对参考源的连接是否正常，幅度是否满足要求，参考源输入是否使能。

核查环路带宽，相位裕量是否设置合理，这两个参数是环路锁定的关键参数。

3.5 PLL 的锁定时间与哪些参数有关？

锁相环的锁定时间由许多因素确定，影响锁定时间的关键两点：环路带宽越宽，时间越短；相位裕度越大，锁定时间越长。可通过 ADIsimCLK 分析锁定时间。下面以 AD9516-0 作为例子，在 ADIsimCLK 中进行仿真。

表 3-1 不同的环路带宽与相位裕度对锁定时间的影响

环路带宽	相位裕度	频率响应	锁定时间
100kHz	50 度		Transient Analysis of PLL Power up transient to frequency of 2.75GHz Simulation run for 61.3us Frequency Locking Time to lock to 1.00kHz is 22.0us Time to lock to 10.0 Hz is 31.2us
60kHz	50 度		Transient Analysis of PLL Power up transient to frequency of 2.75GHz Simulation run for 103us Frequency Locking Time to lock to 1.00kHz is 36.5us Time to lock to 10.0 Hz is 51.6us
60kHz	70 度		Transient Analysis of PLL Power up transient to frequency of 2.75GHz Simulation run for 232us Frequency Locking Time to lock to 1.00kHz is 112us Time to lock to 10.0 Hz is 167us

3.6 PLL 在常温下可以锁定，但是在高温或低温下失锁？

1. 使用外部 VCO 时，温度变化，VCO 的 K_v 会发生变化，导致实际的环路带宽和相位裕量发生改变，引起失锁。即环路参数不能保证所有的 K_v 都能锁定。建议仿真设计时适当增大环路带宽和相位裕量。
2. VCO 不能保证在所需温度点上的频率输出。温度变化后，VCO 所能输出的频率范围发生了变化，不能覆盖所需的温度点。

3.7 在参考源噪声较好时，为什么鉴相频率越高，相位噪声性能越好？

鉴相器贡献的噪声与鉴相频率相关。

鉴相器贡献的相位噪声由下面的表达式给出：

$$FOM + 10\log(F_{pfd}) + 20\log(F_{out}/F_{pfd}) - 20\log(DIV)$$

其中 FOM 是鉴相器的噪底，可以从数据手册中查到； F_{pfd} 是鉴相频率；N 是 N 分频器所设置的值，N 等于 F_{out}/F_{pfd} ， F_{out} 是 VCO 输出频率。DIV 是 Distributor 的分频设置。从这个表达式可以看出，当 F_{pfd} 增大到两倍时，相同的 VCO 输出频率条件下，带内的噪声减小 3dB。

3.8 外部 VCO 所需要的调谐电压大于电荷泵的供电电压怎么办？

当外部 VCO 所需要的调谐电压小于鉴相器的供电电压时，一般采用无源环路滤波器；当外部 VCO 所需要的调谐电压大于鉴相器的供电电压时，需使用有源环路滤波器，使用运算放大器可以提供更高的 VCO 调谐电压。但是，有源环路滤波器的相位噪声性能稍差，因为运算放大器也会带来噪声。

3.9 VCO 和 VCXO 的特点？

通常 VCO 的增益 K_{vco} 远大于 VCXO 的增益。VCXO 有更加窄的调谐范围，这样可容易地使用在更加窄的环路带宽应用中。较窄的环路带宽有益于净化参考源的噪声，例如 AD9523，AD9524，AD9523-1 的第一级锁相环通常选用 VCXO。

但是 VCO 通常有更加低的宽带噪底，因此，最终输出选择 VCO，即上述器件的第二级锁相环输出。

3.10 AD951x 在相同的输出频率下不同分频比会导致抖动性能的变化吗？

理想情况下，AD951x 将相同的参考源合成到相同的输出频率，抖动性能是相同的。但是，输出的分频器设置为 1，和设置成 2~32 之间，相同的输出频率下，抖动性能是有微小差别的。当设置成 2~32 分频输出时，分频器也贡献了噪声。

3.11 使用 AD951x 时钟芯片时，Phase offset (coarse delay) 会影响抖动吗？

粗调延时功能是每个输出分频器的功能，当分频比是 2~32 时，有 2 到 32 和时钟沿可作为输出的触发，这样就可以设置相位偏移或粗调时延。这一功能包含在分频器模块内部。因此，使用了分频器后，粗调延时不会额外地增加抖动。结论是，只要分频器选择使用了，无论设置的时延是多少，抖动性能都是相同的。

3.12 改变相位粗调 (coarse phase adjust) 设置，但是输出没有发生变化，什么原因？

首先需要核查时序，看 Sync 信号是否发送。

AD951x 的粗调相位偏移依赖与分频器的分频比设置。粗调功能可以选择一个输入到分频器的时钟边沿作为分频器的输出，可供选择时钟的边沿数取决于分频比的设置。对于 2 分频，仅仅有两个选择。对于 16 分频，就有 16 种选择。通过使用 Start H/L 比特，将会有更多的选择。

然而，如果分频器被旁路，则没有选择。分频比为 1 时，相位不可调节。当分频比设置为 n 时， n 为 2~32，设置相位偏移为 n 或 $2n$, $3n$ 等，输出看起来将会没有差别，因为相位偏移了整个输出信号的周期。例如，当分频比为 5 时，相位偏移设置 5 和设置为 0 是一样的输出。

所以，原因可能是：分频比是 1，所选择的相位偏移是分频比的整数倍。

3.13 相位细调(fine delay)的原理和注意事项？

细调主要用于设置一路输出相对于另外一路输出的可变延时。先选择一个合适的满幅延时值，然后再选择这个满幅延时的分数，从而设置实际的延时值。

细调在芯片中是通过模拟模块实现的，使用一个可编程电流和一些可选择的电容，产

生一个电压斜坡——电流在这些被选择的电容上充电，积分后形成电压，该电压的大小是与时间成线性正比关系。电流越大，电压值增大得越快。被选择的电容越多，电压值增大的越慢。通过选择合适的电流值和电容的数量，所需要的“电压斜坡”便可以得到，这样就设置了延时的满幅值。

当一个输出时钟被细调，时钟需在细调延时时间完成后才能输出。延时的时间段起始于输入时钟的边沿，边沿触发电流源，开始“电压斜坡”过程。该电压值输入到一个比较器，比较器的门限电压由一个 5-bit 的 DAC 产生。当“电压斜坡”增大到等于该门限电压时，时钟信号延时终止，允许时钟继续。因此，DAC 的电压输出设置了实际的延时时间，它是满幅时延的一个分数。在延时结束时，电容放电，电流源关闭。每次都这么重复。

细调延时的操作模式同样也对延时的时间有所限制。通常，半个输出时钟周期的延时可以获得。另外一个需要注意的地方是，AD9516/7/8 细调模块的最大输入时钟周期为 450MHz~500MHz，时钟频率超过这个限制后，输出可能停止。

3.14 AD951x 相位粗调和细调有什么区别？

粗调允许选择一个时钟边沿作为分频器的输出，当分频器已经使用时，不会增加额外的抖动，但是粗调的相位延时只是一些离散的值，延时量是分频器输入时钟周期的倍数。

细调不是输入时钟周期的倍数，仅在 LVDS/CMOS 输出时可用细调。LVPECL 输出时，不会有细调。

3.15 AD951x 细调会影响输出的抖动吗？

是的，细调会增加时钟抖动，因为细调是模拟模块。细调模块关闭后，抖动无增加。细调时间越大，抖动越大。这就是为什么通常不推荐使用细调。

细调这个功能主要应用于驱动数字器件，像 ASICs, FIFOs, FPGAs 等，是为了同步数字（数据）。不推荐作为高速转换器（ADC, DAC）的时钟时使用，但是在分辨率比较低，例如 8 位 ADC，还是可以用的。

3.16 没有使用 AD951x 的 CLK 输入，可以悬空吗？

功能上是可以悬空的。但是通常来说，建议将 CLK 和 CLKB 引脚通过 0.01uF 的电容接到 DC 电源或地上。这样可以防止外部的噪声耦合到器件中。将 CLK 和 CLKB 引脚 AC 到地。

3.17 时钟分配器的时钟源一般有哪些？

1. 使用 VCO 或 VCXO 并且已经锁定的锁相环；
2. 独立的振荡源；

3. 从 CDR 恢复的时钟信号;

3.18 时钟芯片的参考输入是差分的，我的参考源是单端的，如何用？

严格来说，没有必要将单端转换成差分。但是，推荐将单端转换成差分，特别是当频率大于 50MHz 的时候，使用一个变压器将单端转换成差分将会得到更好的参考源噪声抑制。如果板子的面积或花费方面不允许，可以使用单端参考源输入（电容耦合输入），使用 0.01uF 的电容将不使用的一端连到 AVDD 或 AGND，AD951x 系列有内部自偏置，电容耦合输入也无需考虑共模电压设置，对应地，参考配置为差分输入（寄存器）。

3.19 可以使用时钟芯片驱动混频器的 LO 信号吗？

可以的，大多数 RF 混频器不需要 LO 的幅度信息，只需要频率和相位信息。因此，时钟芯片可以提供灵活的可编程的 LO 频率源。

3.20 如果 AD951x 参考源输入(REFIN)断开了，时钟输出会是什么？

当参考源丢失，PLL 将会失锁。但是，只要 VCO 的电源还是保持稳定的，VCO 还是会驱动输出的。因此，时钟芯片将还是会有一个输出信号，但是频率不确定。客户可以检测参考源是否有效，当参考源失效时将电荷泵置为三态。Holdover 功能可以在参考源丢失的情况下让控制电压仍然存在，但是 PLL 的频率将会缓慢漂移。

3.21 使用 LVPECL 相对于 LVDS 输出的优点和缺点？

LVPECL 和 LVDS 都有全差分输出的优点：抑制噪声、压摆率大。

LVPECL 比 LVDS 具有更大的摆幅（800mV VS 350mV），这会提供更高的压摆率，可在接收端得到更低的抖动参数。另外，LVPECL 可比 LVDS 提供更高的时钟频率（AD9516: LVPECL 1.6GHz; LVDS 800MHz）。

LVDS 比 LVPECL 有更低的功耗，更简单的终端连接。

3.22 如果使用 LVPECL 输出，但是需要的只是 LVPECL 的一端，不用的一端端接 50 欧电阻。这样做会影响这一单端输出的抖动性能吗？

这样做输出信号的摆幅减小了一半。对相位噪声或抖动性能造成影响。单端 PECL 输

出的上升、下降时间是不相等的，通常，上升时间比下降时间小很多，如果接收端使用下降沿作为关键的时序，可能会出现问题。

3.23 如何端接 AD9516 的 LVPECL 输出可获得最好的抖动性能？

AD9516 的数据手册给出了“传统的”Thevenin 端接、Y-termination 和 AC 耦合输出。三种接法如下图所示。LVPECL 输出是开路发射极，外部需要 DC 偏置输出晶体管。在大多数应用中 Thevenin 端接、Y-termination 推荐使用，其中接收端的 V_s 需要与 V_{S_LVPECL} 相适配，如果不能保证，可使用 AC 耦合。

三种接法可提供的抖动性能基本上没有差别，更多的是 Layout 和其他因素的考虑。

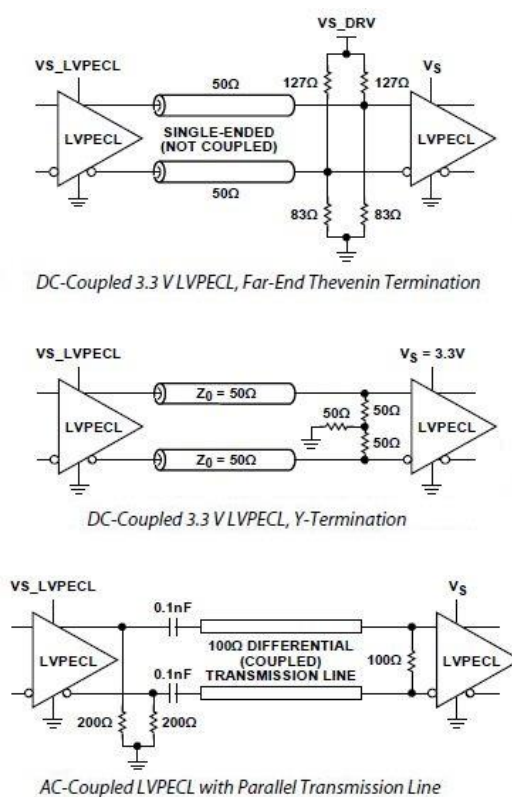


图 3-1 LVPECL 输出的三种端接方式

3.24 有些 AD951x 系列数据手册上的 LVPECL 端接不同于经典的接法（50 欧到 V_s-2V ）。为什么要选择 200 欧姆的电阻到地，能否使用 100 欧姆的电阻改善压摆率（或抖动性能）？

两个输出到地的电阻是为了设置输出驱动发射极的电流，以及确定输出阻抗。对于所推荐的 200 欧姆电阻，发射极在逻辑高输出时的电流为 $(3.3-1)/200=11.5mA$ ，在逻辑低输

出时的电流为 $(3.3-1.8)/200=7.5\text{mA}$ 。

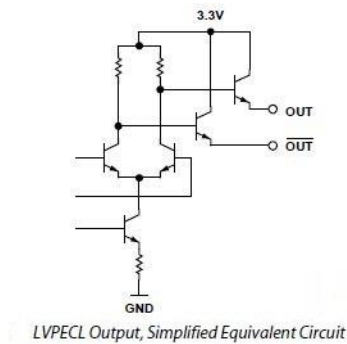


图 3-2 LVPECL 输出简化等效电路

相当低的源阻抗去驱动平衡的、100 欧姆的全差分传输线。功率传输不是最高的，但是电压摆幅保持在差分 800mVp-p。接收端端接 100 欧姆，与传输线的特征阻抗相同，匹配可以最小化反射。这是一个非常好的传输结构。

如果近端的端接电阻减小到 200 欧姆，发射极的电流增加，信号的下降时间有所改善（减小），因为放电时间短。但是电压摆幅没有改变，接收端不会看到一个更大的信号。保持发射极的电流小于器件所允许的电流密度是非常重要的，这是由设计和工艺参数决定的，对于 AD951x，这个电流值是 18mA。因此，LVPECL 的输出电流不能超过 18mA，在逻辑高（2.3V）的情况下，这样就确定了近端电阻不能小于 128 欧姆。

因此，在近端使用 200 欧姆的端接电阻的主要原因是：1. 保持输出电流在器件允许的范围；2. 这个阻值是合适的，形成 LVPECL 驱动器的低输出阻抗。

3.25 在我的板子上，为什么得不到与数据手册相同的低抖动性能，哪个地方出了问题？

许多因素会影响输出信号总的抖动性能，包括参考源的抖动性能、时钟输入、PLL 环路滤波器的设计、VCO/VCXO 的选择、供电电源的噪声、输入信号的压摆率、电路板地上的噪声、输出端的电路连接、信号输出走线等等。任何一方面做的不好都会影响输出的抖动性能。另外，测量抖动的方法也是很关键的。

3.26 抖动和相位噪声的关系？

信号的抖动和相位噪声有一个对应关系，抖动描述的是信号的时域特性，相位噪声描述的是信号的频率特性。相位噪声与抖动之间的关系可以参考文章：MT-008 和 AN-1067。简单来说，抖动与相位噪声积分相关。

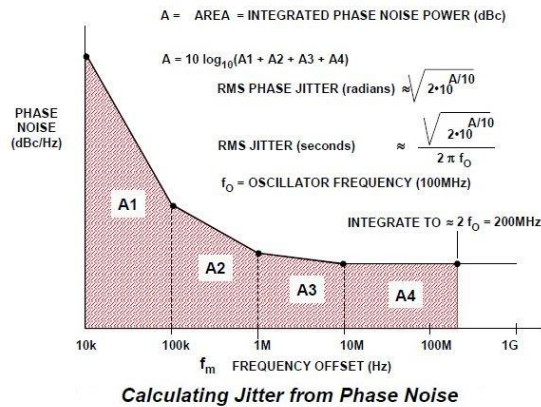


图 3-3 相位噪声和抖动

3.27 为 ADC 提供时钟，时钟抖动的等效带宽是多大？

$SNR = -20 \cdot \log(2 \cdot \pi \cdot f_a \cdot T_j)$ ，其中 f_a 是模拟信号的最大频率， T_j 采样时钟抖动的 RMS 值。为了计算时钟抖动，对相位噪声积分的带宽，不是简单的 $F_s/2$ ，具体请参考 AN-756。

3.28 输出频谱的谐波杂散成分是否影响抖动？

简单来说，谐波杂散对抖动性能没有影响。

但是，非谐波杂散呢？非谐波杂散会影响抖动，是以周期性的方式。非谐波杂散以正弦波的规律导致时钟边沿偏离理想位置。不像随机噪声影响抖动的方式，随机噪声使时钟边沿偏移理想位置是无规律行的。

当时钟信号用在采样系统中时，例如 DAC，非谐波杂散就需要认真对待。因为他们会出现在输出的模拟信号中，干扰有用信号，造成混叠。

3.29 以相同的时钟源合成频率，倍频或分频，抖动参数是否随频率不同而变化？相位噪声是否随频率不同而变化？

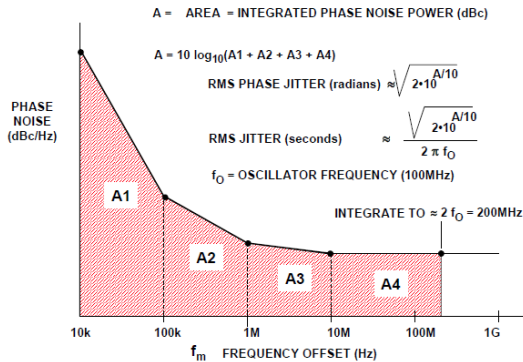
假如合成的两个频率分别是 f_1 和 f_2 ，那么相位噪声的关系为 $20 \cdot \log(f_1/f_2)$ dB，例如频率变为原来的两倍，相位噪声理论上增大 6dB。但是，抖动数据没有变化。下面是公式推导：

理论上，如下图所示，在 f_0 的基础上倍频 N 倍，相位噪声比原来恶化 $20 \log N$ dB，下面的等式中的 A 变为 $A' = 20 \log N + 10 \log(A_1 + A_2 + A_3 + A_4) = 10 \log(A_1 + A_2 + A_3 + A_4) \cdot N^2$

那么，

$$\text{RMS JITTER (seconds)} = \frac{\sqrt{2 \cdot 10^{A'/10}}}{2\pi f_0 \cdot N} = \frac{\sqrt{2 \cdot (A_1 + A_2 + A_3 + A_4) \cdot N^2}}{2\pi f_0 \cdot N} = \frac{N \cdot \sqrt{2 \cdot (A_1 + A_2 + A_3 + A_4)}}{2\pi f_0 \cdot N} = \frac{\sqrt{2 \cdot 10^{A/10}}}{2\pi f_0}$$

因此，理论上时间抖动值是不变的。



3.30 数据手册上飞秒级的抖动数据怎么测试的？

我们也没有飞秒级时间精度测量的示波器。飞秒级的时间抖动须采用间接的方式测量。我们有两种方式测量飞秒级的抖动：

1. 根据所观察到的相位噪声特性，计算抖动。相位噪声测量需要特殊的仪器，例如 Agilent E5500 相噪测量系统。
2. 用被测时钟驱动实际的 ADC 转换器，采样时钟的抖动特性可以用观测到的 ADC 输出 SNR 计算得出。

3.31 我想用 AD9516/7/8 实现输出沿与参考输入沿对齐，但是每次上电后这两个沿之间的时间差都有变化，请问 AD9516 能否实现这样的功能？

AD9516/7/8 有同步的功能，但是，作用是将各路输出同步，如下图所示。而不是将输出时钟的沿与参考时钟的沿对齐，这个功能可以用 AD9520 和 AD9522 实现，具体请参考 AN-0983。

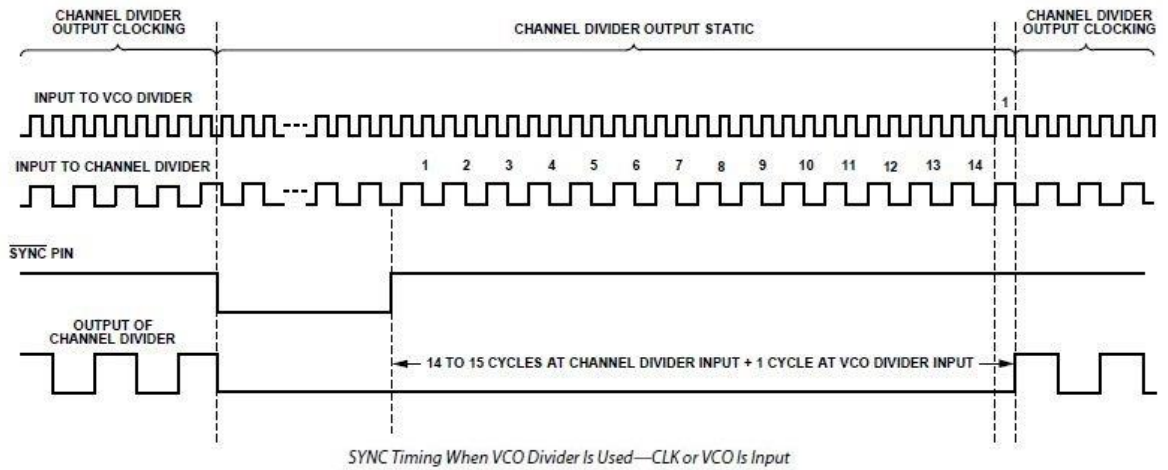


图 3-4 通过 SYNC 引脚使各路输出同步

3.32 什么叫 Zero-delay 功能?

Zero-delay 功能指的是一个时钟芯片合成频率，将输出信号的边沿与参考源的边沿对齐。应用包括 SONET 和 SDH 网络、高速网络服务、同步以太网、时钟卡应用等。具体可参考下面两个插图和 AN-0983 的介绍。

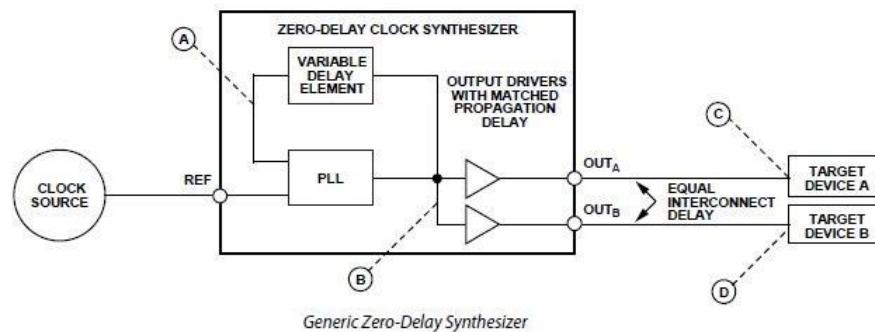


图 3-5 Zero-delay 结构

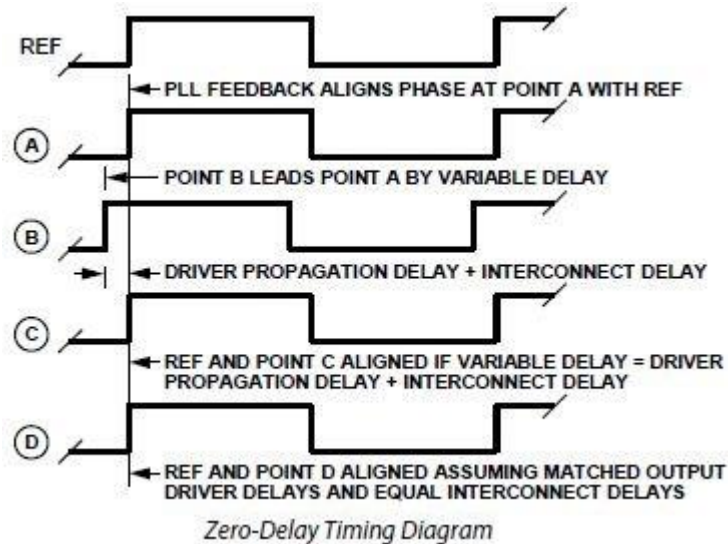


图 3-6 Zero-delay 同步结果

3.33 什么叫参考输入切换、保持？

保持：在参考输入消失的情况下提供输出信号。利用这一特性，可以构建可用性更高的系统，减少由于参考信号时断时续或不可靠而造成系统崩溃的担心。

切换：一般时钟芯片提供多个参考输入端口。如果一个参考发生故障，时钟器件将转而使用一个替代参考。切换功能的一个重要特点是：这种切换不会产生不良脉冲或额外的长脉冲。下游 PLL 不会因为时钟切换或在切换期间失锁，即使不同参考输入信号的相位之间不存在任何预定义关系也无妨。

保持和切换功能既可以由系统中的控制器/处理器指令启动，也可以由片内监控功能在有效参考输入消失时自动启动。

3.34 有哪些常用的频率？

常用频率包括：

GPS 使用 1 pps（脉冲/秒）

有线通信用 8 kHz，一般将该频率称为 BITS 时钟

同步光(SONET)网络的常用参考时钟是 19.44 MHz

无线通信用 122.88 MHz

以太网的常用参考时钟是 125 MHz 和 156.25 MHz