

零中频的优势：PCB尺寸减小50%，成本降低三分之二

作者：Brad Brannon

共享    

简介

零中频 (ZIF) 架构自无线电初期即已出现。如今, ZIF架构可以在几乎所有消费无线电应用中找到, 无论是电视、手机, 还是蓝牙®技术。之所以得到如此广泛的普及, 主要是因为经验一再地证明了, 在任何无线电技术中, 该架构具有最低的成本、最低的功耗和最小的尺寸等优势。从历史上来看, 该架构在要求高性能的应用中运用较少。然而, 在无线连接需求不断增长、频谱变得日益拥挤的情况下, 就需要改变现状, 以便在基础设施中继续经济地部署无线电技术, 为我们的无线需求提供支撑。当代的零中频架构可以满足这些需求, 因为这些架构面临的诸多普遍性缺陷已通过工艺、设计、分区和算法的组合得到克服。ZIF技术取得的最新进步对现有高性能无线电架构形成了挑战, 其带来的新产品取得了性能上的突破, 能够实现ZIF技术以前望尘莫及的新型应用。本文将探讨ZIF架构的诸多优势, 介绍这些优势可使无线电设计性能达到的新高度。

无线电工程师面临的挑战¹

不断增多的需求给当今的收发器架构师带来了挑战, 因为我们对无线设备和应用的需求呈持续增长之势。结果, 消费者需要持续访问更多的带宽。

数年以来, 设计师已经从单载波无线电走向多载波无线电技术。当一个频段的频谱被全部占用时, 就分配新的频段; 目前, 必须为40多个无线频段提供服务。由于运营商在多个频段都有频谱, 并且这些资源必须协调起来, 所以, 如今的趋势是走向载波聚合, 而载波

聚合则会导致多频段无线电。这又会带来更多的无线电, 其性能更高, 需要更优秀的带外抑制性能, 更出色的辐射性能, 以及更低的功耗水平。

虽然无线需求在快速增长, 但功耗和空间预算并未增长。事实上, 在功耗和空间节省需求不断增强的条件下, 同时降低碳排放和物理尺寸非常重要。为了实现这些目标, 需要从新的视角去认识无线电架构和分区。

集成

为了增加特定设计中的无线电数目, 必须减小每件无线电器件的尺寸。传统方法是逐步把更多的设计集成到一片硅片当中。虽然从数字角度来看, 这样做可能是合理的, 但是, 为了集成而集成模拟功能的做法不见得有意义。其中一个原因是, 无线电中的许多模拟功能是无法有效集成的。例如, 在图1所示的传统中频采样接收器中, 中频采样架构有四个基本级: 低噪声增益和射频选择级、频率转换级、中频增益和选择级以及检测级。选择级一般使用SAW滤波器。这些器件都不能集成, 因此, 必须部署在片外。虽然射频选择级是由压电或机械器件提供的, 但有时中频滤波器会使用LC滤波器。尽管LC滤波器有时可能会集成到单片结构中, 但是, 滤波器性能的牺牲 (Q和插入损耗) 以及数字化器 (检波器) 采样速率必要的增加会提高总功耗。

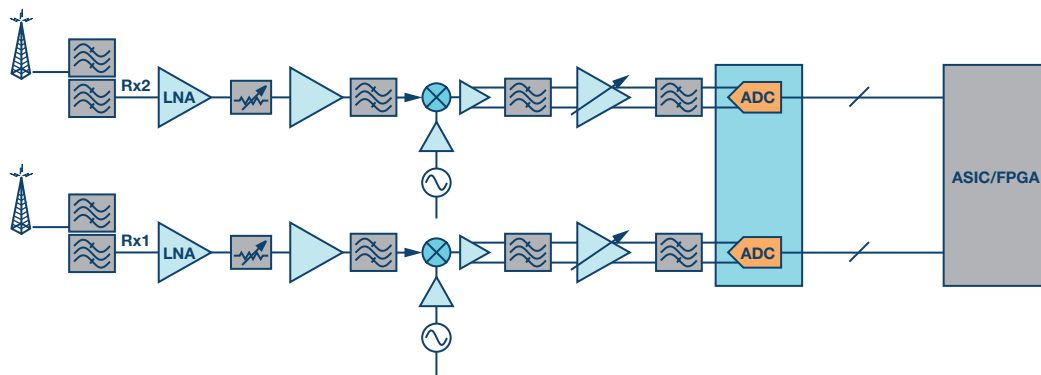


图1. 传统型中频采样接收器

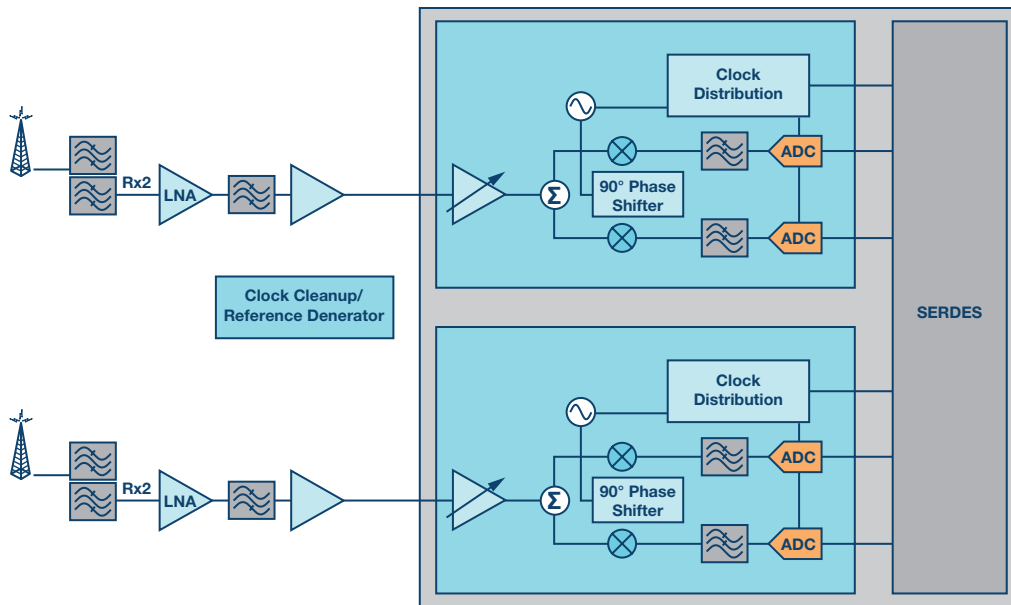


图2. 典型的零中频采样接收器

数字化器（模数转换器）必须以低成本CMOS工艺制成，以使成本和功耗保持于合理水平。当然可以用双极性工艺制造，但结果会导致器件尺寸和功耗的增加，有悖于优化尺寸的初衷。所以，标准CMOS工艺是这种功能的最佳制造工艺。这就为集成高性能放大器，尤其是中频级，造成了极大的挑战。虽然CMOS工艺可以集成放大器，但是很难从针对低功耗和低电压而优化过的工艺中取得需要的性能。另外，在片上集成混频器和中频放大器要求把级间信号路由到片外，以便访问中频和抗混叠滤波器，然后再数字化，因而失去了集成的诸多优势。这样做就达不到集成的目的，因为结果会增加引脚数和封装尺寸。另外，关键的模拟信号每次通过一个封装引脚时，就会牺牲一些性能。

最佳集成方式是对系统分区，消除不能集成的元件。由于不能有效地集成SAW和LC滤波器，所以，最佳选择是确定如何通过重新设计架构来消除它们。图2展示了一个典型的零中频信号链，它把射频信号直接转换为一个复合基带，完全消除了中频滤波器和中频放大器的必要性，结果实现了这些目标。选择级则通过在I/Q基带信号链里引入一对低通滤波器的方式予以实现，这对滤波器可以作为有源低通滤波器而非功耗较高的片外固定中频器件集成。传统型中频SAW滤波器或LC滤波器天生就是固定型器件，而这些有源滤波器则可以电子方式，在数百kHz至数百MHz的范围内调谐。改变基带带宽就能使同一器件覆盖范围更宽的带宽，无需改变物料清单，也不用在不同的固定中频滤波器之间来回切换。

虽然图示并不直观，但通过更改本振，零中频接收器也可覆盖范围非常宽的射频频率。零中频收发器可提供真正的宽带体验，典型连续覆盖范围从数百MHz到约6 GHz。不使用固定滤波器，可以实现真正灵活的无线电，结果可以极大地减少，甚至可能消除在开发无线电设计频段变体方面的投入。得益于灵活的数字化器和可编程的基带滤波器，零中频设计不但能实现高性能，还具有极大的灵

活性，既能支持范围超宽的频率和带宽，也能维持近乎平坦的性能，而且无需针对每种配置优化模拟电路（如滤波器）——可谓名符其实的软件定义无线电（SDR）技术。与此同时，这种方法也会大幅减小尺寸，因为它为必须覆盖多个频段的应用消除了原本需要的滤波器组。在一些情况下，可以完全消除射频滤波器，成就完全意义上的宽带无线电，根据不需要更改频段。通过消除部分器件、集成其他器件，可以大幅减小零中频设计所需要的PCB尺寸，不但简化了频段高速过程，还能减少有必要更改尺寸时投入的精力。

最小的尺寸

通过直接比较这些架构的PCB面积（图3和图4）可知，对于双接收路径，在合理实现方式下，中频采样和零中频采样的PCB面积分别为2880 mm²（18 mm × 160 mm），和1434 mm²（18 mm × 80 mm）。如果不算可能消除的射频滤波器和其他简化设计，²零中频架构有可能比当前的中频采样技术减少最高达50%的无线电尺寸。未来的设计有可能通过额外的集成，使尺寸再减少一倍。

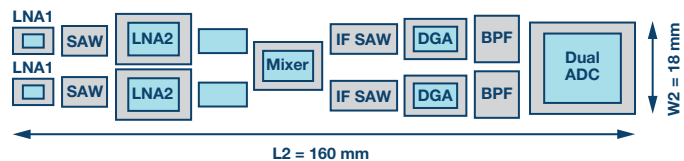


图3. 典型的中频采样布局

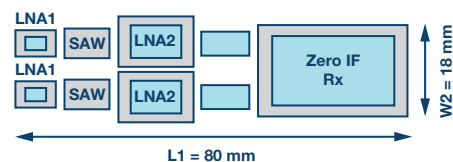


图4. 典型的零中频采样布局

最低成本

直接从物料清单来看,从中频采样系统转向零中频架构可节省33%的物料。成本分析始终都是非常困难的。然而,深入考察图1和图2可知,许多分立式元件均已消除,包括中频和抗混叠滤波元件,并且混频器和基带放大器均已集成。不明确的是,由于零中频接收器本身具有传统中频采样架构不具备的带外抑制功能,所以,整体外部滤波要求就大幅降低了。零中频架构中两个元件促成了这一结果。第一个元件是有源基带滤波器,该滤波器同时具备带内增益和带外抑制功能。第二个元件是高采样速率低通 Σ - Δ 转换器,用于对I/Q信号进行数字化。有源滤波器减少了带外元件,而ADC的高采样速率则使混叠点提高到足够高的频率,从而消除了外部抗混叠滤波元件的必要性(因为有源滤波器已经充分地抑制了信号)。

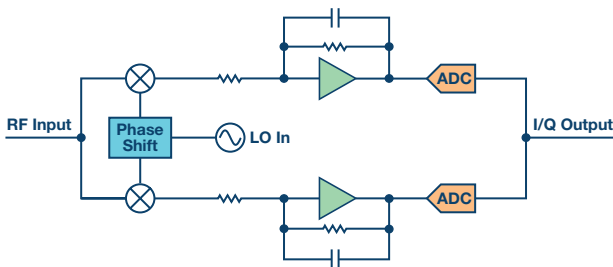


图5. 有源基带滤波器与ADC

通过把基带信号施加到有源滤波器上,如图5所示,可以滚降高频内容。然后,ADC对来自低通滤波器的任何残余输出信号进行数字化和最终滤波。级联结果如图6所示。此图所示为在有源滤波器和 Σ - Δ ADC复合效应作用下的典型接收器性能。这里展示的是带内和带外功率灵敏度降低3 dB的典型情况。注意,在不使用任何外部滤波元件的情况下,带外性能有所改善。

为了获得类似的性能水平,中频采样接收器采用分立式中频滤波元件(如SAW技术)来实现选择性和带外信号保护功能,以防止宽带信号混叠和噪声混叠回频段等问题。中频采样架构还必须采取其他无用混频器项的保护措施,包括半中频项,该项会提高射频和中频滤波要求并限制采样速率和中频规划。零中频架构不存在这种频率规划限制。

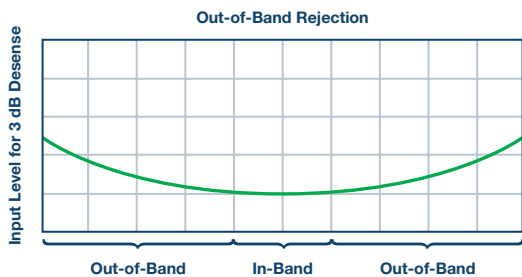


图6. 典型的零中频带外抑制

根据设计和应用的不同,这种原生抑制功能可以降低或消除外部射频滤波要求。通过省去这些元件可以直接节省成本,因为根据类型的不同,外部射频滤波器可能比较昂贵。另外,移除这些损耗性

的器件有助于消除射频增益级,结果不但能节省成本,同时还能降低功耗、提高线性度。所有这些都进一步增强分区和智能集成的优势。

如前所述,成本的估算非常难,因为这在很大程度上取决于产量和与供应商签订的协议。然而,详细分析显示,通过集成、消除部分元件、降低要求,零中频架构最高可使系统总成本降低三分之一。需要记住的是,这是系统成本,不是器件成本。由于更少的器件要承载更多的功能,所以在系统总成本减少的情况下,有些器件成本可能会增加。

除了材料成本以外,集成式零中频接收器还有一些其他优势。由于集成式系统可以减少系统中的器件数量,所以其装配成本较低,工厂良品率较高。由于分立式器件数量变少,所以对齐时间也会变短。这些因素相加,可降低工厂成本。

由于零中频接收器是名符其实的宽带,所以,调整频段的工程成本也减少了。在中频采样系统中,必须慎重选择中频频率,但对于零中频系统,则无需进行谨慎的规划。基本上通过更改本振就可以添加新的频段。另外,由于在使用零中频时,许多应用并不要求外部射频滤波器,所以,结果可能实现进一步的简化。整体而言,对于零中频解决方案,如果考虑直接成本以及上面列出的制造成本和工程成本,其成本节省优势是非常可观的。

最低功耗

如果只是采用图1所示架构,并直接将其集成到片上系统中,结果并不会带来功耗和成本上的优势。要节省功耗,就要选择高效的架构,该架构能针对目标工艺进行优化。类似于图中所示中频采样接收器的架构涉及到大量的高频和中频频率,难以在低成本工艺的基础上进行扩展,因此,要消耗大量功率以支持所需频率。然而,如图2所示的零中频架构能立即降低至直流(基带)的目标频率,因而可以实现频率最低的电路。

类似地,通过带宽来解决这个问题也是非常低效的。类似于直接射频采样的架构可提供较宽的带宽,并且具有极大的灵活性。然而,据Walden³和Murrman⁴在文中所述,增加系统带宽始终都会提高功耗。

除非需要原始带宽,否则,对多数接收器应用来说,仅仅通过带宽来解决这个问题并不是一种经济的解决方案。这些长期研究的数据表明,转换器的发展有两个方面值得关注。技术面取得了一些进步,能以动态范围和带宽的形式显著提高内核的交流性能。架构面在内核架构的整体效率方面有所进步。一般地,曲线先是向右移动,然后随着设计的优化,开始向上运动。对于通信应用,操作趋向沿技术面进行,其中,从线条斜率来看,转换器效率大约下降了10 dB/十倍频程,如图7所示。在此斜率下,使带宽增加一倍会导致功耗增加两倍。然而,在把这些内核集成到功能器件中之后,效率就有所改善,当其靠近架构面时,功率损失接近2。

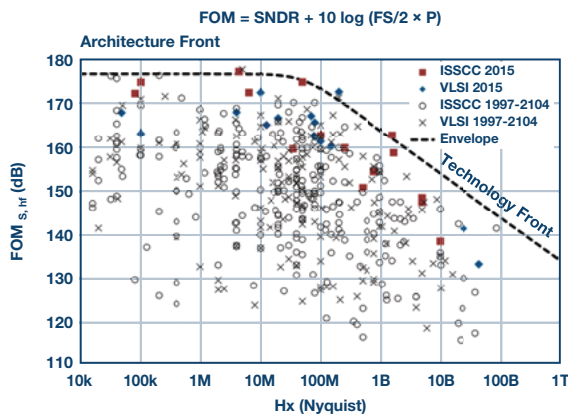


图7. 内核ADC技术的品质因数⁴

对于关心功耗的应用来说，结论是，功耗最低的解决方案是带宽和采样速率均针对应用而优化过的解决方案。搭载 Σ - Δ 转换器的零中频采样设计就针对这类应用进行了优化。依据具体的应用，采用零中频接收器比中频采样架构可节省50%或以上的功耗，比直接射频采样可节省高达120%的功耗。

功耗还与成本直接相关。更高的功耗不但会提高封装成本和电源成本，而且对于电路消耗的每瓦特功率（设电费为12美分/千瓦时），每年每瓦特的运营成本会超过1美元。鉴于许多电子器件成本较低，其一年的运行成本就可能轻松超过其直接成本。因此，随着集成式无线电解决方案选项的推出，对成本和功耗敏感的应用必须选择谨慎地做出权衡。选择会不必要地增加功耗的架构，结果不但会增加功耗，还可能会影响解决方案的长期运行成本。

性能增强

无线电设计有若干重要的关键指标需要注意。其中包括噪声系数(NF)、线性度(IP3、IM3)、降敏、选择性等。在正常的无线电规格以外，还有一些规格也很重要，但用户往往看不到。其中包括规格分布和漂移与时间、电源、温度和流程的关系。零中频架构符合关于无线电设计的这些和其他关键要求。

通过温度、电源和流程跟踪

全集成收发器架构的一个优势是，对于设计合理的无线电，器件匹配可能要好得多，不仅在起初是这样，而且如果设计合理，器件可以有效地进行流程、温度、电源和频率跟踪。运用通常嵌入这些集成解决方案中的信号处理技术，可以较好地消除任何残余的

失配问题。虽然对IC设计来说，这是非常典型的情况，但是，无线电集成的不同之处在于，在零中频设计中，由于依赖于频率的所有项均部署于片上，所以，这些项也可以实现跟踪功能。如图1所示的典型无线电包括一个片外中频滤波器。该中频滤波器的特性会随时间、温度或器件而变化，与片上的任何元素均无关，并且不能对其进行跟踪。然而，集成滤波器的一个主要优势是，因为其以片上器件构建，所以，器件是可以扩展的，或者可以按比例相互跟踪，以保持性能稳定。对于那些不能通过设计稳定的项，可以轻松进行校准。最终结果是，在预计器件差异时，所需要的裕量要远远低于所有器件均无关的分立式设计。

例如，为混频器、中频滤波器、中频放大器和ADC各分配1 dB的噪声系数，这种做法并不罕见。在制定性能预算时，必须把这些差异级联起来。然而，在集成式设计中，所有关键技术规格要么相互跟踪，要么通过校准予以排除，结果可实现1 dB的单一器件差异，极大地简化了信号链差异。相比各项不相关的设计，这可能会对设计造成重要的影响；在各项不相关的设计中，需要额外的系统增益来抵销可能会增加的噪声—会影响到最终产品的成本、功耗和线性度。在如图2所示的集成式设计中，性能总差异要远远小于不相关设计，因此，只需较小的系统增益。

高级校正技术

在过去，零中频接收器通常有两个领域会引起人们的担忧。由于复合数据是用一对表示实部和虚部的实数级联网络生成和表示的，结果就产生了可能表示各信号链增益、相位和失调的误差，如图8所示。

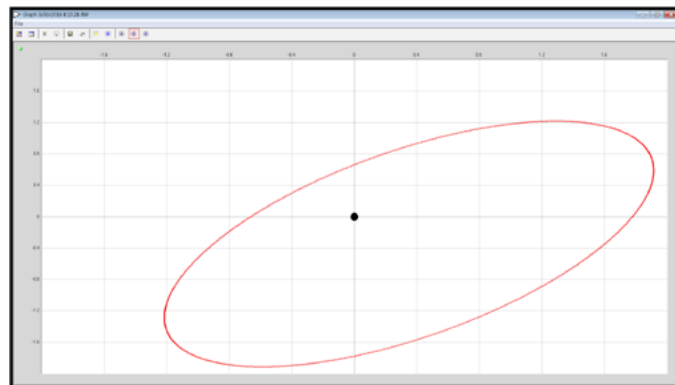


图8. 表示增益、相位和失调项的正交误差

这些误差在频谱中表现为镜像，也是妨碍这些架构广泛普及的主要原因。然而，作为一种集成式解决方案，通过模拟优化和数字校正技术，可以轻松控制这些镜像。图9所示为典型的未经校正的复合数据表示方式。在图中可以看到LO泄漏（和直流失调）及镜像抑制（正交误差）。

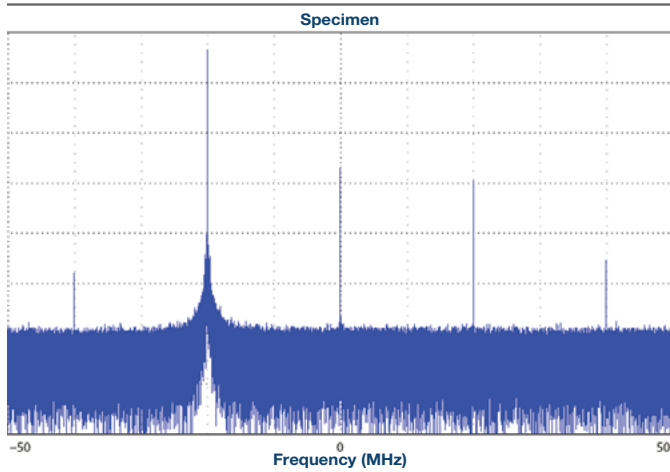


图9. 典型的未经校正的LO泄漏和镜像抑制

LO泄漏控制

LO泄漏在I或Q信号路径中表现为增大的直流失调。其原因是LO直接耦合至射频信号路径中，并被以相干方式下变频至输出。结果产生混频器积，表现为直流失调，加入信号链里存在的任何残余直流失调中。优秀的零中频架构不但会在初始时自动跟踪并校正这些误差，还能随时间、温度、电源和流程自动跟踪和校正，结果可实现优于-90 dBFS的性能水平，如图10所示。

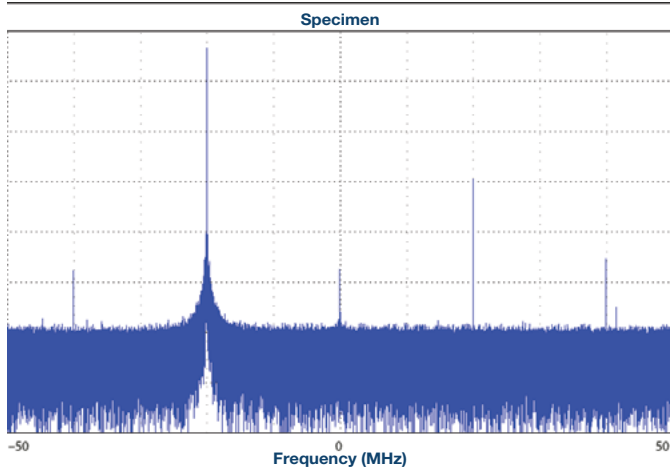


图10. 典型的LO泄漏控制

QEC

为了防止镜像扰乱性能，一般会采用正交误差校正 (QEC) 技术。图11展示了这种功能可能产生的影响。在此例中，镜像改善至优于-105 dBc的水平，超过了多数无线应用的要求。对于LO泄漏和QEC，运用跟踪功能是为了确保在性能随时间而变化时，校正能保持最新状态，从而保证能始终实现最佳性能。

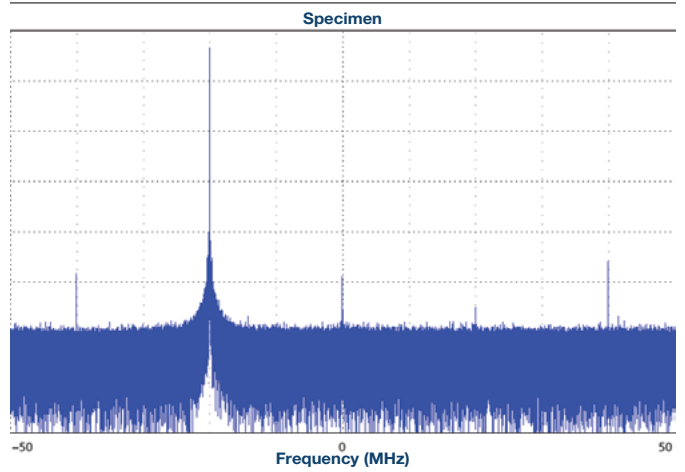


图11. LO泄漏控制条件下的典型正交校正

在无线电系统中，正交误差和LO馈通非常重要。如果误差足够大，较大的阻波器镜像有可能会屏蔽掉较小的目标信号。在图12中，一个大阻波器的镜像出现在15 MHz处，同时，一个目标信号的中心位于20 MHz。如果镜像部分或全部落在目标信号上，则会导致目标信号SNR下降，结果可能在解调功能里造成误差。一般地，LTE、W-CDMA等系统都针对这类镜像设置了合理的容差，但并非完全不受影响。一般情况下，这些系统要求75 dBc或更好的镜像抑制性能，如图11所示，运用零中频架构可以轻松达到并维持这一要求。

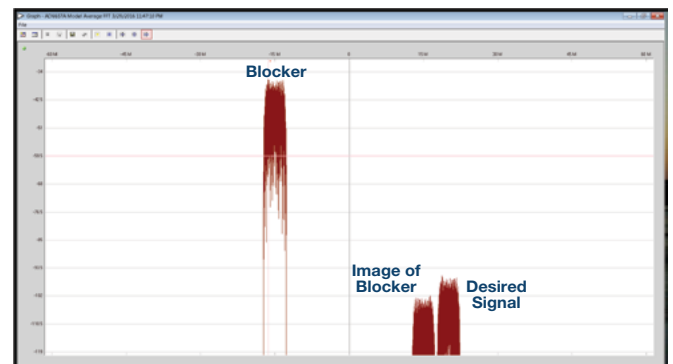


图12. 镜像阻碍目标信号的示例

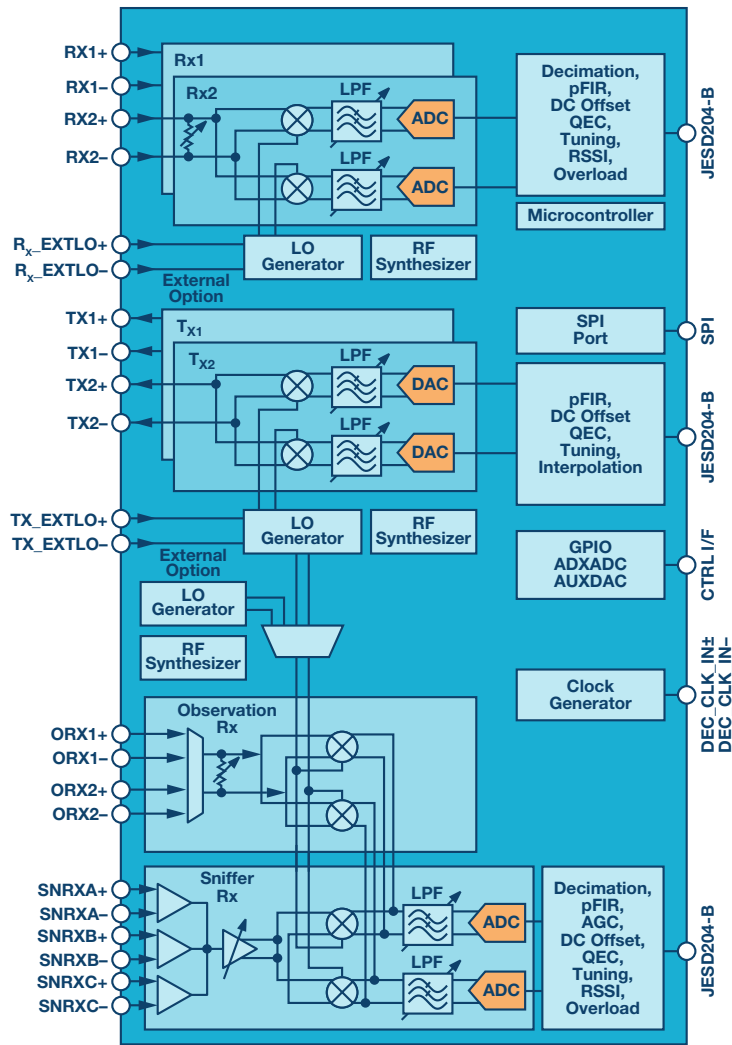


图13. AD9371集成式零中频收发器

AD9371

零中频发射和接收的一个典型示例是AD9371。如图13所示，AD9371具有极高的功能集成度，集成了双发射、双接收以及多种额外的功能，包括观察和嗅探接收器、集成式AGC、直流失调校正（LO泄漏控制）、QEC等。该产品具有较宽的射频覆盖范围，从300 MHz至6 GHz。每个发射器均可覆盖20 MHz至100 MHz的合成带宽，而每个接收器则能覆盖5 MHz至100 MHz的带宽。虽然此器件瞄准的是3G和4G应用，但也是不超过6 GHz的许多其他通用无线电和软件定义应用的理想解决方案。

AD9371在12 mm × 12 mm的BGA封装里集成了完整的系统功能，包括前面讨论过的依赖于频率的所有器件，以及所有校准和对齐功能。在图4所示接收功能的基础上，图14增加了必要的发射功能，

造就了一种非常紧凑的双收发器设计。功耗取决于确切的配置，包括带宽和实现的功能，但是，AD9371的典型功耗仅为4.86 W，包括维持LO泄漏和镜像抑制的数字功能。

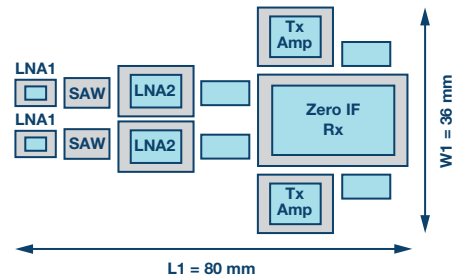


图14. 零中频收发器的典型布局

AD9371的关键性能指标

噪声系数

图15和图16展示了AD9371的典型噪声系数特性。第一张图展示了较宽的射频频率，在该频谱中，噪声系数相对平坦。该器件的输入结构采用衰减器的形式，因此，对于每dB，噪声系数增加1 dB。假设最差条件噪声系数为16 dB，衰减为零，外部增益差异允许约4 dB的衰减，则可假设总噪声系数为20 dB。对于一个提供至少24 dB增益的外部LNA (0.8 dB)，系统噪声系数为2 dB。

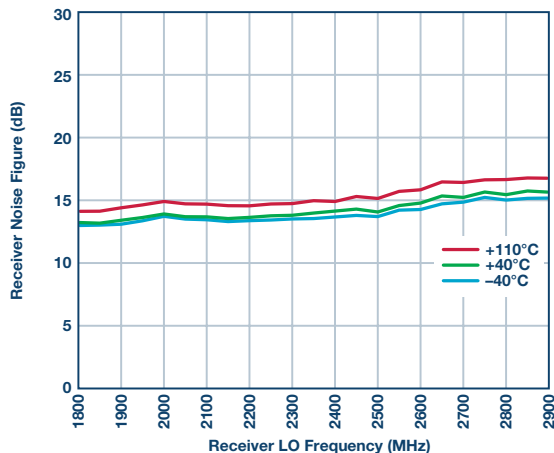


图15. AD9371噪声系数 (0 dB衰减和40 MHz带宽)

在图16中，噪声系数为带外阻塞相对于AD9371输入的函数。设外部增益为24 dB，在相对于天线连接器-24 dBm处，会相对于该器件输入出现0 dBm。如果只考虑AD9371的影响，若集成接收器下降3 dB，则噪声系数的总体下降幅度约为1 dB。

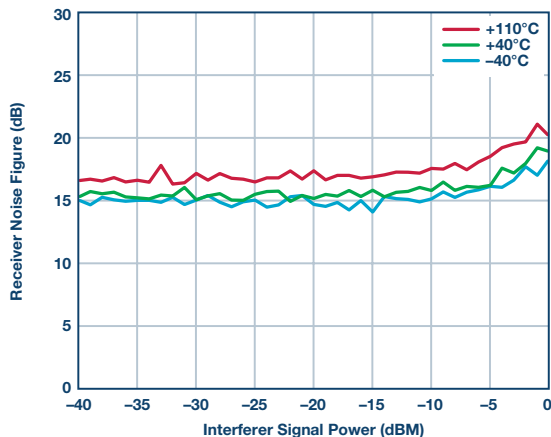


图16. AD9371 NF与带外信号功率的关系

镜像抑制

与LO泄漏类似，接收镜像抑制可基于图17所示信息进行估算。当天线端的典型输入电平为-40 dBm时，则可以估算出，镜像要优于比天线端口低80 dB或-120 dBm的水平。

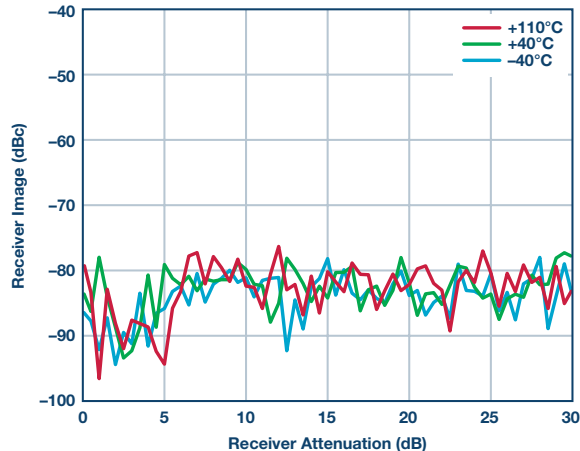


图17. 接收器镜像抑制

结论

虽然从历史上来看，零中频架构一直局限于低性能应用，但是，AD9371一类的新产品却具有改变现状的性能。这些器件不但能提供比肩中频采样接收器的性能，同时还要更进一步，通过对无线电进行分区，形成了更加强大的架构，不但能降低制造成本，还能在部署后降低运营成本。低成本解决方案设计不再需要牺牲无线电性能，使得用户可以集中时间和资源去开发应用，无需担心无线电的实现问题。

参考文献

- 1 虽然本文主要讨论接收器，但对发射器同样适用。对于发射器，零中频成为公认的高性能架构已经超过十年。
- 2 如本文所述，典型的零中频接收器在同一封装中还包括一条完整的发射路径 (AD9371)。
- 3 R. H. Walden. “模数转换器调查与分析”。IEEE Journal on Selected Areas in Communications, 1999年4月。
- 4 Boris Murmann. “1997-2015年ADC性能调查”。斯坦福大学, 2015年。

Brad Brannon[brad.brannon@analog.com]自北卡罗来纳州立大学毕业至今，已在ADI公司工作32年。在ADI公司，他先后在设计、测试、应用和系统工程等领域担任多个职位。Brad撰写过大量论文和应用笔记，主题涉及数据转换器计时、无线电设计、ADC测试等。目前，Brad负责4G和5G接收架构系统工程的工作。



Brad Brannon