

ADI 任意波形发生器 解决方案

应用介绍

在模拟信号或者模拟数字混合信号应用领域，任意波形发生器(AWG)有着非常普遍和广范的应用。比如产生激励信号来模拟某种传感器，例如汽车碰撞实验的复现，或者产生高速模拟信号来测试某种芯片的功能。从简单的正弦波产生到复杂一点的AM/FM调制信号，再到更加复杂的QAM调制信号等都有着任意波形发生器的应用。下面介绍的ADI任意波形发生器解决方案侧重于带宽300 MHz以下的应用场合。

设计难点

高速大幅度

高速运放很多，但是能输出大幅度的很少，所以有些高速信号放大电路需要借助分立三极管来实现，这样就使得设计难度大大增加。

平坦的通带特性

通带平坦度不够好会导致波形失真，正弦波可以用幅度补偿来优化平坦度，但是任意波形是做不到这一点的，所以一款性能优秀的信号源，它的硬件电路一定是有着出色的平坦度指标。

低噪声

想要产生1 mV p-p甚至更小幅度的信号，信噪比指标是绕不过去的问题，需要至始至终考虑到整个产品的设计中去。

低抖动的方波、脉冲波

纯DDS架构产生的方波会在非fsa/n频率输出时，有着最多1/fsa的抖动，那是巨大的可见的抖动，所以通常是不能被接受的，必须通过一些特殊的方式来去除这种抖动。使用可变采样率的逐点输出波形发生器不存在这个问题。

触发通道与模拟通道之间的抖动

触发输出与模拟通道输出之间的抖动主要来自于数字信号和模拟信号的对齐问题。触发输出来自FPGA产生的数字信号，当非fsa/n频率输出时，它是无法与模拟信号相位过零点对齐的，所以会产生周期性抖动。触发输入与模拟通道输出之间的抖动是由于外部触发输入信号是随机的，它多数情况下无法对齐FPGA采样主时钟，所以从触发信号采样转换到模拟输出有着明显的抖动。

两通道相位对齐

原本来自同一时钟芯片的时钟供给两个DAC，layout时延控制好一点，容易实现两个通道的相位同步。但实际上高速DAC内部有DLL，每次上电之后的初始相位可能会发生变化，所以想要做到ps级别的相位对齐依然是比较有挑战性的。对于这个问题，使用双通道的DAC要简单很多，但是通道隔离度的指标可能会变差。

来自ADI的解决方案

系统框图

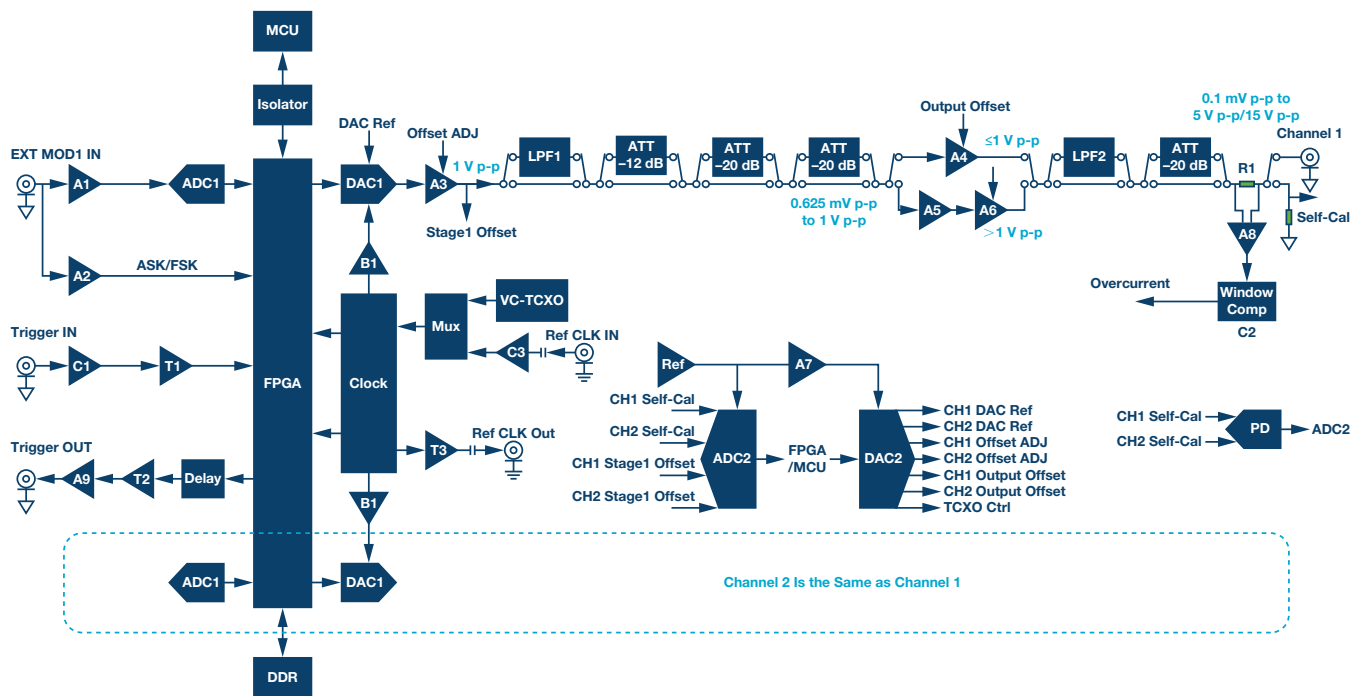


图 1. AWG 系统框图

上图1是任意波形发生器系统框图，后面会根据它来一一介绍ADI的整体方案。

MCU	Isolator	Clock	DAC 1	DAC 2
ADSP-BF70x	ADN4651/ADuM14xx	LTC6952/HMC7044	AD9739/AD9739A/LTC2000/ LTC2000A/AD9152/AD9121	LTC2666-16/AD5362/AD5676
ADC 1	ADC 2	A1/A7	A2	A3
ADAQ7980/AD4000	AD7124-4	AD8672	LT1395	AD8000/ADA4927-1
A4/A5	A6	A8	A9	PD
AD8009/AD8000	ADA4870/AD8000	AD8421	LT1397	AD8302
B1	C1	C2	C3	T1
ADCLK914/ADCLK905/ ADCLK925	CMP401/ADCMP605	CMP401	ADCMP605/ADN4662	ADN4661
T2/T3		Ref		
ADN4662		ADR4525/LT6657		

时钟电路

AWG通常对信号的抖动指标要求颇高，所以推荐超低抖动的时钟芯片，例如LTC6952或者HMC7044。除了提供给高速DAC的GHz时钟外，还需要提供FPGA主时钟200 MHz至300 MHz和用于FPGA与DDR接口IP时钟200 MHz至300 MHz。同时为了满足相位对齐等要求，需要支持ps级别的模拟延时调整能力。AWG对于频率的精度要求也很高，所以要选择低漂移的温补VC-TCXO,同时需要用频率计来校准这个10 MHz参考时钟。高速仪器仪表都带有参考时钟输入和输出端口，但是端口离主时钟电路一般都有一定的距离，如果直接走单端信号的话通常是非匹配的，容易串扰到模拟信号上产生杂散。可以考虑走差分信号来避免这类问

题，推荐用比较器ADCMP605作为参考时钟的输入，它同时具备差分输出的功能，然后用ADN4662在靠近时钟芯片端完成差分转单端的工作。对于参考时钟输出使用同样的思路，HMC7044本身就是差分输出的，只要在端口处放置一个差分转单端的ADN4662。另外高速DAC对于GHz输入时钟的信号完整性和幅度有所要求，但是时钟芯片有时无法直接靠近DAC摆放，而且DAC时钟输入阻抗可能不是100欧，那么就需要在靠近DAC端放置一个时钟buffer来改善信号完整性问题，例如ADCLK905或者ADCLK914。1:2的ADCLK925还可以用于双路DAC的DCO输出时钟和SYNC信号的分配上。

处理器和隔离接口

如果AWG要设计成通道浮地输出的话,那么MCU适合放在接大地的机壳地端,那样可以简化GPIO/USB/LCD等对外接口(无需隔离设计)。例如推荐的MCU ADSP-BF70x有丰富的外部接口和较快的处理速度。AWG浮地输出能力是一种相对比较安全的设计,哪怕被测物(DUT)不是工作在以大地为参考电平之上的,也不会损坏DUT或者AWG自身。DAC和模拟电路可以用浮地的隔离供电,这样可以使FPGA和MCU之间的通讯接口数量最简化。考虑到FPGA上电下载固件和其他配置的需求,隔离芯片可以选择150 Mbps的ADuM14xx。考虑到大数据传输的话600 Mbps的LVDS隔离器ADN4651是个不错的选择,足够的通讯带宽是超长波形下载传输的关键,例如64 MB点数14-bit的波形就有1024 MB大小。

任意波形的生成

最常见的AWG是基于DDS(直接数字合成)架构的FPGA+DAC,例如要实现2.5 GSPS的AWG,就需要在FPGA内部并行运行10组DDS,每组DDS的时钟为250 MHz,每组初始相位间隔36度,每组DDS都使用相同的波形查找表LUT,最后把生成的数据并串转换成2组高速的1.25 Gbps 14通路的LVDS数据发送给DAC。2.5 GSPS这个级别使用比较普遍的DAC是AD9739,另外LTC2000/LTC2000A也有着很好的SFDR性能。对于双通道的DAC可以参考2.25 GSPS 16-bit的AD9152 和性价比突出的1.23 GSPS 14-bit AD9121,对于双通道的DAC,数据接口通常是共享的,所以要留意独立通道数据的最高更新率。

DAC完成数据和转换时钟的同步和数模转换,另外调整DAC V_{REF} 还可以实现3 dB至6 dB的线性幅度调节,如果再配合内部 F_{SC} 电流档位调节,可以实现12 dB的不损失垂直分辨率的幅度调节。如果使用一个16-bit DAC调节 V_{REF} ,通常可以做到小于0.2 mV的幅度调节能力。当然直接调节数字域幅度大小也能改变信号幅度,例如14-bit当成13-bit用,那么幅度就可以降6 dB,但是这么做的话SNR也就损失了6 dB,通常不推荐这么使用。

高速DAC输出多数都是电流信号输出,需要外接电阻完成电流电压转换,然后送给A3运放,例如1.5 G带宽的AD8000。这个运放主要完成差分转单端和偏置调零两个功能,它将信号调整到最大 ± 500 mV输出。第一级运放也可以换成ADA4927-1 + AD8000来完成,这样做的好处是,ADA4927-1可以直接调节共模输出到0 V,可以优化后级AD8000的输入偏置电压随共模的漂移,同时改善了AD8000的共模抑制效果。ADA4927-1还可以方便的完成阻抗变换,使DAC的输出阻抗对等,提高共模抑制能力,同时使后级运放拥有低阻输入信号。AD8000用来完成差分到单端信号的转换,可以直接用增益 $\times 1$,优化带宽。Offset ADJ用于偏置调零,Stage 1 offset信号可以回读到ADC2进行直流偏置的初步校准。后面的LPF1是一个低通滤波器,通常针对正弦波以外的其他波形,所以会设计成缓降型的滤波器,多保留一些高

频分量,例如贝塞尔滤波器。但太多的高频分量可能会超出最后一级放大器的频响范围,引起震荡,所以需要放在前面预调整信号带宽。LPF2也是是一个低通滤波器,通常针对正弦波设计的,正弦波对于谐波失真要求比较高,所以要放在最后一级放大器之后,通常选用陡降型的椭圆滤波器就可以。LPF1后面三个 π 型衰减器可以实现0 dB至52 dB的不同档位衰减,用于0.625 mV p-p至1 V p-p的信号调节。

出于优化信噪比的考虑,最后一级信号放大建议分成两路来设计,当最后输出信号小于1 V p-p时直接走A4运放,2 \times 增益,例如AD8000或者AD8009,前者速度更快,后者压摆率大一些。这样小信号的信噪比会比第二条A5 A6通路要好,A5 A6通路主要实现大于1 V p-p的大信号输出能力。A5可以选择AD8000 3 \times 增益,A6可以选择ADA4870 10 \times 增益,最后输出针对50 MHz带宽以下的15 V p-p信号(50欧负载时)。如果是针对300 MHz带宽的高速应用的话,A6可以换成运放加三极管的电路来实现大幅度输出,例如AD8000+高速NPN BJT 来实现5 V p-p的输出。最后一个20 dB衰减器是针对10 mV p-p以下的信号来设计的,主要是优化SNR,特别是模拟一些传感器信号的应用场合。例如产生一个1 mV p-p的信号,如果运放直接产生1 mV p-p肯定不如产生一个10 mV p-p的信噪比。所以最后一个20 dB衰减器在衰减信号产生1 mV p-p信号的同时,噪声也被衰减了,但却保留了10 mV p-p的信噪比。

客户可能会出现误使用的情况,例如不小心将模拟输出接到了某个电源上,引起DUT坏掉或AWG损毁,所以要添加过流保护的电路,而且是双向过电流的保护。此时可以放置电流采样电阻R1,比如0.5欧,过大不容易实现阻抗匹配,A4/A6则要设置成49.5欧输出,确保直流信号的精确性。A8推荐用高带宽的AD8421仪表运放,具有很好的共模抑制比。C2是窗口比较器,用来设定允许电流的上下限,可以选择CMP401。一旦过流可以通知FPGA并关断输出继电器。

备注1:方波脉冲波去抖动,可以考虑把上升下降沿用斜线来处理,要确保至少每个快沿上要有2个点生成,2点才能构成一条直线。这个时候快沿就真正变成了模拟信号,而不是直接0 1跳变的类似数字波形,然后配合外部滤波器可以将抖动控制在一定范围之内。

备注2:关于高速信号链Layout的一点小技巧,如果高速电路里有较大R的存在,就要考虑如何减少它周边的寄生电容C,RC构成的低通滤波会严重降低信号带宽。例如高速运放的反馈电阻通常是几百欧左右,那么这个电阻下面的地层或者电源层就需要镂空处理,减少寄生电容。另外高速信号与参考层之间的叠层厚度可以适当的加大,有两个好处,一是信号线线宽会随之加大,这样阻抗控制的加工难度就会降低,更容易实现50欧至100欧设定。二是间距的提高使得元器件焊盘引入的寄生电容随之减小,可以提高带宽和改善频响曲线。

自校准和直流参数设置

通常室温超过一个变化范围，仪器就需要重新校准一次。ADC2用于自校准的实现，模拟输出的最后一个继电器的另一端可以用作自校准功能，主要校准信号在不同档位的幅度和偏置。AD7124-4是一颗24-bit的多通道输入ADC，它还内带PGA，另外直接支持 $\pm 1.8\text{ V}$ 供电，这样就不用外部增加level shift的运放，也避免了外部运放引入的误差。DAC2主要用于设置幅度调节，直流偏置调节，输出电流门限调节和微调VCO电压等工作。通常要选择16-bit的DAC,例如AD5362, LTC2666-16, AD5676等。关于电压参考，推荐LT6657，具有较低的1.5 ppm/ $^{\circ}\text{C}$ 温漂系数。另外对于交流信号的自校准主要是指两个通道的相位对齐，可以通过PD相位检测器件来实现，推荐使用AD8302，2.7 GHz输入带宽，10 mV/度直流输出，小于1度的非线性。

外部调制信号

外部调制信号的输入可以简单分为两类，一类是纯模拟信号需要ADC采样，例如AM/FM调制等。另外一类其实是脉宽信号，简单信号调理一下就可以直接送给FPGA使用，不需要经过ADC，例如ASK/FSK调制等。ADC采样过程会有不可避免的INL/DNL误差，所以要选择比模拟通路DAC 14-bit高2-bit的ADC。而且它有一定的实时采样需求，所以推荐整合度比较高的SAR ADC ADAQ7980或者AD4000，ADI也有其他更高带宽的ADC，可以根据实际需求

来选择。A2运放可以选择高速一点的电流反馈运放LT1395用于脉宽波的调理。

触发输入输出

触发输入输出端口的设计有一定的难度，主要体现在如何去除和模拟通道输出信号之间的抖动。触发输入信号端口有可能是个模拟信号，所以需要高速比较器来转换成数字电平，例如ADCMP605，直接差分输出给FPGA，可以减少过长信号路径导致对模拟通道的串扰。

另外一个触发输出端口是FPGA产生的数字信号，所以它无法和精细的模拟输出通道进行相位过零点同步，产生相对抖动。但是FPGA运作时是知道基于主时钟的触发输出信号与模拟通道相位过零点的时间误差的，所以在外部控制一个延时可动态调节的delay的话，就可以动态的消除它们之间的相对抖动。T2 ADN4662完成差分转单端，A9 LT1397是四通道400 MHz高速运放，四路运放并联后输出，可以提高驱动能力还能实现50欧的输出阻抗控制。

电源框图

AWG的电源拓扑参考图如下，主要以高整合度和低噪声的电源芯片为主。

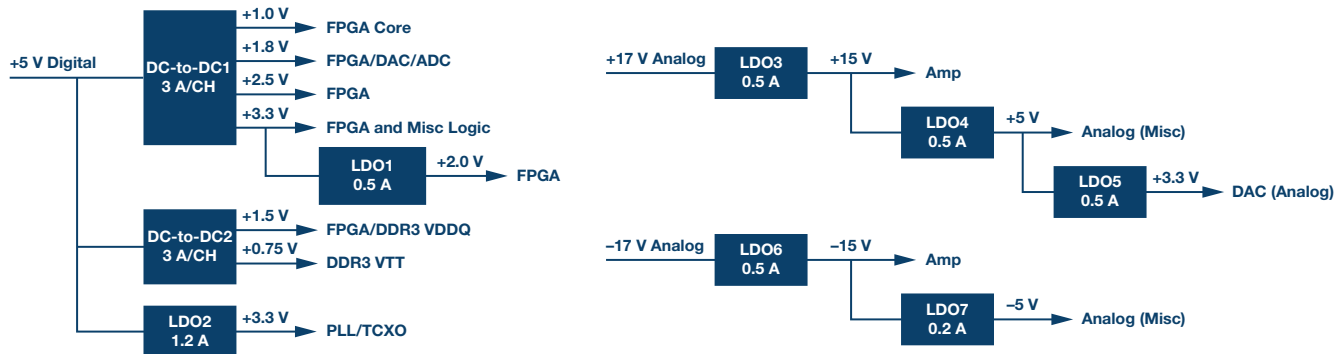


图 2. AWG 电源拓扑图

DC-to-DC1	DC-to-DC2	LD01/LD03/LD04/LD05	LD02	LD06	LD07
LTM4643/LTM4644	LTC3618	LT3045-1	ADP7157	LT3094	ADP7182

信号源类的产品要求噪声越低越好，信噪比越高越好。然而供电多数来自ac至dc或者dc至dc电源，本身就有很多的开关噪声和高频尖刺，所以对于LDO的选择主要考量PSRR指标，最好是选择有宽频抑制能力的，那样就可以最大程度抑制dc至dc的纹波和其谐波。比较推荐的一颗LDO是LT3045-1，它在10 MHz处依

然有着50 dB以上的PSRR。对于供电电流比较大，电压路数也比较多的FPGA应用场合，推荐选用LTM4643/LTM4644这样的电源模块，简化layout面积和设计难度，一片就可以满足多数FPGA的供电需求。对于DDR3之类的供电比较特殊，需要用到VTT Termination电压，LT3618就是这样一颗能满足DDR3的专用供电芯片。

主要产品

器件	规格	应用场合
<i>DAC</i>		
AD9739/ AD9739A	2.5 GSPS, 14位, LVDS接口, SFDR 69.5 dBc (100 MHz), INL ± 1.3 LSB, DNL ± 0.8 LSB	高性能任意波形的产生
LTC2000/ LTC2000A	2.5 GSPS/2.7 GSPS, 14/16位, LVDS接口, SFDR 76 dBc (100MHz), INL ± 0.2 LSB, DNL ± 0.5 LSB	高性能任意波形的产生
AD9152	双通道, 2.25 GSPS, 16位, 4路JESD204B接口, SFDR 72 dBc (150MHz), INL ± 10 LSB, DNL ± 5 LSB	高性价比的任意波形的产生, 简化了接口布线。
AD9121	双通道, 1.23 GSPS, 14位, LVDS接口, SFDR 72 dBc (70 MHz), INL ± 0.5 LSB, DNL ± 1 LSB	高性价比的任意波形的产生
LTC2666-16	8通道, 16位, INL ± 2.2 LSB, DNL ± 0.2 LSB, ± 10 V输出	AWG多个精密直流参数设定
AD5362	8通道, 16位, INL ± 4 LSB(最大值), DNL ± 1 LSB(最大值), ± 10 V输出	AWG多个精密直流参数设定
AD5676	8通道, 16位, INL ± 1.8 LSB, DNL ± 0.7 LSB, 0至5 V输出	AWG多个精密直流参数设定, 需要外置level shift运放
<i>ADC</i>		
ADAQ7980	SAR ADC, 1 MSPS, 16位, SFDR 106 dB (10 kHz), THD -105 dB, INL ± 8 ppm, DNL ± 7 ppm, 输入电压0至5 V, 集成ADC驱动器, 基准电压源缓冲器和LDO	高整合度的SAR ADC, 适合用在AWG外部调制信号的采集, 简化设计难度, 节省layout面积
AD4000	SAR ADC, 2MSPS, 16位, SFDR 115 dB (1 kHz), THD -95 dB (100 kHz), INL ± 0.2 LSB, DNL ± 0.15 LSB, 输入电压0至5 V, 集成高阻抗ADC驱动器	更高速的SAR ADC, 适合用在对AWG外部调制信号速度要求更高的采集
AD7124-4	4通道 Σ - Δ 型ADC, 最大值19.2 kSPS, 24位, INL ± 1 ppm, 输入电压 ± 2.5 V, 集成多路复用器, PGA, 基准电压源缓冲器和LDO	高整合度的24-bit ADC, 适合用在AWG自校准电路上
<i>时钟</i>		
LTC6952	11通道最大4.5 GHz PLL, 低抖动6 fs rms, -229 dBc/Hz带内相位噪声, 延迟步长11 ps	AWG高性能时钟的产生, 需要外挂高频VCO
HMC7044	14通道最大3.2 GHz, 低抖动44 fs rms, 相位噪声 -120 dBc/Hz (2.4576 GHz, 10 k失调), 延迟步长25 ps	AWG高性能时钟的产生
<i>时钟缓冲器</i>		
ADCLK914	7.5 GHz时钟/数据缓冲器, 100 ps上升/下降, 110 fs抖动, 差分输出摆幅 >3 V (2.5 GHz)	改善时钟信号完整性, 提高幅度
ADCLK925	双通道, 1:2, 7.5 GHz时钟/数据缓冲器, 60 ps上升/下降, 60 fs抖动, 差分输出摆幅 >1.5 V (2.5 GHz)	改善时钟信号完整性, 1:2时钟扇出
ADCLK905	7.5 GHz时钟/数据缓冲器, 60 ps上升/下降, 60 fs抖动, 差分输出摆幅 >1.5 V (2.5 GHz)	改善时钟信号完整性
<i>隔离器</i>		
ADN4651	双通道, 600 Mbps, LVDS隔离器, 5 kV rms	用于浮地信号源的数字通讯接口隔离, 适合大数据量传输
ADuM14xx	四通道, 150 Mbps, 数字隔离器, 3.75 kV rms	用于浮地信号源的数字通讯接口隔离
<i>MCU</i>		
ADSP-BF70x	400 MHz Blackfin+内核, 16/32位, 136 kB L1 SRAM, 256 kB至1 MB L2 SRAM, 片上ROM 512 kB, USB 2.0 $\times 1$	适合运行嵌入式系统以及一些需要快速浮点运算的场合

器件	规格	应用场合
参考源		
LT6657-2.5	2.5 V, 1.5 ppm/°C, 初始电压误差±0.1%, 噪声0.5 ppm p-p	低噪声, 超低温漂, 高精度的基准适合作为精密ADC/DAC的参考
ADR4525	2.5 V, 2 ppm/°C, 初始电压误差±0.025%, 噪声1.25 μ V p-p	低噪声, 低温漂, 较高初始精度的基准适合作为精密ADC/DAC的参考
鉴相器		
AD8302	LF ~ 2.7 GHz, 非线性度 <1度, 10 mV/度	用于AWG双通道ps级别相位对齐的自校准功能
比较器		
CMP401	四通道, 23 ns传播延迟, 输入范围-5 V至+3.9 V, TTL输出	适合用作过流保护电路里的窗口比较器
ADCMP605	单通道, 1.6 ns传播延迟, 输入范围0至+5.5 V, LVDS输出	适合外部参考时钟和触发输入的转换
驱动器和接收器		
ADN4661	300 MHz单端转差分驱动器	单端转差分, 降低走线串扰
ADN4662	200 MHz差分转单端接收器	差分转单端, 降低走线串扰
AMP		
AD8000	±6V, 电流反馈, 1.5 GHz带宽, ±3.9V摆幅, 压摆率4.1 kV/ μ s, 三次谐波79 dBc (20 MHz) 2 V p-p输出, 1.6 nV/ \sqrt Hz	适合高速信号调理, 第一第二级放大
ADA4927-1	±5V, 电流反馈, 差分放大器, 2.3 GHz带宽, ±3.8 V摆幅, 压摆率5 kV/ μ s, 三次谐波98 dBc (70 MHz) 2 V p-p输出, 1.4 nV/ \sqrt Hz	适合高速信号调理, 配合DAC输出的第一级驱动
AD8009	±5 V, 电流反馈, 1 GHz带宽, ±3.9 V摆幅, 压摆率5.5 kV/ μ s, 三次谐波75 dBc (20 MHz) 2 V p-p输出, 1.9 nV/ \sqrt Hz	适合高速信号调理, 第一第二级放大
ADA4870	±20 V, 电流反馈, 52 MHz带宽, ±18 V摆幅1 A输出, 压摆率2.5 kV/ μ s, 三次谐波74 dBc (1 MHz) 20 V p-p输出, 2.1 nV/ \sqrt Hz	适合50 MHz以下AWG最后一级信号放大
AD8672	双通道, ±15 V, 电压反馈, 10 MHz增益带宽, 输入失调电压20 μ V, 失调漂移0.3 μ V/°C, 2.8 nV/ \sqrt Hz, 输出电流±20 mA	适合精密直流信号的调理
LT1395	单通道, ±6 V, 电流反馈, 400 MHz带宽, 输入失调电压1 mV, 失调漂移15 μ V/°C, 4.5 nV/ \sqrt Hz, 输出电流±80 mA	高带宽适合脉冲波形的调理, 用于外部调制输入
LT1397	四通道, ±6 V, 电流反馈, 400 MHz带宽, 输入失调电压1 mV, 失调漂移15 μ V/°C, 4.5 nV/ \sqrt Hz, 输出电流±80 mA	高带宽适合脉冲波形的调理, 4通道并联可以增加驱动能力, 适合用作触发信号输出的驱动
AD8421	±18 V, 仪表放大器, 10 MHz带宽, CMRR 100 dB @ 20 kHz G = 10, 输入失调电压25 μ V, 失调漂移0.2 μ V/°C, 3 nV/ \sqrt Hz	比较高带宽的仪表运放, 高共模抑制能力, 特别适合AWG过流保护电路的电流电压转换
电源		
LTM4643/ LTM4644	四通道dc至dc模块, 4 V至20 V和4 V至14 V输入, 每通道3 A/4 A输出	高整合度电源模块, 无需外置电感, 适合FPGA等多路大电流供电
LTC3618	双通道, 2.25 V至5.5 V输入, ±3 A输出, 最大值4 MHz	DDR专用供电
LT3045-1	LDO, 1.8 V至20 V输入, 500 mA输出, PSRR 76 dB (1 MHz)	超宽的PSRR适合给运放等模拟电路供电
ADP7157	LDO, 2.3 V至5.5 V输入, 1.2 A输出, PSRR 55 dB (1 MHz)	低噪声大电流LDO, 适合PLL/TXCO等供电
LT3094	LDO, -1.8 V to -20 V _{in} , 500 mA out	宽电压低噪声负电源
ADP7182	LDO, -2.7 V至-28 V输入, 200 mA输出, PSRR 45 dB (1 MHz)	宽PSRR负电源, 适合给运放等模拟电路供电

设计资源

- ▶ AD9739A原生FMC卡/Xilinx参考设计—
www.analog.com/cn/AD9739A
- ▶ LTC2000A-14演示板(FMC) | 集成DDR LVDS接口的14位
2.7 Gsp/s DAC—www.analog.com/cn/lc2000a
- ▶ 电流反馈运算放大器—www.analog.com/cn/mt-034
www.analog.com/cn/mt-057
- ▶ CN-0393: 集成 μ Module™数据采集系统的同步采样信号链—
www.analog.com/cn/cn-0393
- ▶ CN-0384: 完全集成的热电偶测量系统—
www.analog.com/cn/cn-0384

设计工具/论坛

- ▶ LTspice®: ADI电路仿真器工具—
www.analog.com/cn/lspice-simulator.html
- ▶ EngineerZone®: 中文技术论坛: 在线技术支持社区—
www.ez.analog.com

欲查看有关气体探测器的其他资源、工具和产品信息, 请访问:

www.analog.com.instrumentation

中国技术支持中心

4006-100-006

模拟与其他线性产品

china.support@analog.com

嵌入式处理与DSP产品

processor.china@analog.com

免费样片申请

www.analog.com/zh/sample

在线购买

www.analog.com/zh/BOL

ADI在线技术论坛

ezchina.analog.com

网址

www.analog.com/zh/CIC



关注ADI官方微信

全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路2290号展想广场5楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
西小口路66号
中关村东升科技园
B-6号楼A座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路889号光谷国际广场
写字楼B座2403-2405室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2018 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. BR20999sc-0-12/18

analog.com/cn

 **ANALOG
DEVICES**
超越一切可能™