

带有分布式锁相环的相控阵的系统级LO相位噪声模型

Peter Delos
ADI公司

摘要

对于数字波束成形相控阵，要生成LO，通常会考虑的实现方法是向分布于天线阵列中的一系列锁相环分配常用基准频率。对于这些分布式锁相环，目前文献中还没有充分记录用于评估组合相位噪声性能的方法。

在分布式系统中，共同噪声源是相关的，而分布式噪声源如果不相关，在RF信号组合时就会降低。对于系统中的大部分组件，这都可以非常直观地加以评估。对于锁相环，环路中的每个组件都有与之相关联的噪声传递函数，它们的贡献是控制环路以及任何频率转换的函数。这会在尝试评估组合相位噪声输出时增加复杂性。本文基于已知的锁相环建模方法，以及对相关和不相关贡献因素的评估，提出了跟踪不同频率偏移下的分布式PLL贡献的方法。

简介

对于任何无线电系统，都需要为接收器和激励器精心设计本地振荡器(LO)生成的实现方法。随着数字波束成形在相控阵天线系统中不断普及，需要在大量分布式接收器和激励器中分配LO信号和基准频率，这让设计变得更加复杂。

在系统架构层面需要权衡的因素包括，分配所需的LO频率或分配较低的频率基准，以及在靠近使用点的物理位置产生所需的LO。通过锁相环从本地产生LO是一种高度集成的现成选项。下一个挑战是评估来自各种分布式组件以及集中式组件的系统级相位噪声。

采用分布式锁相环的系统如图1所示。常用基准频率被分配至多个锁相环，各产生一个输出频率。图1a中的LO输出被假设为图1b的混频器的LO输入。

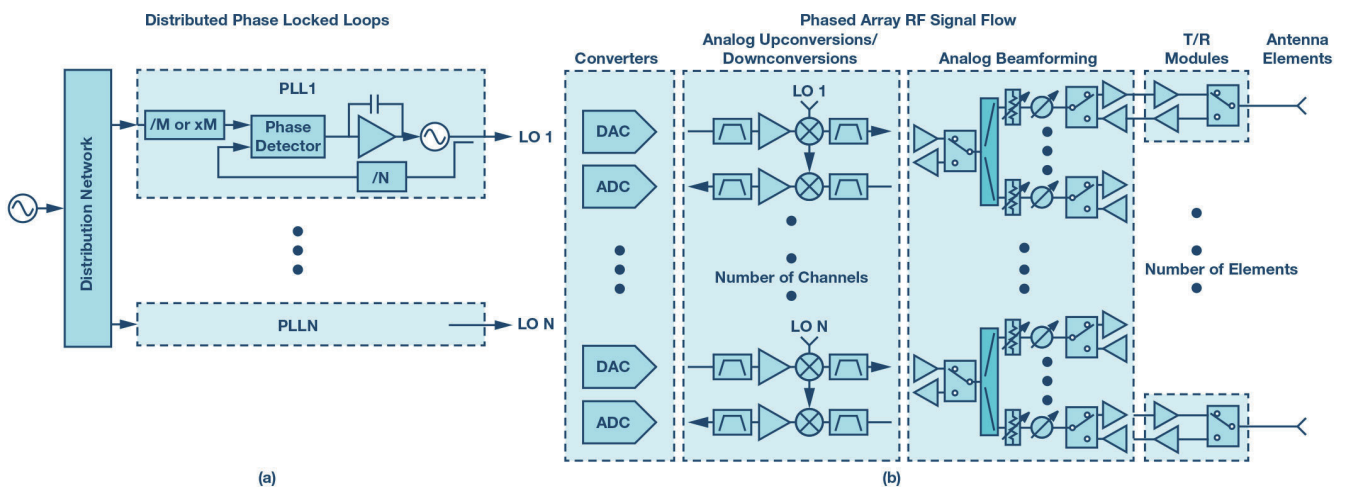


图1 分布式锁相环系统。每个振荡器都被锁相到一个共同的参考振荡器上。从1到N的LO信号都应用到相控阵中所示的混频器的LO端口上。

系统设计人员面临的一个挑战是跟踪分布式系统的噪声贡献、了解相关和不相关的噪声源，并估计整体的系统噪声。在锁相环中，这个挑战变得更加严峻，因为噪声传递函数都是锁相环中的频率转换和环路带宽设置的函数。

动机：组合锁相环测量示例

图2所示为针对组合锁相环的测量示例。这些数据是通过组合来自多个ADRV9009收发器的发射输出获得的。图中所示为单个IC、两个组合IC和四个组合IC的情况。对于这个数据集，在IC组合之后，可以看到明显的 $10\log N$ 改进。为了达到这个结果，需要采用一个低噪声晶体振荡器参考源。下一节建模的动机是推导出一种方法，以计算在具有许多分布式收发器的大型阵列中，更广泛地说是在具有分布式锁相环的任何架构中，这种测量结果会如何变化。

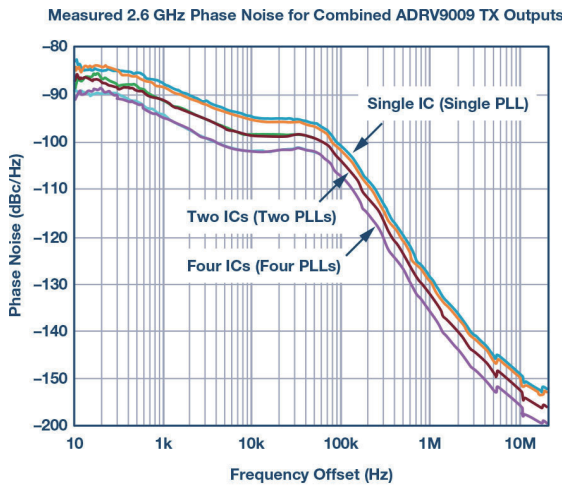


图2 两个组合锁相环的相位噪声测量。

锁相环模型

锁相环中的噪声建模已有充分的文档记录。¹⁻⁵图3所示为输出相位噪声图。在这种类型的图中，设计师可以快速评估环路中每

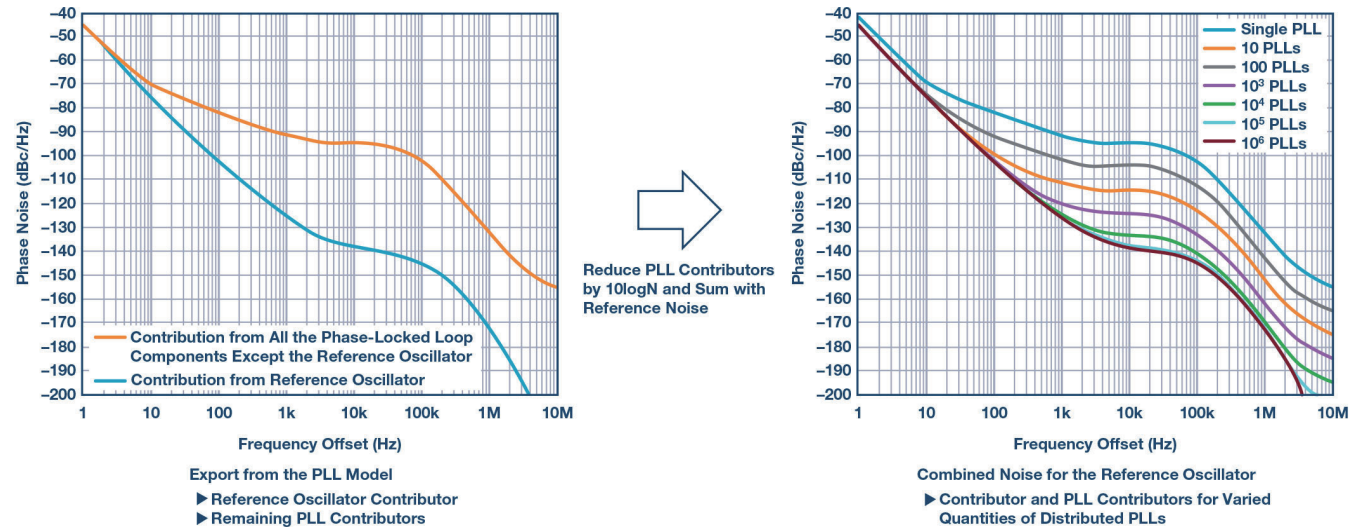


图4. 开始采用分布式锁相环相位噪声建模方法：从锁相环模型中提取参考振荡器和锁相环中除参考振荡器外的所有其他组件的相位噪声贡献。作为分布式锁相环数量的函数，组合相位噪声假设参考噪声是相关的，而分布在多个PLL之间的噪声贡献是不相关的。

个组件的噪声贡献，而这些贡献因素累计起来即可决定整体的噪声性能。模型参数设置为代表图2所示的数据，源振荡器用于估算将大量IC组合在一起时的相位噪声。

要检验分布式锁相环的效果，首先要从PLL模型导出参考贡献和其余PLL组件的贡献。

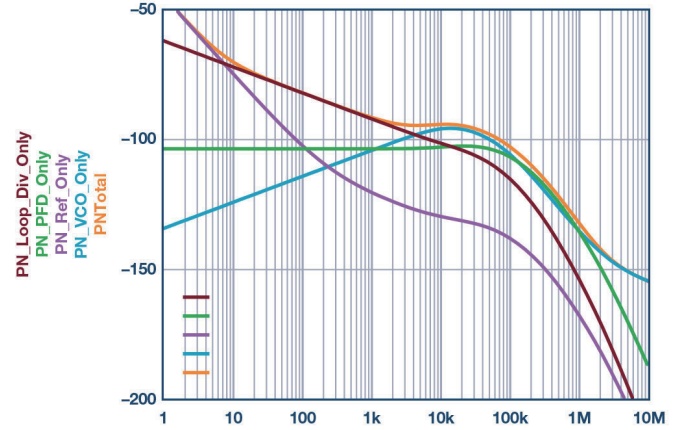


图3 典型的锁相环相位噪声分析，显示所有组件的噪声贡献。总噪声是所有贡献因素的总和。

将已知的PLL模型扩展为分布式PLL模型

下文将介绍为具有多个分布式锁相环的系统计算组合相位噪声的过程。这种方法的前提是能够将参考振荡器的噪声贡献与VCO和环路组件的噪声贡献分离开来。图4所示为一个假设的分布式示例，一个参考振荡器对应多个PLL。这个计算假设了一个无噪声分布，这不切实际，但可以用来说明原理。假设分布式PLL的噪声贡献是不相关的，并减少 $10\log N$ ，其中N表示分布式PLL的数量。随着通道增加，噪声在较大偏移频率下得到改善，对于大型分布系统，噪声变得几乎完全由参考振荡器主导。

图4所示的示例简化了对参考振荡器分布的假设。在真正的系统分析中,系统设计人员还应该考虑参考振荡器分布中的噪声贡献,它们会降低总体结果。但是,像这样的简化分析是非常有用的,能够让人了解架构方面的权衡会如何影响系统的总体相位噪声性能。接下来我们来看看分布系统中相位噪声的影响。

参考分布中的相位噪声说明

接下来将评估两个分布选项示例。考虑的第一种情况如图5所示。在这个示例中,选择了一个常用于快速调谐VCO频率的宽带PLL。参考信号的分布是通过时钟PLL IC实现的,这种IC也常用于简化数字数据链路(如JESD接口)的时序限制。左下角显示了各个贡献因素。这些贡献因素位于器件的频率,并未调整到输出频率。右下角的相位噪声图显示了不同数量的分布式PLL的系统级相位噪声。

该模型的有些特性值得注意。假设采用一个高性能晶体振荡器,标称频率为100 MHz,中央振荡器的单个贡献因素反映在可用的较高端晶体振荡器上,虽然不一定是最好、最昂贵的可用选择。虽然中央振荡器输出实际上会扇出到有限数量的分布式PLL,但这些PLL会再次按某个实际限值扇出并重复,以实现系统中的完整分布。对于本例中的分布贡献,假设有16个分布组件,然后假设它们会再次扇出。左下角所示的分布电路的单个贡献是不含参考振荡器贡献的PLL组件的噪声。本例中的分布假设与源振荡器同频率,并根据该函数可用的典型IC来选择噪声贡献因素。

宽带PLL假设采用S波段标称频率,设置采用1 MHz环路带宽(尽量与实际环路的带宽一般宽),以进行快速调谐。

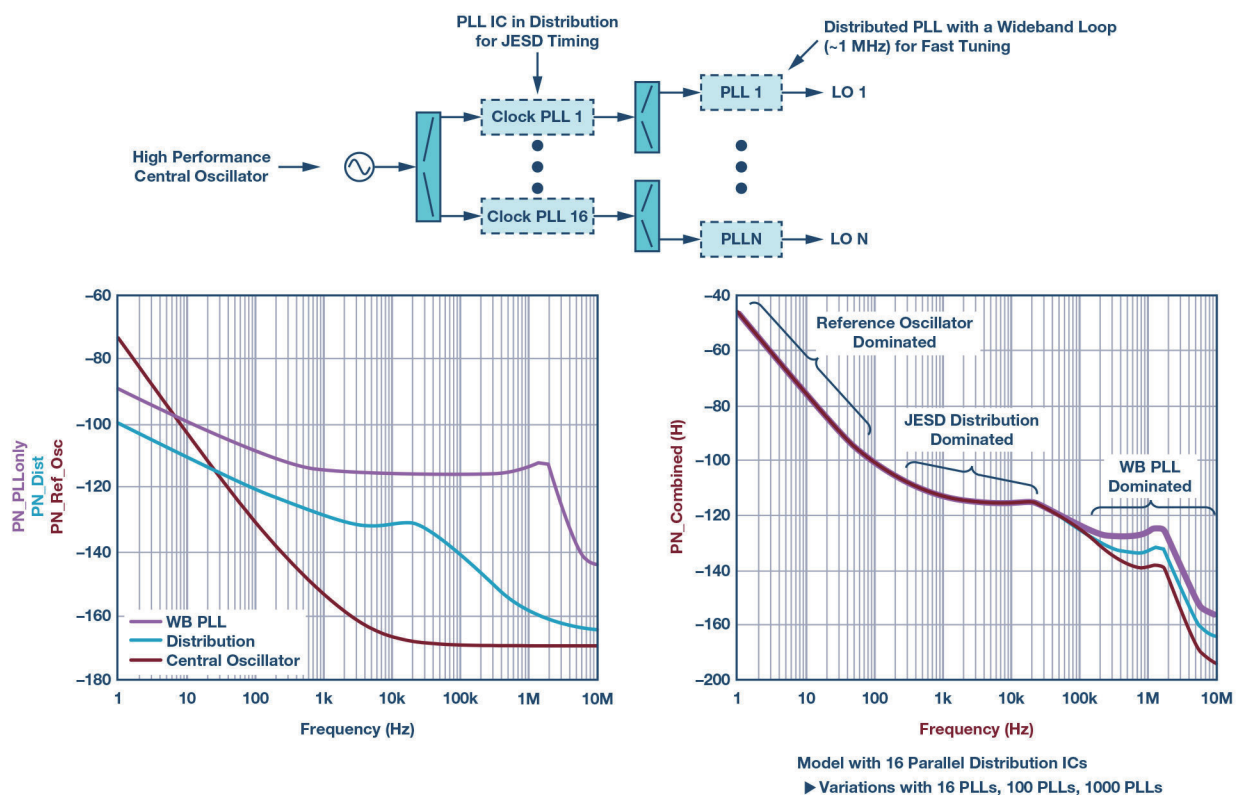


图5. 分布中具有PLL IC的分布式宽带PLL。

值得注意的是,选择这些模型是为了代表可能的实际情况,且说明了阵列中的累积效应。任何详细的设计或许都能够改善特定的PLL噪声曲线,这在预料之中,且这种分析方法旨在帮助从工程角度去决定应将设计资源分配在哪些位置以获得最佳总体效果,而不是为了做出相对于可用组件的确切论断。

图5右下角的图计算了L0分布的总组合相位噪声。其中应用了各个贡献因素的PLL噪声传递函数,它们都被调整至输出频率,也包含PLL环路带宽的影响。系统数量也包括在内,并且假设它们是不相关的,因此,这个贡献减少了 $10\log N$ 。假设分布数量为16,如前所述,分布贡献会减少 $10\log 16$ 。在实践中,随着分布不断重复,这种贡献会进一步减少。但是,额外的噪声贡献不那么显著。对于大型阵列中的扇出分布,噪声将由第一组有源器件主导。在16组扇出的情况下,如果每个有源器件都是16个其他有源器件的输入,那么在所有器件互不相关的情况下,16个器件的额外分布层只会降低 ~ 0.25 dB。如果继续这种分布,总体贡献将更小。因此,为了简化分析,不会考虑这种影响,且分布的噪声贡献通过计算前16个并行分布组件得出。

所得的曲线说明了几种效果。与单个PLL模型相似,近载波噪声由基准频率主导,远载波噪声由VCO主导,且在将不相关的VCO组合起来时,远载波噪声得到改善。这一点相当直观。不太直观的是,模型的值在由分布中的选择主导的偏移频率中占较大比重。这一结果导致考虑具有更低噪声分布和更窄PLL环路带宽的第二个示例。

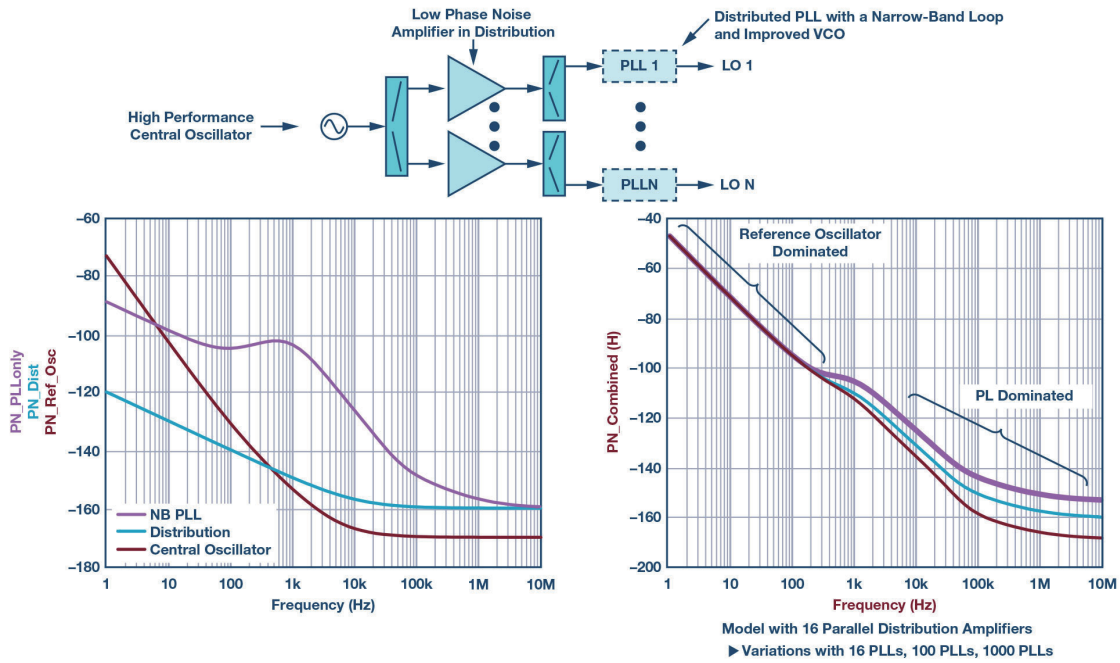


图6. 分布式窄带PLL，分布中具备放大器。

图6显示了一种不同的方法。采用相同的低噪声晶体振荡器作为参考。但通过RF放大器来分配，而不是通过PLL重定时和重新同步。选择固定频率的分布式PLL。这会产生两种效果：采用单个频率且调谐范围较窄时，VCO本质上可以更好，且环路带宽可以变得更窄。左下角的图显示了各个贡献因素。中央振荡器与前一个例子相同。请注意分布放大器：考虑低相位噪声放大器时，它们的性能不是特别高，但比起使用PLL LC（如之前的示例）要好得多。VCO更好、环路带宽更窄时，分布式PLL在更高偏移频率下会得到改善，但在~1 kHz的中间频率下时，实际上要比宽带PLL示例差。右下角显示组合结果：参考振荡器主导低频，而高于环路带宽时，性能会由分布式PLL主导，且随着分布式PLL的阵列尺寸和数量增加而提高。

图7显示这两个示例之间的比较。注意~2 kHz到5 kHz偏移频率范围内的大范围差异。

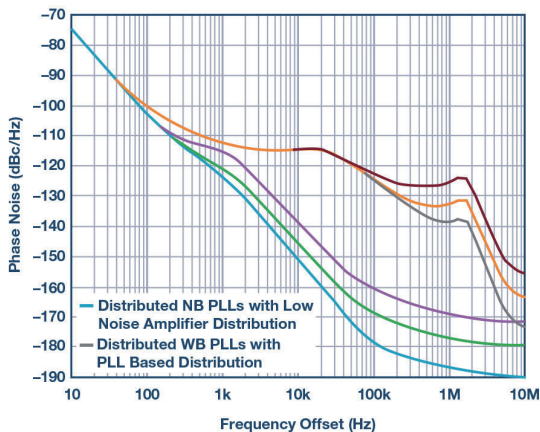


图7. 图5和图6之间的比较，显示了基于所选的分布和架构的广泛系统级性能范围。

分布式PLL阵列级考虑因素

基于对总体系统相位噪声性能的加权贡献的理解，可以得出几个与相控阵或多通道RF系统架构相关的结论。

PLL带宽

针对相位噪声优化的传统锁相环设计将环路带宽设置为偏移频率，以最小化总体相位噪声曲线。此时的频率一般是参考振荡器相位噪声按输出频率标准化后与VCO相位噪声相交的频率。对于具有多个锁相环的分布式系统，这可能不是最佳环路带宽。分布式组件的数量也需要考虑。

要在采用分布式锁相环实现的系统中获得最佳LO噪声，需要采用一个较窄的环路带宽来最小化参考振荡器的相关噪声贡献。

对于需要快速调优PLL的系统，通常会扩大环路带宽来优化速度。遗憾的是，这种优化分布式相位噪声贡献的思路本身就是背道而驰的。克服这一问题的选择之一是在宽带环路之前设置分布式窄带清理环路，以降低参考噪声和分布噪声相关位置的偏移频率。

大型阵列

对于使用数千个通道的系统，如果分布式组件的贡献之间保持互不相关，则系统能够获得大幅改进。主要考虑的问题可能围绕参考振荡器的选择展开，以及面向分布式接收器和激励器维持低噪声分布系统。

直接采样系统

随着速度和RF输入带宽持续提升的GSPS转换器的不断普及，直接采样系统正逐渐在微波频率实现。这导致出现一种有趣的取舍现象。数据转换器只需要一个时钟频率，RF调谐完全在数字域中完成。通过限制调谐范围，可以构建具备相位噪声性能更高的VCO。这也使得创建数据转换器时钟的PLL的环路带宽降低。更低的环路带宽会将参考振荡器的噪声传递函数降至更低的偏移频率，从而减少它在系统中的贡献。这一点，再加上改进过的VCO，在某些情况下可能给分布式系统带来好处，即使单通道比较结果似乎更青睐替代架构：

组件选项

根据系统架构中所需的选择，设计人员拥有大量可用的组件选项。[2018年度RF、微波和毫米波产品选型指南更新版现已发布。](#)

近期的集成VCO/PLL选项包括[ADF4371/ADF4372](#)。它们提供的输出频率分别高达32 GHz和16 GHz，采用-234 dBc/Hz的先进PLL相位噪声FOM。[ADF5610](#)提供高达15 GHz的输出。[ADF5355/ADF5356](#)的输出可达13.6 GHz，[ADF4356](#)的输出可达6.8 GHz。

对于单独的PLL和VCO配置，[ADF41513](#)的工作频率可达26 GHz，且配有一个先进的锁相环相位噪声FOM，其相位噪声FOM为-234 dBc/Hz。有时，在选择PLL IC时要考虑的一个问题是在尽可能高的频率上操作鉴相器，从倍增20logN到输出频率，最小化环路中的噪声。[HMC440](#)、[HMC4069](#)、[HMC698](#)和[HMC699](#)采用的PFD的工作频率高达1.3 GHz。对于VCO，2018年选型指南列出了几十个VCO选项，范围从2 GHz到26 GHz不等。

对于直接采样选项，ADC和DAC均已发布。产品支持在L频段和S频段直接采样。ADC具有更高的输入频率带宽，支持C频段直接采样。[AD9208](#)是一个双通道3 GSPS ADC，输入频率为9 GHz，支持在上Nyquist区采样。[AD9213](#)是一个单通道10 GSPS ADC，支持具有较大瞬时带宽的接收器。对于DAC，[AD917x](#)系列采用双通道12 GSPS DAC，[AD916x](#)系列采用单通道12 GSPS DAC，经过优化之后可实现更低的残留相位噪声和更好的SFDR。两个系列都支持L频段和S频段波形生成。

本节仅提供入门指南。频率更高、性能更好的新器件层出不穷。请访问我们的网站[analog.com](#)，或者联系本地销售支持团队获得最新的IC信息。

结语

本文介绍了为采用分布式锁相环的系统评估相位噪声的方法。该方法的前提是：每个组件都可以通过其各自的噪声、组件与系统输出之间的噪声传递函数、使用的数量以及器件之间的任何相关性来进行跟踪。所示的示例并不意在可对用的组件或架构功能进行论断。它们旨在说明一种方法，以帮助设计人员在数字波束成形相控阵中，对LO中的阵列级相位噪声贡献因素以及为分布式波形发生器和接收器提供服务的时钟分布网络进行有根据的评估。

参考文献

¹ Ulrich Rohde, 《微波和无线频率合成器：理论与设计》。Wiley, 1995年。

² Floyd Gardner, 《锁相技术》。第三版, Wiley, 2005年。

³ Dean Banerjee, 《PLL性能、仿真和设计》, 第四版。Dog Ear Publishing, 2006年8月。

⁴ Dan Wolaver, 《锁相环电路设计》。Prentice Hall, 1991年2月。

⁵ Avi Brillant, “了解锁相DR0设计的各方面。” *Microwave Journal*, 2000年9月。

⁶ Peter Delos, “锁相环噪声传递函数”。*High Frequency Electronics*, 2016年1月。

⁷ ADS PLL示例。“PLL相位噪声”。Keysight技术。

⁸ ADIsimPLL。ADI公司

⁹ Ian Collins, “锁相环(PLL)基本原理”。《模拟对话》, 2018年7月。

¹⁰ E. Anthony Nelson, “相控阵的噪声考虑因素”。IEEE, Telesystems会议, 1991年。

¹¹ Heng-Chia Chang, “面向波束控制有源相控阵、带有独立振荡器的耦合锁相环分析”。IEEE Transactions on Microwave Theory and Techniques, 第52卷, 第3期, 2004年3月。

¹² Thomas Höhne和Ville Ranki, “波束合成过程中的相位噪声”。IEEE Transactions on Wireless Communication, 第9卷, 第12期, 2010年12月。

¹³ Antonio Puglielli、Greg LaCaille、Ali Niknejad、Gregory Wright、Borivoje Nikolic、Elad Alon, “OFDM多用户波束合成阵列中的相位噪声测量与跟踪”。IEEE ICC, 无线通信研讨会, 2016年5月。

作者简介

Peter Delos是ADI公司航空航天和防务部门的技术主管，在美国北卡罗莱纳州格林斯博罗工作。他于1990年获得美国弗吉尼亚理工大学电气工程学士学位，并于2004年获得美国新泽西理工学院电气工程硕士学位。Peter拥有超过25年的行业经验。其职业生涯的大部分时间花在高级RF/模拟系统的架构、PWB和IC设计上。他目前专注于面向相控阵应用的高性能接收器、波形发生器和合成器设计的小型化工作。联系方式：peter.delos@analog.com。

在线支持社区

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ezchina.analog.com



全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329-4700
Fax: (1 781) 461-3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路2290号展想广场5楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区西小口路66号
中关村东升科技园
B-6号楼A座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路889号光谷国际广场
写字楼B座2403-2405室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2018 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. TA208655sc-0-11/18

analog.com/cn

