

最大限度提高Σ-Δ ADC驱动器的性能

作者: **Stuart Servis**和**Miguel Usach Merino**

简介

您有没有检查过网络上有多少条关于“ADC缓冲器设计”的内容?答案是超过400万条,在如此多的参考文献中很难找到我们需要的内容。对于大多数模拟和混合信号数据采集系统设计工程师来说,这可能不是很意外,因为设计无缓冲模数转换器(ADC)的外部前端需要有耐心和大量建议。它常常被视为一种艺术形式,是经过多年摸索掌握其窍门的古怪大师的保留地。对于没有经验的人来说,这是一个令人沮丧的反复尝试过程。大多数时候,由于相互关联的规格要求很多,迫使设计人员不得不进行很多权衡(和评估)才能达到最佳效果。

挑战

放大器级的设计由两个彼此相关的不同级组成,因此问题变得难以在数学上建模,特别是因为有非线性因素与这两级相关。第一步是选择用来缓冲传感器输出并驱动ADC输入的放大器。第二步是设计一个低通滤波器以降低输入带宽,从而最大限度地减少带外噪声。

理想的放大器是提供刚刚好的带宽以正确缓冲传感器或变送器产生的信号,而不会增加额外噪声,并且功耗为零,但实际放大器与此相距甚远。在大多数情况下,放大器规格将决定整体系统性能,尤其是在噪声、失真和功耗方面。为了更好地弄清楚问题,第一步是了解离散时间ADC的工作原理。

离散时间ADC获得连续时间模拟信号的样本,然后将其转换为数字码。当信号被采样时,根据模拟转换器的类型,同一固有问题有两种不同的情况。

SAR ADC集成一个采样保持器,其基本上由一个开关和一个电容组成,作用是保持模拟信号直到转换完成,如图1所示。

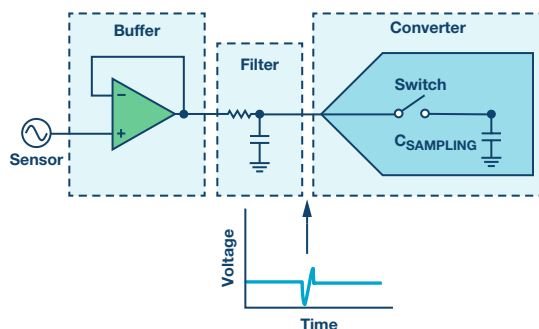


图1. 采样保持电路图

离散时间Σ-Δ ADC或过采样转换器实现了类似的输入级,即具有一定内部电容的输入开关。Σ-Δ ADC的采样机制略有不同,但采样输入架构类似,使用开关和电容来保持模拟输入信号的副本。

在这两种情况下,开关都是用CMOS工艺实现,闭合时电阻为非零值,通常为几欧姆。此串联电阻与采样电容(pF级)的组合,意味着ADC输入带宽常常非常大,在许多情况下要远大于ADC采样频率。

带宽问题

对转换器来说,输入信号带宽是一个问题。在采样理论中,我们知道高于奈奎斯特频率(ADC采样频率的一半)的频率信号应被移除,否则这些频率信号将在目标频带中产生镜像或混叠。通常,噪声频谱中有相当一部分功率存在于ADC奈奎斯特频率以上的频带中。如果不处理这种噪声,它将混叠到奈奎斯特频率以下,增加本底噪声(如图2所示),使系统的动态范围明显降低。

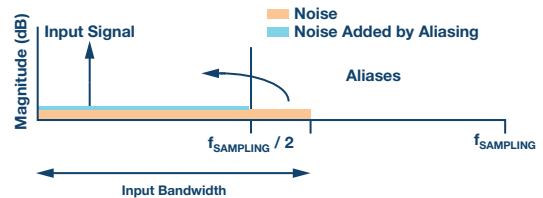


图2. 奈奎斯特折叠镜像

ADC输入信号带宽,以及缓冲器输出带宽,是第一个要解决的问题。为确保噪声不会向下混叠,必须限制ADC输入信号的带宽。这不是一个小问题。

通常,放大器的选择是基于大信号带宽(即压摆率)和增益带宽积的规格,以便应对输入信号的极端情况,这决定了ADC可以跟踪的最快变化的信号。

然而,放大器的有效噪声带宽等于小信号带宽(通常针对小于10 mV p-p的信号而考虑),这常常比大信号带宽高出至少四到五倍。

换句话说,如果大信号规格是针对500 kHz而选择,那么小信号带宽很容易就能达到2 MHz或3 MHz,这可能会导致ADC采集到大量噪声。因此,在将模拟信号输入ADC之前,应在外部限制小信号带宽,否则测得的噪声将是ADC数据手册规格的三到四倍。

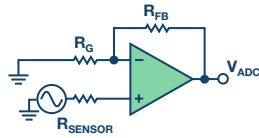


图3. 同相放大器配置

表1. 放大器折合到输出端的噪声, RTO

噪声源	折合到输出端的噪声
R_{SENSOR}	$\left(1 + \frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times \sqrt{4 \times k \times T \times R_{\text{SENSOR}}} \times \sqrt{BW}$
R_{G}	$\left(-\frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times \sqrt{4 \times k \times T \times R_{\text{FB}}} \times \sqrt{BW}$
R_{FB}	$\sqrt{4 \times k \times T \times R_{\text{FB}}} \times \sqrt{BW}$
放大器 电流噪声	$\sqrt{(I_{\text{NOISE}} \times R_{\text{FB}})^2 + \left[\left(1 + \frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times I_{\text{NOISE}} \times R_{\text{SENSOR}}\right]^2} \times \sqrt{BW}$

记住，放大器产生的热噪声取决于放大器增益和总系统带宽。电路示例如图3所示，噪声源总结在表1中，其中：

T为温度（单位为K），

k为玻尔兹曼常数(1.38×10^{-23} J/K)，

电阻值单位为 Ω ，

BW指小信号带宽。

以上公式表明，在ADC输入引脚之前增加一个具有足够衰减性能的低通滤波器以使采样噪声最小是很重要的，因为噪声与带宽的平方根成比例。通常，采用分立电阻和电容实现截止频率足够低的一阶低通滤波器可消除大部分宽带噪声。一阶低通滤波器还有一个额外的好处，即降低目标频带之外的任何其他较大信号的幅度，防止其被ADC采样而可能产生混叠。

但是，这还没完。ADC内部开关电阻和电容定义了模拟输入带宽，但由于输入信号的变化，会产生时域充放电循环。每次开关（连接到采样ADC电容的外部电路）闭合时，内部电容电压可能与先前储存在采样电容上的电压不同。

何为反冲问题？

下面是一个经典的模拟问题：“若有两个并联电容连接到一个开关，开关断开时，一个电容储存了一些能量，那么当开关闭合时，两个电容会发生什么？”

答案取决于充电电容储存的能量和电容之间的比率。例如，如果两个电容具有相同的值，则能量将在它们之间均分，电容端子间测得的电压将减半，如图4所示。



图4. 充电（左）和未充电（右）的电容

这就是反冲问题。

一些ADC会执行内部校准以补偿内部误差，这称为自稳零校准。这些程序会使采样电容电压接近供电轨或另一电压，例如基准电压的一半。

这意味着放大器缓冲的外部信号和采样电容（其必须保存模拟值以便获取新样本）常常不是处于相同的电位（电压）。因此，采样电容必须充电或放电，以使其与缓冲器输出具有相同的电位。此过程所需的能量将来自外部电容（低通RC滤波器中的电容）和外部缓冲器。这种电荷再分配和电压的建立将需要一定的时间，在此期间电路中各点处的电压将受到干扰，如图1所示。再分配的电荷量可能很大，相当于电流流入或流出放大器并流入电容。

结果是放大器应当能够在非常有限的时间内对低通滤波器的外部电容和ADC的采样电容进行充电/放电，低通滤波电阻则会用作限流器。

更具体地说，放大器应当能够在给定误差范围内从采样电容和外部源对电容充电/放电。外部低通滤波器的截止频率应该比目标频带略高一点，由滤波器的时间常数、ADC的位数以及样本之间的最差情况转换（即我们应当能够准确测量的最差输入阶跃）来定义。

如何解决反冲问题？

解决该问题的较简单方法是选择具有足够压摆率、带宽增益积、开环增益和CMRR的放大器，并将您在市场上能够找到的最大电容放在输出端，而电阻足够小，以满足低通滤波器带宽要求。

由于电容非常大，反冲问题将可以忽略不计，带宽受低通滤波器限制，所以问题得以解决，对吗？

很遗憾，上面的解决方案不会奏效，但如果您很好奇，想尝试上述解决方案，那么您会发现两点：电容将像炼乳容器那么大，放大器不喜欢输出端有虚部阻抗。

放大器的性能取决于放大器看到的虚部阻抗。在这种情况下，低通滤波器的缺点是THD和建立时间性能降低。建立时间的增加将导致放大器无法对电容充电，使得ADC采样的电压不是正确的最终电压。这将加剧ADC输出的非线性。

为了更好地阐述上面的观点，图5显示了放大器驱动不同阻性负载的性能差异。图6显示了容性负载引起的小信号过冲，这会影建立时间和线性度。

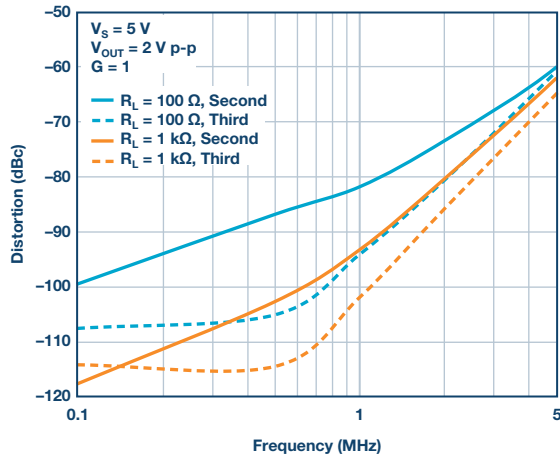


图5. AD4896-2 THD性能与负载的关系

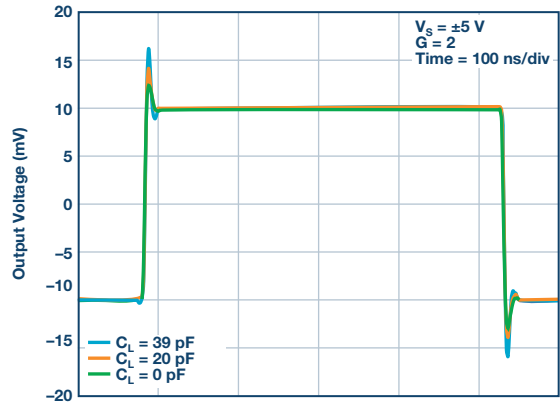


图6. ADA4896-2的小信号传输响应与负载的关系

为了最大限度地解决这个问题，放大器输出应通过低通滤波器的串联电阻与外部电容隔离。

电阻应足够大，以保证缓冲器不会看到虚部阻抗，但又足够小，以满足所需的输入系统带宽，并使缓冲器流出的电流在电阻上引起的IR压降最小（放大器可能无法足够快地使这种电压降稳定下来）。同时，电阻应支持外部电容减小到足够小的值，以最小化反冲而不影响建立时间。

您可以在[这里](#)找到更多信息。

幸运的是，有一些工具可以让我们预测ADC、放大器和滤波器的组合性能，比如说[精密ADC驱动器工具](#)。

此工具可以对反冲、噪声和失真性能进行仿真，如图7所示。

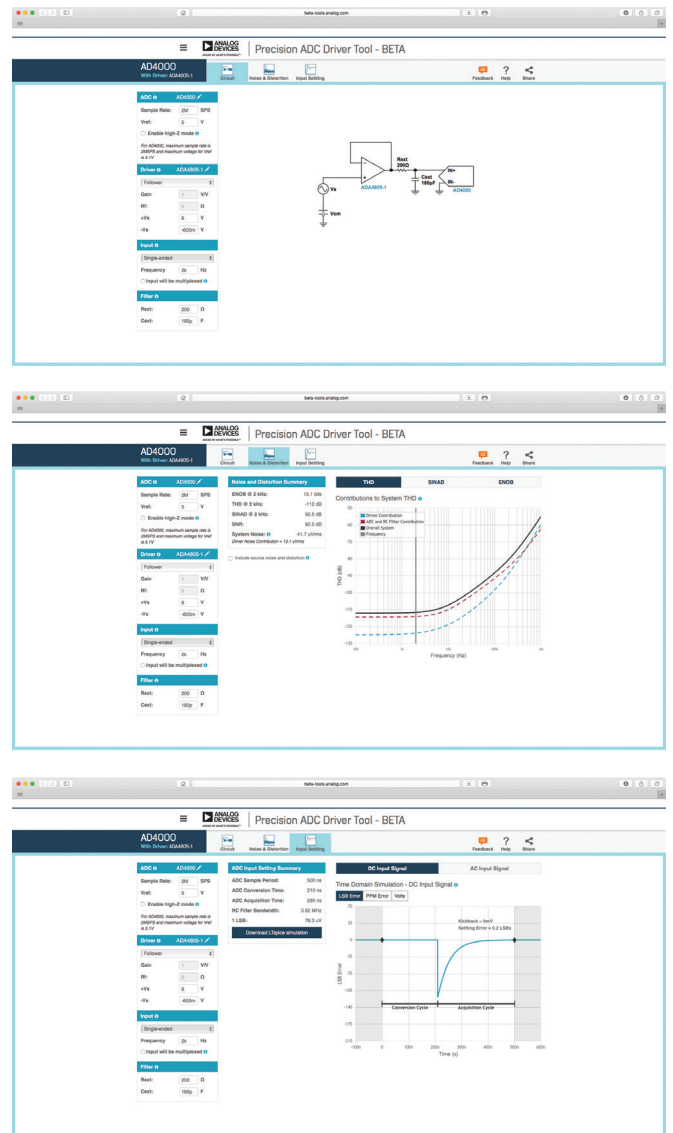


图7. 精密ADC驱动器工具的各种仿真

低通滤波器的经验法则

通常，一阶低通滤波器出现在许多建议中，但为什么没有人使用更高阶滤波器？除非应用明确要求消除输入信号中较大的带外干扰或谐波，否则增加滤波器阶数将给系统带来额外的复杂性。一般来说，折衷方案是让小信号带宽略高于需求，这会影噪声，但好处是能够轻松驱动ADC输入级，并能降低功耗和成本。

减轻负担

我们之前提到，放大器不喜欢虚部阻抗和/或提供大电流，但这不可避免，因为虚部阻抗是电容带来的，而电容能解决反冲问题。

改善这种情况的唯一办法是减少反冲。这种解决方案已被最新的ADI转换器采用，例如AD7768和AD4000。

由于转换器架构不同，每种器件采用的解决方案也不同。AD4000 SAR ADC可在低于模拟输入范围的电源下工作。采用的解决方案称为高阻模式，仅适用于100 kHz以下的采样频率。

在AD7768中，电源等于或高于模拟输入范围。AD7768采用的解决方案称为预充电缓冲器，与高阻模式相反，其工作频率最高可达ADC最大采样频率。

两种解决方案均基于相同的工作原理，驱动ADC的主要困难是电容电荷再分配。换句话说，当内部开关重新连接采样电容时，输入缓冲器和低通滤波器看到的电压降越低，电压反冲就越小，ADC输入电流相应减小。因此，驱动ADC就越容易，建立时间也越短。滤波器电阻上的压降降低，故交流性能得到提升。

图8显示了预充电缓冲器和高阻模式使能与禁用情况对输入电流的影响。

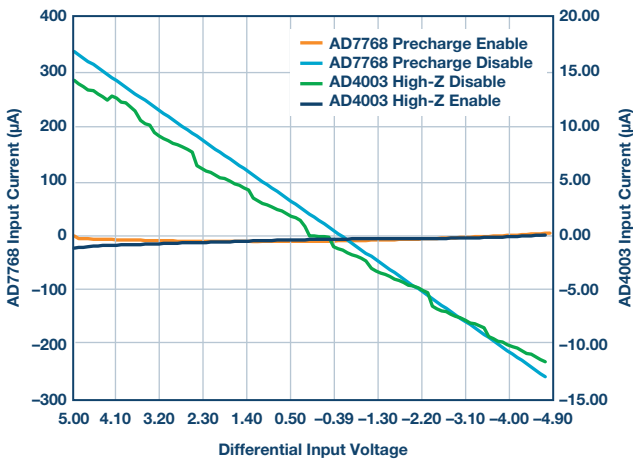


图8. 输入电流

输入电流越高，放大器带宽也应越高（即越快）。因此，输入低通滤波器带宽应该越高，这会提升噪声。

例如，对于以1 MSPS采样的1 kHz输入信号，使用SINAD来评估性能。在不同的滤波器截止频率下，我们得到如图9所示的结果。

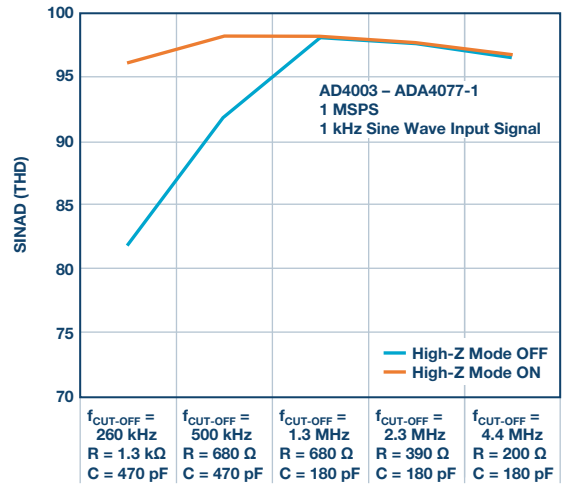


图9. 使用和不使用高阻模式两种情况下AD4003 SINAD与输入带宽的关系

上图显示，相比于完全相同的配置但高阻模式关闭，低输入电流（高阻模式开启）降低了滤波器截止频率要求和滤波器电阻的IR压降，提升了ADC性能。

从图9可以观察到，通过提高输入滤波器截止频率，外部放大器可以更快地对采样电容充电/放电，但代价是噪声会提高。例如，在高阻模式开启时，500 kHz时的采样噪声小于1.3 MHz时的采样噪声。因此，SINAD在500 kHz输入带宽时更好。此外，低通滤波器所需的电容会减小，有助于提高放大器驱动器的性能。

电路设计优势

ADI公司最新ADC中实现的这些更易于驱动或减轻负担的特性，对整个信号链都有一些重大影响。ADC设计人员将一些驱动问题引入ADC芯片本身的关键优势，在于该解决方案可以设计为尽可能高效地满足ADC的信号要求，从而解决一些问题，包括输入带宽和放大器稳定性。

减小流入ADC输入端的电流，从而减少反冲，意味着放大器要处理的电压阶跃较低，但仍然具有与标准开关电容输入相同的完整采样周期。

减小给定时间内要建立的阶跃电压，与使用较长时间来建立较大阶跃意义相同。净效应是放大器现在不需要如此宽的带来将输入充分建立到同一最终值。带宽减小通常意味着放大器功耗更低。

看待这种情况还有一种方式：想象一下，通常认为没有足够带宽来使给定ADC输入建立的放大器，现在能够在使能预充电缓冲器的情况下实现充分建立。

ADI应用笔记AN-1384介绍了一系列放大器在三种功耗模式下与AD7768配合使用时可实现的性能。此文档介绍的放大器之一是ADA4500-2，当不使用预充电缓冲器时，它难以在中功率模式下使AD7768的输入建立(THD > -96 dB)。但是，当使能预充电缓冲器时，性能显著提升优于-110 dB THD。

ADA4500-2是一款10 MHz带宽放大器，在给定模式下使AD7768建立所需的带宽约为12 MHz，我们看到，易驱动特性现在支持使用这种较低带宽放大器。因此，这些特性不仅使得前端缓冲电路的设计更加容易，而且还允许更自由地选择元器件以保持的系统功耗或热限值范围内。

流入ADC模拟输入引脚的电流减小的第二个优点，是现在流过串联电阻（其用作输入RC网络的一部分）的电流减小。

对于传统ADC输入，相对较大的电流意味着只能使用小值电阻，否则会在该电阻上产生很大电压降。这里的大压降可能导致ADC转换结果中出现增益误差或线性误差。

然而，使用较小电阻值也有挑战。使用较小电阻实现相同的RC带宽意味着要使用更大电容。但是，这种大电容与小电阻组合可能导致缓冲放大器不稳定。

使用易驱动特性时遇到的电流减小情况，意味着可以使用较大值电阻而不会影响性能，并能确保系统稳定。

电路性能优势

考虑上文所述的电路设计优势，很明显，使用这些特性还能获得性能优势或进一步改善性能的机会。

已经提到的优势，即能够利用较低带宽放大器实现更好的性能，也可以用于扩展更优化系统的性能。例如，即便是已充分建立的输入信号，当最终建立发生时，输入之间仍可能存在一些不匹配。因此，使能预充电缓冲器之类的特性将意味着这种最终建立会小得多，故而能够实现最高水平的THD，而以前这是不可能的。

流过RC网络串联电阻的电流减小也有利于性能。此外，不仅输入电流显著降低，而且它几乎不依赖于输入电压。THD也能得到改善，因为输入对上电阻的任何不匹配都会导致ADC输入端看到较小电压差，并且电压降不具有信号依赖性。

较低的输入电流对失调和增益精度也有影响。由于绝对电流减小，以及信号相关的电流变化减少，每个通道或每个电路板上的元件值变化导致失调和增益误差发生较大变化的可能性也较小（同理，较低电流导致串联电阻上的电压变小）。利用预充电缓冲器可以实现更好的绝对失调和增益误差规格，系统内不同电路板或通道的性能也会更为一致。

在ADC采样速率为适应不同信号采集需求而变化的系统中，例如在数据采集卡中，较低电流还有另一个好处。在没有预充电缓冲器的情况下，输入无源元件上的电压降随ADC的采样速率而变化，因为在较高采样速率下，ADC输入电容常常会更频繁地充电和放电。这同时适用于模拟输入路径和基准输入路径，ADC将此电压变化视为与采样速率相关的失调和增益误差。

但是，当使能预充电缓冲器时，绝对电流以及相应的绝对电压降在开始时小得多，因此ADC采样速率变化引起的电压变化也会低得多。在最终系统中，这意味着当调整采样率时不大需要重新校准系统失调和增益误差，并且失调和增益误差对ADC采样速率的变化不那么敏感。

成本优势

易使用特性的主要优点之一与总成本有关。各方面的设计和性能优势导致开发成本和运行成本有可能降低。

- ▶ 更简单的设计意味着设计工作量减少，完成第一个原型的时间更快。
- ▶ 原型设计一次成功的机率更大。
- ▶ 易驱动特性支持更低的带宽，因而可以使用较低成本的放大器。
- ▶ 失调和增益优势可以减少工厂校准。
- ▶ 性能改进可以减少现场校准或按需校准，从而减少停机时间和/或提高产量。

使用AD7768-1的实例

表2显示了AN-1384应用笔记中的一些测量数据，此数据有助于设计人员选择合适的放大器来驱动AD7768-1 ADC。表格中的例子说明，当使能预充电特性时，改善幅度相当明显。具体来说，THD的改善是上面提到的减轻ADC加之于驱动电路的负担的综合效应的结果。例如，当使能预充电缓冲器时，采用ADA4945-1放大器的配置使THD提高4 dB。类似地，ADA4807-2电路使THD增加18 dB。这些例子表明：高性能的放大器，当与ADI公司的许多最新ADC提供的易驱动特性结合时，可以实现一流的性能水平。

表2. 使用不同放大器的AD7768-1性能

放大器	预充电缓冲器	SNR (dB)	THD (dB)	SINAD (dB)
ADA4940-1	禁用	105.4	-114.5	105.0
ADA4940-1	使能	105.2	-120.4	105.1
ADA4807-2	禁用	105.1	-105.7	102.6
ADA4945-1	禁用	105.9	-116.6	105.6
ADA4896-2	禁用	106.7	-118.0	106.5
ADA4807-2	使能	104.9	-123.7	104.8
ADA4945-1	使能	106.0	-120.7	105.8
ADA4896-2	使能	105.5	-130	106.4

结论

由于转换器的反冲和带宽要求，设计一个驱动无缓冲ADC的电路并非易事，需要适当的方法和折衷考虑。很多时候，所需电路将决定整体系统的THD、SNR和功耗等方面的性能。

ADI公司采用SAR和 Σ - Δ 技术的最新精密转换器集成了一系列特性，可最大限度地减小转换器输入电流。这将使反冲最小，大大减少并简化外部电路，实现以前无法实现的规格数值。SAR和 Σ - Δ 技术因而更易于使用，工程时间得以缩短，系统特性得到改善。

Stuart Servis [stuart.servis@analog.com] 是ADI公司的产品应用工程师，在仪器仪表与精密技术部门的精密信号链团队工作。他的专业领域是基于 Σ - Δ 和SAR ADC的精密数据采集信号链。他拥有爱尔兰国立大学戈尔韦分校应用物理与电子学理学学士学位。



Stuart Servis

Miguel Usach Merino [miguel.usach@analog.com] 拥有瓦伦西亚大学电子工程学位。2008年加入ADI公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino