

Alveo U200 和 U250 加速器卡

用户指南

UG1289 (v1.1.1) 2019 年 11 月 20 日

条款中英文版本如有歧义，概以英文本为准。



修订历史

下表列出了本文档的修订历史。

章节	修订总结
2019 年 11 月 20 日 1.1.1 版	
常规更新。	仅进行编辑更新。无技术内容更新。
2019 年 10 月 31 日 1.1 版	
所有章节。	已全部彻底更新到 Vitis™ 统一软件平台。
2019 年 2 月 15 日 1.0 版	
初始赛灵思版本。	不适用

目录

修订历史.....	2
第 1 章: 引言.....	4
原理图.....	6
卡功能.....	6
卡规格.....	7
设计流程.....	8
第 2 章: 卡安装与配置.....	13
静电放电提示.....	13
在服务器机箱中安装 Alveo 数据中心加速器卡.....	13
FPGA 配置.....	13
第 3 章: 卡组件描述.....	15
UltraScale+ FPGA.....	15
DDR4 DIMM 存储器.....	15
QSPI 闪存.....	15
USB JTAG 接口.....	16
FT4232HQ USB-UART 接口.....	16
PCI Express 端点.....	16
QSFP28 模块连接器.....	16
I2C 总线.....	17
状态 LED.....	17
卡电源系统.....	17
附录 A: 赛灵思设计约束 (XDC) 文件.....	18
附录 B: 法规合规信息.....	19
CE 指令.....	19
CE 标准.....	19
合规标识.....	20
附录 C: 附加资源与法律提示.....	21
赛灵思资源.....	21
Documentation Navigator 与设计中心.....	21
参考资料.....	21
请阅读: 重要法律提示.....	22

引言



重要提示! 除非另行说明，本用户指南同时适用于 U200 卡和 U250 卡。

赛灵思 Alveo™ U200/U250 数据中心加速器卡属于围绕赛灵思 Virtex® UltraScale+™ 技术设计制造的外围部件互连高速 (PCIe®) Gen3 x16 兼容卡。这些卡可加速计算密集型应用，如机器学习、数据分析、视频处理等。Alveo U200/U250 数据中心加速器卡支持被动散热和主动散热配置。下图展示的是被动散热型 Alveo U200 加速器卡。

图 1: Alveo U200 数据中心加速器卡 (被动散热)



X23434-102419



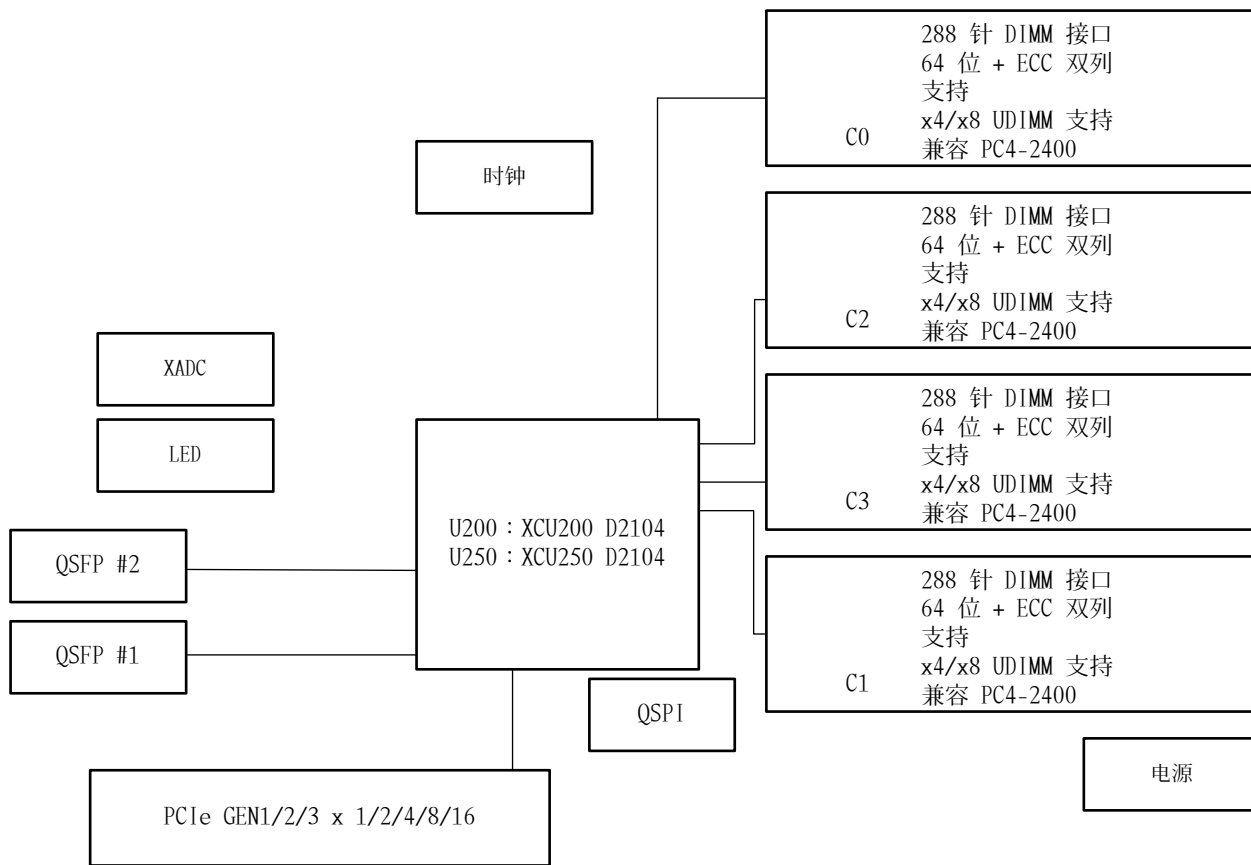
注意! 被动散热型 Alveo U200/U250 加速器卡专为数据中心服务器内部安装而设计，在此类环境中通过受控气流提供直接冷却。由于使用了卡壳，无法接触到开关并且看不到 LED（穿过左前端 PCIe 支架露出的三 LED 模块除外）。本用户指南中提供了卡的详细信息，以帮助了解卡的功能。如果已从卡上拆除散热外壳，并且卡已上电，则必须应用外部风扇散热气流以防止过热关闭及由此可能导致的卡上电子器件损坏。拆除散热外壳将导致开发板质保失效。

如需了解 Alveo U200/U250 加速卡相关的文档、文件和资源的参考资料，请参阅 [附录 C: 附加资源与法律提示](#)。

原理图

Alveo U200/U250 加速器卡原理图如下图所示。

图 2: 卡原理图



X23433-102419

卡功能

此章节中列出了 Alveo U200/U250 特性。[第 3 章: 卡组件描述](#) 中的提供了每个特性的详细信息。

- Alveo U200 加速器卡：
 - Virtex UltraScale+ XCU200-2FSGD2104E FPGA
- Alveo U250 加速器卡：
 - Virtex UltraScale+ XCU250-2LFIGD2104E FPGA
- 存储器（四个独立双极 DDR4 接口）
 - 64 千兆字节 (GB) DDR4 存储器

- 4x DDR4 16 GB, 2400 兆次传输每秒 (Mt/s), 64 位错误检查和纠正 (ECC) DIMM
- 支持 x4/x8 未寄存双直列存储器模块 (UDIMM)
- 配置选项
 - 1 千兆字节 (Gb) QSPI 闪存
 - Micro-AB 通用串行总线 (USB) JTAG 配置端口
- 16 通道 PCI Express
- 两个 QSFP28 连接器 100G 接口
- 带 Micro-AB USB 连接器的 USB 到 UART FT4232HQ 桥
- PCIe Integrated Endpoint 块连接
 - 最高 x16 的 Gen1、2, 或 3
- I2C 总线
- 状态 LED
- 功耗管理采用系统管理总线 (SMBus), 监控电压、电流和温度。
- 基于外部供电的动态功耗
- 65W PCIe 插槽可只依靠 PCIe 插槽供电。
- 150 W PCIe 插槽在最高 110 A V_{CCINT} 电流的 PCIe 插槽电源并连接 6 针 PCIe AUX 电源线缆能够正常工作
- 225 W PCIe 插槽在最高 160 A V_{CCINT} 电流的 PCIe 插槽电源并连接 8 针 PCIe AUX 电源线缆能够正常工作
- 板载可重编程功能闪存配置存储器
- 通过 USB 端口访问前面板 JTAG 和通用异步接收器/发射器 (UART)
- 通过 USB/JTAG 和 QSPI 配置闪存实现 FPGA 配置

卡规格

尺寸

高度: 4.375 英寸 (111.15 mm)

PCB 厚度 ($\pm 5\%$): 0.062 英寸 (1.57 mm)

被动散热器卡长度: 9.2 英寸 (234mm)

装有被动散热器机箱的卡厚度:

被动: 1.44 英寸 (36.6 mm)

注释: 暂无法提供该卡的 3D 模型。

环境

温度

工作温度: 0°C 至 +45°C

存放温度: -25°C 至 +60°C

湿度

10% 至 90% 无冷凝

工作电压

PCIe® 插槽 +12 V_{DC}、+3.3 V_{DC}、+3.3 V_{AUXDC}、外部 +12 V_{DC}

设计流程

面向 Alveo 数据中心加速器卡的首选最优设计流程使用的是 Vitis™ 统一软件平台。但 RTL 或 HLx 之类的传统设计流程也支持使用 Vivado® Design Suite 工具。下图展示了设计流程总结。

图 3: Alveo 数据中心加速器卡设计流程



X222772-070419
X#0000-101519

下表中列出了不同设计流程的要求。

表 1: Alveo 数据中心加速器卡设计流程入门要求

	RTL 流程	HLx 流程	Vitis
流程文档	UG949 ¹	UG895 ²	UG1301 ³
硬件文档	UG1289	UG1289	不适用
Vivado 工具支持	开发板支持 XDC	开发板支持 XDC	不适用

表 1: Alveo 数据中心加速器卡设计流程入门要求 (续)

	RTL 流程	HLx 流程	Vitis
对 FPGA 进行编程	Vivado 硬件管理器	Vivado 硬件管理器	

注释:

1. 《UltraFAST 设计方法指南 (适用于 Vivado Design Suite)》(UG949)。
2. 《Vivado Design Suite 用户指南: 系统级设计输入》(UG895)。请参阅第 2 章和附录 A 中的“使用 Vivado Design Suite 平台开发板流程”。
3. 《Alveo 数据中心加速器卡入门指南》(UG1301)。

对于 RTL 或 HLx 流程, 设计人员可以着手在 Vivado® 工具中针对 Alveo 数据中心加速器卡开展工作。在 Vivado Design Suite 中, 选择“Create New Project” → “RTL Project”, 然后选择 Alveo 数据中心加速器 U200 卡, 如下图所示。

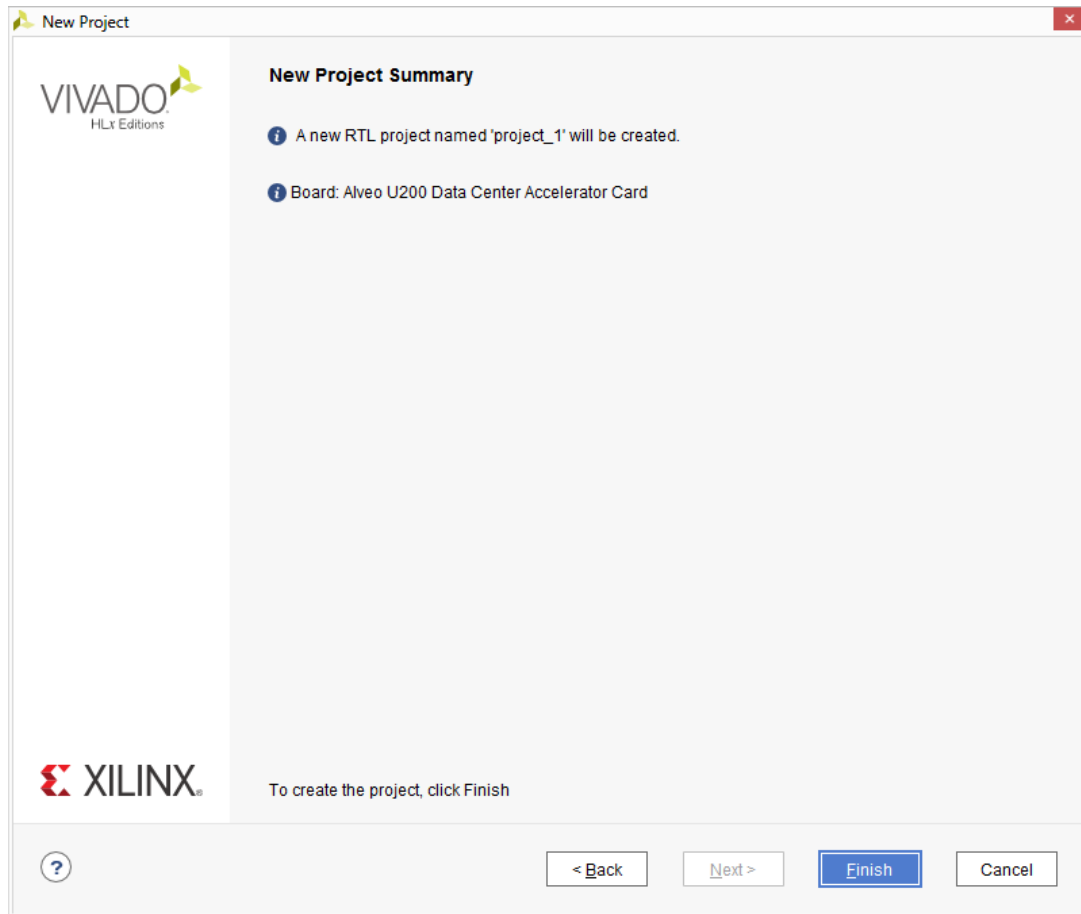
图 4: 在 Vivado Design Suite 中选择 Alveo 数据中心加速器 U200 卡

Display Name	Preview	Vendor	File Version	Part	I/O Pin Count	Board Rev	Available IOBs
Artix-7 AC701 Evaluation Platform Add Daughter Card Connections		xilinx.com	1.4	xc7a200tfg676-2	676	1.1	400
Alveo U200 Data Center Accelerator Card		xilinx.com	1.0	Acceleration Platform Board	2104	1.0	676
Alveo U250 Data Center Accelerator Card		xilinx.com	1.0	Acceleration Platform Board	2104	1.0	676
Kintex-7 KC705 Evaluation Platform Add Daughter Card Connections		xilinx.com	1.6	xc7k325tfg900-2	900	1.1	500

X22260-012919

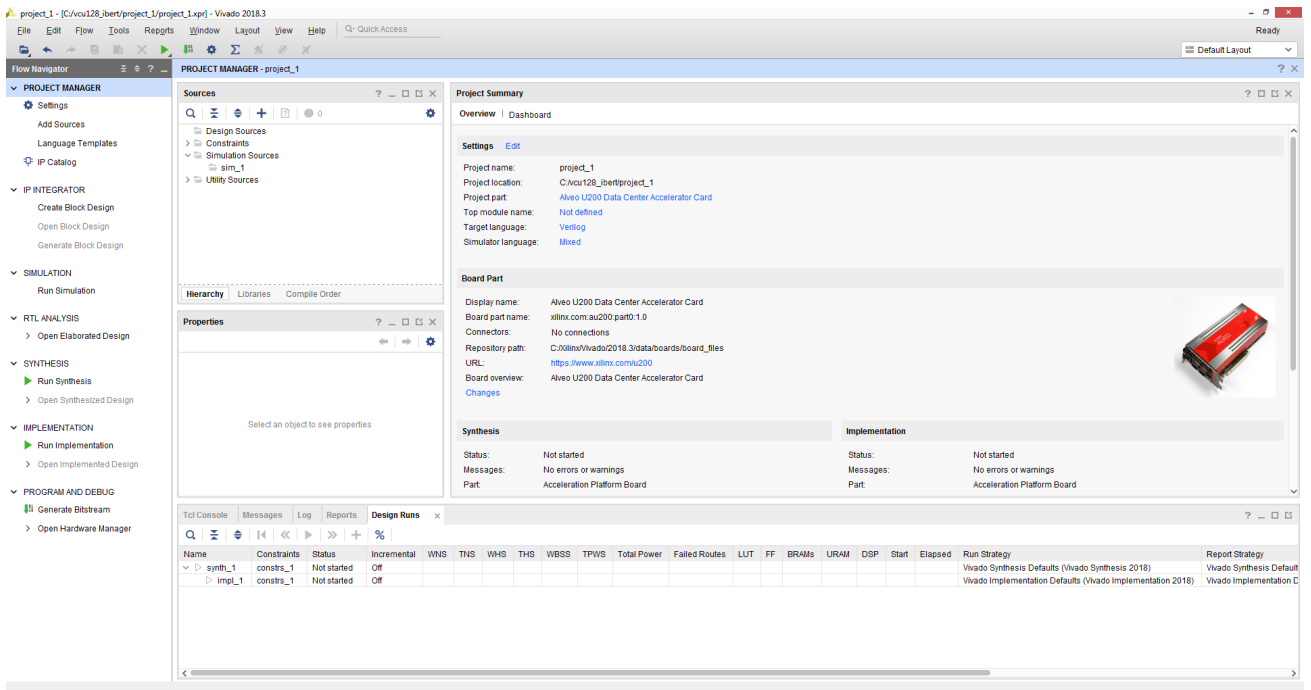
使用 RTL 流程时, 在“Boards”选项卡中选中 Alveo 数据中心加速器卡后, 将显示下图。现在即可创建基于 RTL 的项目。

图 5: Alveo 数据中心加速器 U200 卡的 “New Project Summary” 页



X22261-012519

图 6: Alveo 数据中心加速器 U200 卡的 “New Project Summary” 页



X22262-012519

创建 MCS 文件并在 Alveo 卡中进行编程

对于定制 RTL 流程，本节概括了执行以下操作的流程：

- 创建 MCS 文件（PROM 镜像）
- 通过 USB-JTAG (Micro USB) 接口进行刷写编程

创建 MCS 文件（PROM 镜像）

Alveo 加速器卡包含可通过 USB-JTAG 配置的 QSPI 配置闪存部分。该部分包含一个受保护区域，其出厂基础镜像位于 0x00000000 地址空间内。该基础镜像指向位于 0x01002000 偏移地址空间的客户可编程区域。

为确保将 PROM 镜像成功加载到已上电的 Alveo 加速器卡中，创建 MCS 文件时，起始地址必须设置为 0x01002000，并且接口必须设置为 spix4。在《UltraScale 架构配置用户指南》(UG570) 中提供了有关将此设置添加到 MCS 文件中的详细说明。

此外必须将以下代码置于项目 XDC 文件中以便正确配置 MCS 文件。

```
# Bitstream Configuration
# -----
set_property CONFIG_VOLTAGE 1.8 [current_design]
set_property BITSTREAM.CONFIG.CONFIGFALLBACK Enable [current_design]
set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
set_property CONFIG_MODE SPIx4 [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE 85.0 [current_design]
```

```
set_property BITSTREAM.CONFIG.EXTMASTERCLK_EN disable [current_design]
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE YES [current_design]
set_property BITSTREAM.CONFIG.UNUSEDPIN Pullup [current_design]
set_property BITSTREAM.CONFIG.SPI_32BIT_ADDR Yes [current_design]
# -----
```

对 Alveo 卡进行编程

创建 MCS 文件后, 请参阅《Vivado Design Suite 用户指南: 编程和调试》(UG908) 中的“对 FPGA 器件进行编程”一章中的步骤, 通过硬件管理器连接到 Alveo 数据中心加速器卡。

1. 单击“Add Configuration Device”并选择 mt25qu01g-spi-x1_x2_x4 器件。
2. 右键单击目标以选择“Program the Configuration Memory Device”。
 - a. 选择 MCS 文件目标。
 - b. 选择“Configuration File Only”。
 - c. 单击“OK”。
3. 完成编程后, 在硬件管理器中断开该卡的连接, 然后从 Alveo 加速器卡上拔下 USB 线缆。
4. 在主机上执行冷重启, 以完成卡更新。

卡安装与配置

静电放电提示



注意! ESD 如果操作不当可能损坏电子组件，并可能导致整体故障或间歇故障。在拆除和替换组件时，要始终遵循防 ESD 流程。

为防止 ESD 损坏：

- 佩戴 ESD 腕带或踝带并确保与皮肤接触良好。连接腕带或踝带的设备端到底座上未涂漆金属表面。
- 避免让适配器接触你的衣物。腕带只能防止身体产生的 ESD 对组件的影响。
- 只通过接触适配器的托架或边缘拿起适配器。避免接触印刷电路板或连接器。
- 将适配器放在防静电表面上，例如套件中提供的防静电袋上。
- 如需将卡适配器退还赛灵思产品支持部，立即将卡置入防静电袋内。

在服务器机箱中安装 Alveo 数据中心加速器卡

由于每个服务器或 PC 供应商的硬件不同，如需了解物理开发板安装指南，请参阅制造商的 PCI Express® 开发板安装说明。

有关编程和启动的详细信息，请参阅《Alveo 数据中心加速器卡入门指南》([UG1301](#))。

FPGA 配置

Alveo U200/U250 加速器卡支持两种 UltraScale+™ FPGA 配置模式：

- QSPI 闪存
- 使用 USB JTAG 配置端口的 JTAG (USB J13/FT4232H U27)

FPGA bank 0 模式引脚通过上拉/下拉电阻硬连线到 M[2:0] = 001 主 SPI 模式。

上电时，FPGA 由 QSPI NOR 闪存器件 (Micron MT25QU01GBBA8E12-OSIT) 配置，此闪存器件的 FPGA_CCLK 使用主串行配置模式以时钟速率 105 MHz (EMCCLK) 运行。QSPI NOR 闪存器件的容量为 1 Gb。

如果插入了 JTAG 电缆，则可能不会进行 QSPI 配置。JTAG 模式始终可用，与模式引脚设置无关。

有关配置 FPGA 的完整详细信息，请参阅《UltraScale 架构配置用户指南》(UG570)。

表 2: 配置模式

配置模式	M[2:0]	总线宽度	CCLK 指令
主 SPI	001	x1、x2 和 x4	FPGA 输出
JTAG	不适用 - JTAG 优先	x1	不适用

卡组件描述

本章提供 Alveo™ U200/U250 数据中心加速器卡组件的功能说明。

UltraScale+ FPGA

Alveo U200 加速器卡采用了 Virtex® UltraScale+™ XCU200-L2FSGD2104E FPGA。

Alveo U250 加速器卡采用了 Virtex UltraScale+ XCU250-L2FIGD2104E FPGA。

如需了解有关 Virtex® UltraScale+™ FPGA 的更多信息，请参阅《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》(DS923)。

DDR4 DIMM 存储器

有 4 个独立双列 DDR4 接口可用。该卡含有 4 个插槽式单列 Micron MTA18ASF2G72PZ-2G3B1IG 16 GB DDR4 RDIMM。每个 DDR4 DIMM 位宽均为 72 位（64 位附带 ECC 支持）。

如需了解本节中所述功能的 FPGA 和 DIMM 引脚连接的详细信息，请参阅 Alveo U200/U250 加速器卡 XDC 文件。

有关 Micron DDR4 DIMM 详情，请参阅 Micron 网站的 Micron MTA18ASF2G72PZ-2G3B1IG 数据手册：<http://www.micron.com>。

QSPI 闪存

QSPI 器件提供了 1 Gb 的非易失性存储空间。

- 器件编号：MT25QU01GBBB8E12-0SIT (Micron)
- 电源电压：1.8V
- 数据路径宽度：4 位
- 数据率：可调

有关闪存详情，请参阅 Micron 网站的 Micron MT25QU01GBBB8E12-0SIT 数据手册。

有关配置详情，请参阅《UltraScale 架构配置用户指南》(UG570)。如需了解本节中所述功能的 FPGA 和闪存引脚连接详细情况，请参阅附录 A: 赛灵思设计约束 (XDC) 文件中引用的 Alveo U200/U250 加速器卡 XDC 文件。

USB JTAG 接口

Alveo 加速器卡通过 JTAG 接口提供对 FPGA 器件的访问。

FPGA 配置可通过 Vivado® 硬件管理器进行, 该管理器可访问板载 USB-JTAG FT4232HQ 桥接器件。Alveo U200/U250 加速器 PCIe® 面板/支架上的 Micro-AB USB 连接器可提供外部器件编程访问。

注释: JTAG 配置随时都可执行, 与 FPGA 模式引脚设置无关, 这与《UltraScale 架构配置用户指南》(UG570) 中所述一致。

有关 FT4232HQ 器件的详情, 请参阅 FTDI 网站: <https://www.ftdichip.com/>。

FT4232HQ USB-UART 接口

FT4232HQ Quad USB-UART 通过 Micro-AB USB 连接器提供 UART 连接。FPGA UART TX/RX (双线) 连接通过 FT4232HQ BD 端口实现。通道 BD 实现到 FPGA 的 2 线电平转换 TX/RX UART 连接。FTDI FT4232HQ 数据手册请参阅 FTDI 网站: <https://www.ftdichip.com/>。

PCI Express 端点

Alveo U200/U250 加速器卡实现 16 通道 PCI Express® 边缘连接器, 以每秒 2.5 千兆次传输 (Gt/s) (针对 1 代应用)、5.0 Gt/s (针对 2 代应用) 和 8.0 Gt/s (针对 3 代应用) 的速率进行数据传输。卡附带的 -2 速度等级 FPGA 最高支持 Gen3 x16。

QSFP28 模块连接器

Alveo 加速器卡承载两个可接受光纤模块阵列的 4 通道小型可插拔 (QSFP) 连接器。每个连接器都位于单个 QSFP 外壳总成内部。

QSFP+ 连接器可通过 Alveo U200/U250 加速器卡上的 I2C 接口进行访问。QSFP 连接器的边带信号可直接由 FPGA 访问。MODESELL、RESETL、MODPRSL、INTL 和 LPMODE 边带信号在下列小型化 (SFF) 规格中定义。通过卡 PCIe 面板/支架可见的组件 (从上到下) 包括:

- 三重状态 LED
- QSFP0
- QSFP1
- USB

有关四个 SFF 插拔 (28 Gb/s QSFP+) 模块的更多信息, 请参阅 SNIA Technology 附属机构网站上的 28 Gb/s QSFP+ SFF-8663 和 SFF-8679 规格: <https://www.snia.org/sff/specifications2>。

每个 QSFP 连接器都有自己的时钟生成器。

- QSFPO 时钟
 - 时钟生成器: Silicon Labs SI5335A-B06201-GM
 - 输出 CLK1A/1B: QSFPO_Clock_P/N 时钟是一个连接到 QSFPO GTY 接口的交流耦合 LVDS 156.25 MHz 时钟
- QSFP1 时钟
 - 时钟生成器: Silicon Labs SI5335A-B06201-GM
 - 输出 CLK1A/1B: QSFP1_Clock_P/N 时钟是一个连接到 QSFP1 GTY 接口的交流耦合 LVDS 156.25 MHz 时钟

如需了解本节中所述功能的 FPGA 和 DIMM 引脚连接的详细信息, 请参阅[附录 A: 赛灵思设计约束 \(XDC\) 文件](#)。

I2C 总线

Alveo U200/U250 加速器卡可实现 I2C 总线网络 (在开发板支持包中提供了设备树详细信息)。

状态 LED

Alveo 卡设计为在装有被动散热器外壳盖的情况下工作, 因此 DS1 与 DS2 LED 不可见。通过 PCIe 端支架中的开口可以看到状态指示灯 (LED) DS3、DS4 和 DS5。下表定义了卡的状态 LED。

表 3: 卡状态 LED

参考标识	描述
DS1	红色: POWER_GOOD
DS2	蓝色: DONE_0
DS3	橙色: STATUS_LED0
DS4	黄色: STATUS_LED1
DS5	绿色: STATUS_LED2

卡电源系统

通过 I2C IP 可提供有限的电源系统遥测功能。在 Vivado Design Suite 的“Board”选项卡中选择 Alveo 数据中心加速器卡后开始 FPGA 设计流程, 在此流程中对 I2C IP 进行例化。如需了解更多信息, 请参阅[设计流程](#)。

赛灵思设计约束 (XDC) 文件

RTL 用户可参阅《Vivado Design Suite 用户指南：使用约束》(UG903)，以了解更多相关信息。Alveo 加速器卡 XDC 文件可从其各自的网站下载，也可通过本用户指南下载。

法规合规信息

本产品的设计和测试符合本节所述的欧盟指令与标准。

CE 指令

2014/35/EC, 《Low Voltage Directive (LVD)》

2014/30/EC, 《Electromagnetic Compatibility (EMC) Directive》

CE 标准

EN 标准由欧洲电工标准化委员会 (CENELEC) 修订。IEC 标准由国际电工委员会 (IEC) 修订。

电磁兼容性

EN:55032:2015, 《Information Technology Equipment Radio Disturbance Characteristics – Limits and Methods of Measurement》

EN:55024:2015, 《Information Technology Equipment Immunity Characteristics – Limits and Methods of Measurement》

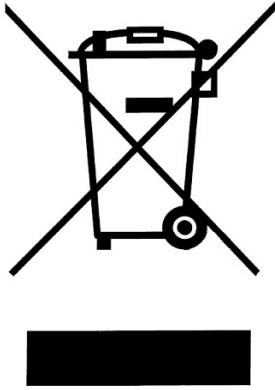
本品为 A 类产品。在家用环境中, 该产品可造成无线电干扰, 因此用户或需要采取适当的措施。

安全性

IEC 60950-1, 第二版, 2014, 《信息技术设备 - 安全 - 第 1 部分: 一般要求》

EN 60950-1, 第二版, 2014, 《信息技术设备 - 安全 - 第 1 部分: 一般要求》

合规标识



废旧电气电子设备 (WEEE) 指令 2002/96/EC 及后续 WEEE 重新制定指令 2012/19/EU。这些指令要求电子与电气设备 (EEE) 制造商管理并出资收集、再利用、回收和适当处理制造商在 2005 年 8 月 13 日后投放欧盟市场的废电子设备。该指令的目标在于最大限度地减少电气和电子废物处置的数量，并鼓励在使用寿命结束时进行再利用和回收。

赛灵思履行了其欧盟 WEEE 指令的国家法规要求义务，赛灵思在进口国家进行了登记。赛灵思还选择加入一些国家/地区的 WEEE 合规性计划，以帮助管理产品生命周期终结时的客户退货。

如果您在欧盟购买了赛灵思品牌电气或电子产品，并且打算在其使用寿命结束时丢弃这些产品，请不要将其与您的其他生活或城市垃圾一起处理。赛灵思已在其品牌电子产品上附加了 WEEE 标志，以提醒我们的客户，带有此标签的产品不应在欧盟的垃圾填埋场或随城市/生活垃圾处置。



本产品符合有关限制电气和电子设备中有害物质 (RoHS) 指令 2002/95/EC 的要求。



本产品符合 CE 指令 2006/95/EC，《低压指令 (LVD)》和 2004/108/EC，《电磁兼容性指令 (EMC)》。

附加资源与法律提示

赛灵思资源

如需了解答复记录、技术文档、下载以及论坛等支持性资源，请参阅[赛灵思技术支持](#)。

Documentation Navigator 与设计中心

赛灵思 Documentation Navigator (DocNav) 提供了访问赛灵思文档、视频和支持资源的渠道，您可以在其中筛选搜索信息。打开 DocNav 的方法：

- 在 Vivado[®] IDE 中，单击“Help” → “Documentation and Tutorials”。
- 在 Windows 中，单击“Start” → “All Programs” → “Xilinx Design Tools” → “DocNav”。
- 在 Linux 命令提示中输入“docnav”。

赛灵思设计中心提供了根据设计任务和其他话题整理的文档链接，您可以使用链接了解关键概念以及常见问题解答。访问设计中心：

- 在 DocNav 中，单击“Design Hub View”标签。
- 在赛灵思网站上，查看[设计中心](#)页面。

注释：如需了解更多有关 DocNav 的信息，请参阅赛灵思网站上的 [Documentation Navigator](#)。

参考资料

以下技术文档是非常实用的补充资料，可配合本指南一起使用：

产品网站

如需了解有关 Alveo[™] U200/U250 卡和文档的最新信息，请参阅下列网站：

1. [Alveo U200 数据中心加速器卡](#)
2. [Alveo U250 数据中心加速器卡](#)
3. [Alveo 数据中心加速器卡 - 已知问题和一般信息 \(AR 71752\)](#)

补充材料

以下赛灵思文档是非常实用的补充材料，可配合本指南一起使用：

- 《UltraFAST 设计方法指南（适用于 Vivado Design Suite）》 (UG949)
- 《Vivado Design Suite 用户指南：系统级设计输入》 (UG895)
- 《Alveo 数据中心加速器卡入门指南》 (UG1301)
- 《Alveo U50 数据中心加速器卡安装指南》 (UG1370)
- 《Alveo 编程电缆用户指南》 (UG1377)
- 《UltraScale 架构配置用户指南》 (UG570)
- 《Vivado Design Suite 用户指南：编程和调试》 (UG908)
- 《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》 (DS923)
- 《UltraScale Architecture-Based FPGAs Memory IP LogiCORE IP 产品指南》 (PG150)
- 《Vivado Design Suite 用户指南：使用约束》 (UG903)
- 《UltraScale 架构 PCB 设计用户指南》 (UG583)

其他链接

以下链接提供了非常实用的补充材料，可配合本指南一起使用：

- 赛灵思公司：<https://china.xilinx.com>
- Micron Technology：<http://www.micron.com>
(MTA18ASF2G72PZ-2G3B1IG、MT25QU01GBB8E12-OSIT)
- 《Si5394 数据手册》：<https://www.silabs.com/documents/public/data-sheets/si5395-94-92-a-datasheet.pdf>
- Future Technology Devices International, Ltd.：<http://www.ftdichip.com>
(FT4232HQ)
- SFP-DD 模块：[SFP-DD 规格](#)

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和法律责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

商标

© Copyright 2019 赛灵思公司版权所有。Xilinx、赛灵思标识、Alveo、Artix、Kintex、Spartan、Versal、Virtex、Vivado、Zynq 本文提到的其它指定品牌均为赛灵思在美国及其它国家的商标。“OpenCL”和“OpenCL”标识均为 Apple Inc. 的商标，经 Khronos 许可后方可使用。“PCI”、“PCIe”和“PCI Express”均为 PCI-SIG 拥有的商标，且经授权使用。“AMBA”、“AMBA Designer”、“Arm”、“ARM1176JZ-SV”、“CoreSight”、“Cortex”、“PrimeCell”、“Mali”和“MPCore”为 Arm Limited 在欧盟及其它国家的注册商标。所有其它商标均为各自所有方所属财产。