

4 端口 SS/HS USB Type-C™ PD 智能集线器

特性

- 4 端口 USB 智能集线器具有：
 - 支持原生 USB Type-C™ 的上行端口
 - 支持原生 USB Type-C 的下行端口 1 和 2
 - 两个标准 USB 2.0 下行端口
 - 内部集线器功能控制器，可实现：
 - USB 转 I²C/SPI/UART/I²S/GPIO 桥接器端点支持
 - USB 转内部集线器寄存器的读写
- 经 USB-IF 认证——TID 1212。测试包括：
 - 支持 BC1.2 的 USB3.1 Gen1 集线器
 - 使用 UPD350 PD 收发器的 PD 2.0 (TID 330000077)
 - 支持备用模式协商状态的布告栏端点器件
 - 高级多端口系统策略管理
- 支持 USB 链路电源管理 (Link Power Management, LPM)
- 下行端口 (DCP、CDP 和 SDP) 支持 USB-IF 电池充电版本 1.2
- 可通过 OTP 或 SPI ROM 获得增强型 OEM 配置选项
- 商业级和工业级温度支持
- 通过汽车 AEC-Q100 标准认证

目标应用

- 独立 USB 集线器
- 笔记本电脑扩展坞
- PC 主板
- PC 显示器扩展坞
- 多功能 USB 3.1 Gen 1 外设
- 车载集成主机和接线盒

主要优势

- 符合 USB 3.1 Gen 1 标准的 5 Gbps、480 Mbps、12 Mbps 和 1.5 Mbps 工作模式
 - 5V 耐压 USB 2.0 引脚
 - 1.32V 耐压 USB 3.1 Gen 1 引脚
 - 集成端接电阻和上拉/下拉电阻
- 原生 USB Type-C 支持
 - 集成 R_p 和 R_d 的 Type-C CC 引脚
 - 在使能 USB Type-C 的端口上集成多路开关。在检测到有效的 Type-C 连接前，USB 3.1 Gen 1 PHY 一直保持禁止状态，从而降低空闲功耗。
 - 外部 VCONN 电源控制
- 所有端口均支持为最常见的电池供电设备充电
 - 支持 USB-IF 电池充电版本 1.2 (DCP、CDP 和 SDP)
 - Apple® 便携式产品充电器仿真

- 中国 YD/T 1591-2006 充电器仿真
- 中国 YD/T 1591-2009 充电器仿真
- 欧盟通用移动充电器支持
- 支持其他便携式设备
- 片上单片机
 - 管理 I/O、VBUS 和其他信号
- 64 KB RAM, 256 KB ROM
- 8 KB 可一次性编程 (One-Time-Programmable, OTP) ROM
 - 包括片上电荷泵
- 通过 OTP ROM、SPI ROM 或 SMBus 编程配置
- **FlexConnect**
 - 可发送命令使上行端口和任何下行端口的角色反转
- **多主机端点反射器**
 - 通过 CDC/NCM 设备类实现的集成主机控制器端点反射器，适合汽车应用
- **USB 桥接**
 - USB 转 I²C、SPI、UART、I²S 和 GPIO
- **PortSwap**
 - 可配置 USB 2.0 差分对信号交换
- **PHYBoost**
 - 用于恢复信号完整性的可编程 USB 2.0 收发器驱动强度
- **VariSense**
 - 可编程 USB 2.0 接收器灵敏度
- 与 Microsoft Windows® 10、8、7、XP、Apple OS X® 10.4+ 和 Linux® 集线器驱动程序兼容
- 专为低功耗运行和低散热而优化
- 封装：符合 RoHS 标准的 100 引脚 VQFN (12 mm x 12 mm)

* USB Type-C™ 和 USB-C™ 是 USB Implementers Forum 的商标。

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 CTRC@microchip.com。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 www.microchip.com 上注册。

目录

1.0 前言	4
2.0 简介	6
3.0 引脚说明和配置	8
4.0 器件连接	23
5.0 工作模式	26
6.0 器件配置	29
7.0 器件接口	30
8.0 功能说明	34
9.0 工作特性	40
10.0 封装外形	49
附录A: 版本历史	52
产品标识体系	53
Microchip网站	54
变更通知客户服务	54
客户支持	54

USB7002

1.0 前言

1.1 通用术语

表1-1: 通用术语

术语	说明
ADC	模数转换器
字节	8位
CDC	通信设备类
CSR	控制和状态寄存器
DFP	下行端口
DWORD	32位
EOP	数据包结束标识
EP	端点
FIFO	先进先出缓冲区
FS	全速
FSM	有限状态机
GPIO	通用 I/O
HS	高速
HSOS	高速过采样
集线器功能控制器	集线器功能控制器（有时简称为集线器控制器）是内部处理器，用于使能USB控制器集线器的特有功能。不要将它与USB集线器控制器混淆，后者用于在USB会话期间将集线器状态传回主机。
I ² C	集成电路总线
LS	低速
LSb	最低有效位
LSB	最低有效字节
MSb	最高有效位
MSB	最高有效字节
N/A	不适用
NC	无连接
OTP	可一次性编程
PCB	印刷电路板
PCS	物理编码子层
PHY	物理层
PLL	锁相环
保留	指保留的位字段或地址。除非另外说明，否则对于写操作，保留的位必须始终为零。除非另外说明，否则在读取保留位时无法保证值。除非另外说明，否则请勿对保留的地址进行读或写操作。
SDK	软件开发工具包
SMBus	系统管理总线
UFP	上行端口
UUID	通用惟一标识符
WORD	16位

1.2 缓冲器类型

表1-2: 缓冲器类型

缓冲器类型	说明
I	输入。
IS	带施密特触发器的输入。
O12	具有 12 mA 灌电流和 12 mA 拉电流能力的输出缓冲器。
OD12	具有 12 mA 灌电流能力的漏极开路输出。
PU	50 μ A（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须上拉的负载时，必须添加外部电阻。
PD	50 μ A（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
ICLK	晶振输入引脚。
OCLK	晶振输出引脚。
I/O-U	USB 规范中定义的模拟输入/输出。
I-R	RBIAS。
A	模拟。
P	电源引脚。

1.3 参考文档

1. *Universal Serial Bus Revision 3.1 Specification*, <http://www.usb.org>
2. *Battery Charging Specification*, 版本 1.2, 2010 年 12 月 7 日, <http://www.usb.org>
3. *I²C-Bus Specification*, 版本 1.1, http://www.nxp.com/documents/user_manual/UM10204.pdf
4. *I²S-Bus Specification*, http://www.nxp.com/acrobat_download/various/I2SBUS.pdf
5. *System Management Bus Specification*, 版本 1.0, <http://smbus.org/specs>

注： Microchip USB7002 产品页面上提供更多有关 USB7002 的资源，网址为 www.microchip.com/USB7002。

USB7002

2.0 简介

2.1 概述

Microchip USB7002集线器是一款低功耗、OEM可配置的USB 3.1 Gen 1集线器控制器，具有4个下行端口和用于嵌入式USB应用的高级功能。USB7002完全符合通用串行总线版本3.1规范和USB 2.0链接电源管理附录。USB7002的两个标准USB 3.1 Gen 1下行端口支持5 Gbps超高速（SS）、480 Mbps高速（HS）、12 Mbps全速（FS）和1.5 Mbps低速（LS）USB下行设备，两个标准USB 2.0下行端口仅支持传统速度（HS/FS/LS）。

USB7002的上行端口和两个下行端口支持原生Type-C连接。集线器包括内部Type-C CC引脚逻辑和内部USB 3.1 Gen 1多路开关，可支持Type-C正反插入。

USB7002通过专用的USB 2.0集线器控制器支持传统USB速度（HS/FS/LS），这款控制器是第六代Microchip集线器功能控制器设计和经验的结晶，具有久经考验的可靠性、互操作性和器件兼容性。超高速集线器控制器与USB 2.0控制器并行运行，解决了因USB 2.0通信较慢而造成的5 Gbps SS数据传输瓶颈。

借助USB7002，OEM可以使用“配置脚”来配置其系统。通过这些配置脚，用户可以很轻松地将默认值分配给USB 3.1 Gen 1端口和GPIO。OEM可在上电时禁止端口、使能电池充电功能并将GPIO功能定义为默认分配。

USB7002支持下行端口充电。USB7002集成了电池充电器检测电路，支持USB-IF电池充电（BC1.2）检测方法和大多数Apple设备。USB7002提供电池充电握手功能，并支持以下USB-IF BC1.2充电标准：

- DCP：专用充电端口（无数据的电源砖）
- CDP：充电下行端口（1.5A，带数据）
- SDP：标准下行端口（0.5A，带数据）
- 通过SPI EEPROM或OTP装载的自定义配置文件

此外，USB7002还包括许多强大且独特的功能，例如：

集线器功能控制器，一种内部USB设备，专门用作USB转I²C/UART/SPI/GPIO接口，可通过USB接口对外部电路或设备进行监视、控制或配置。

多主机端点反射器，提供了独特的USB功能，可在两个USB主机（多主机）之间“镜像”USB数据以执行单一USB事务。Microchip拥有此功能的完整知识产权（美国专利号7,523,243和7,627,708），并通过它才得以实现Apple CarPlay™功能（Apple iPhone®成为USB主机）。

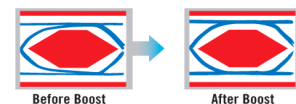
FlexConnect，提供灵活的连接选项。USB7002的任何一个下行端口均可重新配置为上行端口，从而使具有主机功能的设备可以控制集线器上的其他设备。

符合AEC-Q100标准：产品采用专有设计，在芯片内部和封装中集成可靠性技术，使其可用于要求汽车级稳健性的汽车应用。

- 采用汽车标准的技术和工艺制造产品，并加强监控，不断力争实现Microchip的零DPM目标。
- 围绕客户期望提升产品质量标准，现已超出许多汽车可靠性标准（包括AEC-Q100）的要求。
- 在产品生命周期内，由运营、质量和产品支持人员组成的专门机构提供Microchip汽车服务，以便满足汽车客户的需求。

PortSwap，使USB差分对引脚具有对每个端口编程的能力。PortSwap允许将USB信号（D+/D-）直接与连接器对齐，从而避免PCB上出现走线长度不均或USB差分信号交叉的情况。

PHYBoost，在下行端口收发器中提供可编程的高速USB信号驱动强度。PHYBoost会尝试在受损系统环境中恢复USB信号完整性。右图所示为受损系统环境中恢复PHYBoost信号完整性之前和之后的高速USB眼图示例。

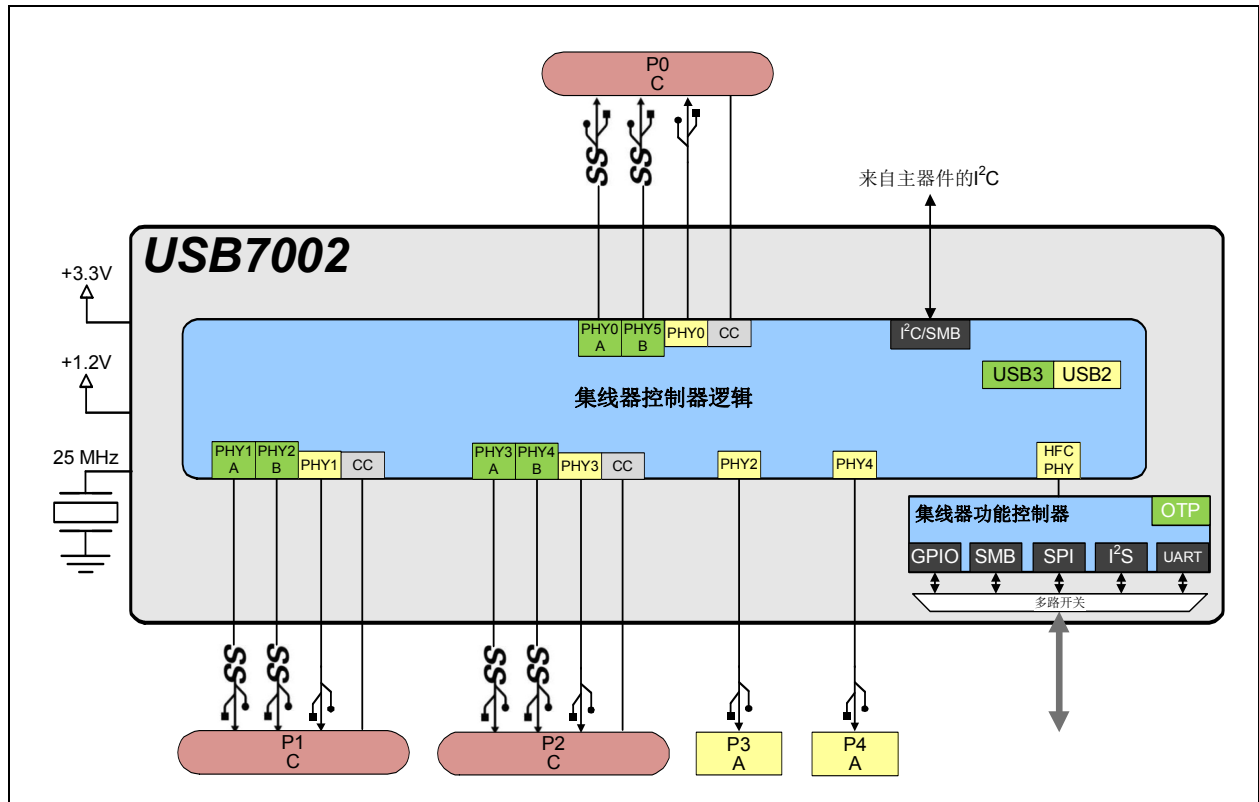


VariSense，用于控制高速USB接收器灵敏度，从而实现可编程的USB信号接收灵敏度。此功能使器件可在非理想系统环境下（例如使用不可分离的USB线缆时）运行。

USB7002可配置为通过内部默认设置进行操作。通过外部SPI ROM或内部OTP ROM支持自定义OEM配置。所有端口控制信号引脚均受固件控制，以实现最大的操作灵活性，并可用作GPIO供客户实现特定用途。

USB7002可在商业级（0°C至+70°C）和工业级（-40°C至+85°C）温度范围内使用。图2-1给出了上行Type-C应用中的USB7002内部框图。

图2-1: USB7002内部框图——上行TYPE-C应用



USB7002

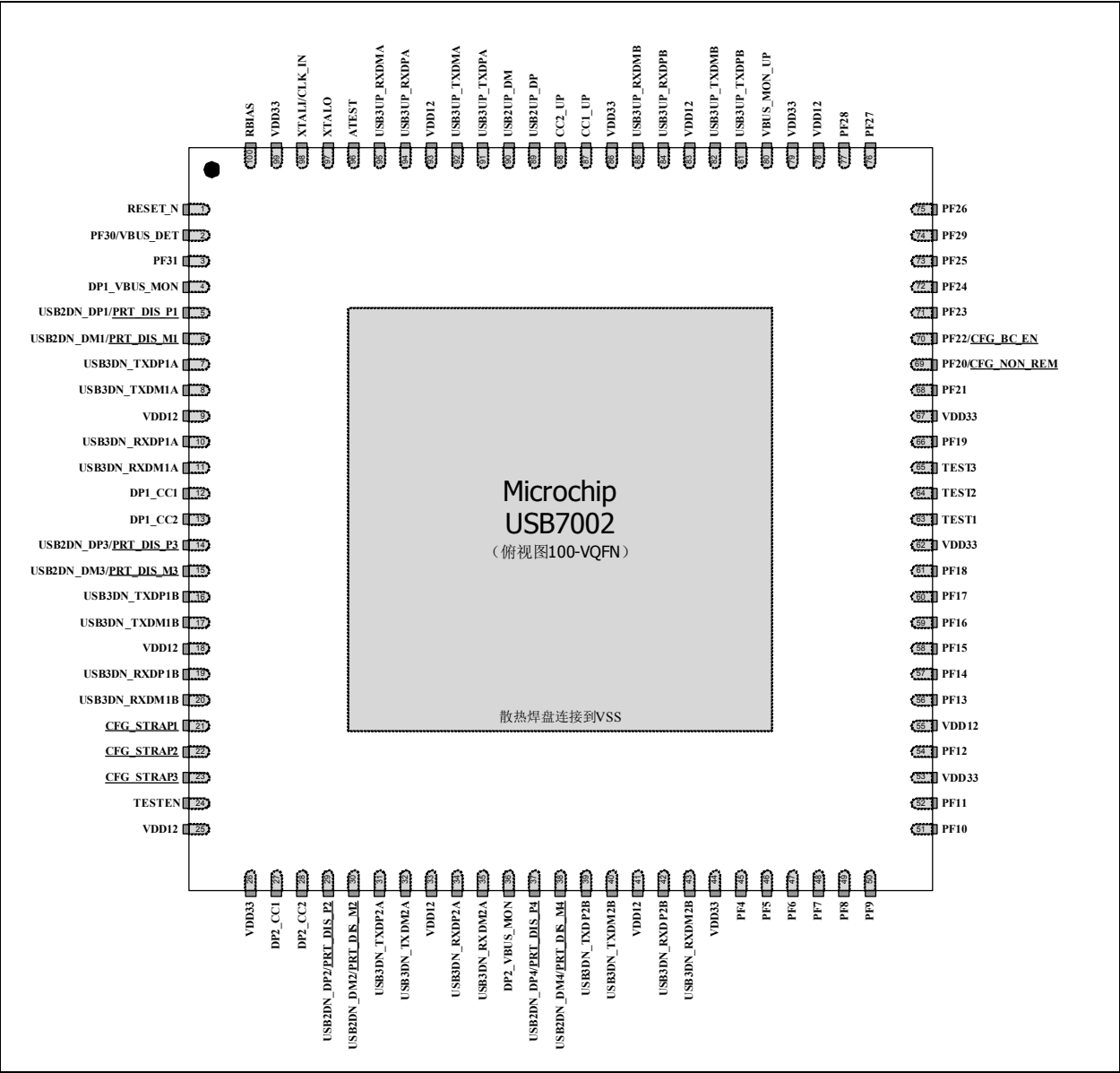
3.0 引脚说明和配置

第3.1节“引脚分配”对USB7002的引脚分配进行了详细说明。第3.2节“引脚说明”中给出了引脚说明。

3.1 引脚分配

图3-1给出了USB7002的器件引脚图。表3-1提供了USB7002引脚分配表。第3.2节“引脚说明”中给出了引脚说明。

图3-1： USB7002 100-VQFN 引脚分配



注： 配置脚由带下划线的符号名称标识。连接负载时，用作配置脚的信号必须增加一个外部电阻。

引脚编号	引脚名称	引脚编号	引脚名称
1	RESET_N	51	PF10
2	PF30/VBUS_DET	52	PF11
3	PF31	53	VDD33
4	DP1_VBUS_MON	54	PF12
5	USB2DN_DP1/PRT_DIS_P1	55	VDD12
6	USB2DN_DM1/PRT_DIS_M1	56	PF13
7	USB3DN_TXDP1A	57	PF14
8	USB3DN_TXDM1A	58	PF15
9	VDD12	59	PF16
10	USB3DN_RXDP1A	60	PF17
11	USB3DN_RXDM1A	61	PF18
12	DP1_CC1	62	VDD33
13	DP1_CC2	63	TEST1
14	USB2DN_DP3/PRT_DIS_P3	64	TEST2
15	USB2DN_DM3/PRT_DIS_M3	65	TEST3
16	USB3DN_TXDP1B	66	PF19
17	USB3DN_TXDM1B	67	VDD33
18	VDD12	68	PF21
19	USB3DN_RXDP1B	69	PF20/CFG_NON_REM
20	USB3DN_RXDM1B	70	PF22/CFG_BC_EN
21	CFG_STRAP1	71	PF23
22	CFG_STRAP2	72	PF24
23	CFG_STRAP3	73	PF25
24	TESTEN	74	PF29
25	VDD12	75	PF26
26	VDD33	76	PF27
27	DP2_CC1	77	PF28
28	DP2_CC2	78	VDD12
29	USB2DN_DP2/PRT_DIS_P2	79	VDD33
30	USB2DN_DM2/PRT_DIS_M2	80	VBUS_MON_UP
31	USB3DN_TXDP2A	81	USB3UP_TXDPB
32	USB3DN_TXDM2A	82	USB3UP_TXDMB
33	VDD12	83	VDD12
34	USB3DN_RXDP2A	84	USB3UP_RXDPB
35	USB3DN_RXDM2A	85	USB3UP_RXDMB
36	DP2_VBUS_MON	86	VDD33
37	USB2DN_DP4/PRT_DIS_P4	87	CC1_UP
38	USB2DN_DM4/PRT_DIS_M4	88	CC2_UP
39	USB3DN_TXDP2B	89	USB2UP_DP
40	USB3DN_TXDM2B	90	USB2UP_DM
41	VDD12	91	USB3UP_TXDPA
42	USB3DN_RXDP2B	92	USB3UP_TXDMA
43	USB3DN_RXDM2B	93	VDD12
44	VDD33	94	USB3UP_RXDPA

USB7002

引脚编号	引脚名称	引脚编号	引脚名称
45	PF4	95	USB3UP_RXDMA
46	PF5	96	ATEST
47	PF6	97	XTALO
48	PF7	98	XTALI/CLK_IN
49	PF8	99	VDD33
50	PF9	100	RBIAS
外露焊盘（VSS）必须接地。			

3.2 引脚说明

本节包含USB7002各个引脚的说明。信号名称中的符号“_N”表示信号在处于低电压电平时为有效状态（或置为有效）。例如，RESET_N表示该复位信号低电平有效。如果信号名称后面不带“_N”，则表示该信号在处于高电压电平时置为有效。

术语“置为有效”和“置为无效”为专用术语。这样做是为了避免在同时出现“低电平有效”和“高电平有效”信号时产生混淆。术语“置为有效”表示信号有效，与高电平还是低电平无关。术语“置为无效”表示信号无效。

第1.2节“缓冲器类型”中详细介绍了缓冲器类型定义。

表3-1： 引脚说明

名称	符号	缓冲器类型	说明
USB 3.1 Gen 1 接口			
上行 USB 3.1 Gen 1 TX D+ 方向 A	USB3UP_TXDPA	I/O-U	上行 USB Type-C™ “方向 A” USB 3.1 Gen 1 发送数据 (+)。
上行 USB 3.1 Gen 1 TX D- 方向 A	USB3UP_TXDMA	I/O-U	上行 USB Type-C “方向 A” USB 3.1 Gen 1 发送数据 (-)。
上行 USB 3.1 Gen 1 RX D+ 方向 A	USB3UP_RXDPA	I/O-U	上行 USB Type-C “方向 A” USB 3.1 Gen 1 接收数据 (+)。
上行 USB 3.1 Gen 1 RX D- 方向 A	USB3UP_RXDMA	I/O-U	上行 USB Type-C “方向 A” USB 3.1 Gen 1 接收数据 (-)。
上行 USB 3.1 Gen 1 TX D+ 方向 B	USB3UP_TXDPB	I/O-U	上行 USB Type-C “方向 B” USB 3.1 Gen 1 发送数据 (+)。
上行 USB 3.1 Gen 1 TX D- 方向 B	USB3UP_TXDMB	I/O-U	上行 USB Type-C “方向 B” USB 3.1 Gen 1 发送数据 (-)。
上行 USB 3.1 Gen 1 RX D+ 方向 B	USB3UP_RXDPB	I/O-U	上行 USB Type-C “方向 B” USB 3.1 Gen 1 接收数据 (+)。

表3-1: 引脚说明 (续)

名称	符号	缓冲器类型	说明
上行 USB 3.1 Gen 1 RX D- 方向 B	USB3UP_RXDMB	I/O-U	上行 USB Type-C “方向 B” USB 3.1 Gen 1 接收数据 (-)。
下行端口 1 USB 3.1 Gen 1 TX D+ 方向 A	USB3DN_TXDP1A	I/O-U	下行 USB Type-C “方向 A” 超高速发送数据 (+)，端口 1。
下行端口 1 USB 3.1 Gen 1 TX D- 方向 A	USB3DN_TXDM1A	I/O-U	下行 USB Type-C “方向 A” 超高速发送数据 (-)，端口 1。
下行端口 1 USB 3.1 Gen 1 RX D+ 方向 A	USB3DN_RXDP1A	I/O-U	下行 USB Type-C “方向 A” 超高速接收数据 (+)，端口 1。
下行端口 1 USB 3.1 Gen 1 RX D- 方向 A	USB3DN_RXDM1A	I/O-U	下行 USB Type-C “方向 A” 超高速接收数据 (-)，端口 1。
下行端口 1 USB 3.1 Gen 1 TX D+ 方向 B	USB3DN_TXDP1B	I/O-U	下行 USB Type-C “方向 B” 超高速发送数据 (+)，端口 1。
下行端口 1 USB 3.1 Gen 1 TX D- 方向 B	USB3DN_TXDM1B	I/O-U	下行 USB Type-C “方向 B” 超高速发送数据 (-)，端口 1。
下行端口 1 USB 3.1 Gen 1 RX D+ 方向 B	USB3DN_RXDP1B	I/O-U	下行 USB Type-C “方向 B” 超高速接收数据 (+)，端口 1。
下行端口 1 USB 3.1 Gen 1 RX D- 方向 B	USB3DN_RXDM1B	I/O-U	下行 USB Type-C “方向 B” 超高速接收数据 (-)，端口 1。
下行端口 2 USB 3.1 Gen 1 TX D+ 方向 A	USB3DN_TXDP2A	I/O-U	下行 USB Type-C “方向 A” 超高速发送数据 (+)，端口 2。
下行端口 2 USB 3.1 Gen 1 TX D- 方向 A	USB3DN_TXDM2A	I/O-U	下行 USB Type-C “方向 A” 超高速发送数据 (-)，端口 2。

USB7002

表3-1: 引脚说明 (续)

名称	符号	缓冲器类型	说明
下行端口2 USB 3.1 Gen 1 RX D+ 方向A	USB3DN_RXDP2A	I/O-U	下行 USB Type-C “方向A” 超高速接收数据 (+), 端口2。
下行端口2 USB 3.1 Gen 1 RX D- 方向A	USB3DN_RXDM2A	I/O-U	下行 USB Type-C “方向A” 超高速接收数据 (-), 端口2。
下行端口2 USB 3.1 Gen 1 TX D+ 方向B	USB3DN_TXDP2B	I/O-U	下行 USB Type-C “方向B” 超高速发送数据 (+), 端口2。
下行端口2 USB 3.1 Gen 1 TX D- 方向B	USB3DN_TXDM2B	I/O-U	下行 USB Type-C “方向B” 超高速发送数据 (-), 端口2。
下行端口2 USB 3.1 Gen 1 RX D+ 方向B	USB3DN_RXDP2B	I/O-U	下行 USB Type-C “方向B” 超高速接收数据 (+), 端口2。
下行端口2 USB 3.1 Gen 1 RX D- 方向B	USB3DN_RXDM2B	I/O-U	下行 USB Type-C “方向B” 超高速接收数据 (-), 端口2。
USB 2.0接口			
上行 USB 2.0 D+	USB2UP_DP	I/O-U	上行 USB 2.0 数据 (+) (D+)。
上行 USB 2.0 D-	USB2UP_DM	I/O-U	上行 USB 2.0 数据 (-) (D-)。
下行端口 1-4 USB 2.0 D+	USB2DN_DP[1:4]	I/O-U	下行 USB 2.0 端口 1-4 数据 (+) (D+)。
下行端口 1-4 USB 2.0 D-	USB2DN_DM[1:4]	I/O-U	下行 USB 2.0 端口 1-4 数据 (-) (D-)。

表3-1: 引脚说明 (续)

名称	符号	缓冲器类型	说明
VBUS 检测	VBUS_DET	IS	该信号检测传统Type-B上行实现中上行总线电源的状态。 设计可分离的集线器时, 必须通过电阻分压器 (由 50 kΩ 和 100 kΩ 电阻组成) 将该引脚连接到上行USB端口的VBUS电源引脚, 以提供3.3V电压。 对于永久连接主机的自供电应用, 此引脚必须通过电阻分压器连接至3.3V或5.0V电压, 以提供3.3V电压。 在嵌入式应用中, 可以在主机希望重新协商连接时控制 (切换) VBUS_DET, 无需完全复位器件。
USB Type-C连接器控制			
下行端口1 Type-C 电压 监视器	DP1_VBUS_MON	I/O12	用于检测端口1上的Type-C VBUS vSafe5V和vSafe0V状态。该引脚需要一个分压器 (44.2 k Ω 至 49.9 k Ω , $\pm 1.0\%$)。
下行端口1 Type-C CC1	DP1_CC1	I/O12	用于端口1上的Type-C连接和方向检测。包括可配置的Rp/Ra选择。将此引脚直接连接到相应Type-C连接器的CC1引脚。
下行端口1 Type-C CC2	DP1_CC2	I/O12	用于端口1上的Type-C连接和方向检测。包括可配置的Rp/Ra选择。将此引脚直接连接到相应Type-C连接器的CC2引脚。
下行端口2 Type-C 电压 监视器	DP2_VBUS_MON	I/O12	用于检测端口2上的Type-C VBUS vSafe5V和vSafe0V状态。该引脚需要一个分压器 (44.2 k Ω 至 49.9 k Ω , $\pm 1.0\%$)。
下行端口2 Type-C CC1	DP2_CC1	I/O12	用于端口2上的Type-C连接和方向检测。包括可配置的Rp/Ra选择。将此引脚直接连接到相应Type-C连接器的CC1引脚。
下行端口2 Type-C CC2	DP2_CC2	I/O12	用于端口2上的Type-C连接和方向检测。包括可配置的Rp/Ra选择。将此引脚直接连接到相应Type-C连接器的CC2引脚。
上行 Type-C CC1	CC1_UP	I/O12	用于Type-C连接和方向检测。包括可配置的Rp/Ra选择。
上行 Type-C CC2	CC2_UP	I/O12	用于Type-C连接和方向检测。包括可配置的Rp/Ra选择。
上行 Type-C 电压 监视器	VBUS_MON_UP	I/O12	用于检测上行端口上的Type-C VBUS vSafe5V和vSafe0V状态。该引脚需要一个分压器 (44.2 k Ω 至 49.9 k Ω , $\pm 1.0\%$)。

USB7002

表3-1: 引脚说明 (续)

名称	符号	缓冲器类型	说明
其他			
可编程功能引脚	PF[31:4]	I/O12	可编程的功能引脚。 有关详细信息, 请参见第3.3节“配置脚和可编程功能”。
复位输入	RESET_N	IS	该信号为低电平有效, 供系统用来复位器件。
偏置电阻	RBIAS	I-R	在地和该引脚之间连接一个12.0 k Ω ±1.0%电阻, 以设置收发器的内部偏置设置。将电阻尽可能靠近器件放置, 并专门与地平面进行低阻抗连接。
测试1	TEST1	A	测试1引脚。 该信号用于测试目的, 必须始终通过4.7 k Ω 电阻上拉至3.3V。
测试2	TEST2	A	测试2引脚。 该信号用于测试目的, 必须始终通过4.7 k Ω 电阻下拉至地。
测试3	TEST3	A	测试3引脚。 该信号用于测试目的, 必须始终通过4.7 k Ω 电阻下拉至地。
测试	TESTEN	I/O12	测试引脚。 该信号用于测试目的, 必须始终接地。
模拟测试	ATEST	A	模拟测试引脚。 该信号用于测试目的, 必须保持未连接状态或接地。
外部25 MHz晶振输入	XTALI	ICLK	外部25 MHz晶振输入。
外部25 MHz参考时钟输入	CLKIN	ICLK	外部参考时钟输入。 该器件也可以由单端时钟振荡器驱动。如果使用该方法, 不要连接XTALO。
外部25 MHz晶振输出	XTALO	OCLK	外部25 MHz晶振输出。

表3-1: 引脚说明 (续)

名称	符号	缓冲器类型	说明
配置脚			
端口4-1 D+ 禁止配置脚	PRT_DIS_P[4:1]	I	端口4-1 D+ 禁止配置脚。 这些配置脚与相应的 PRT_DIS_M[4:1] 配置脚配合使用以禁止相关端口 (4-1)。请参见注3-1。 相应端口的两个USB数据引脚必须连接至3.3V以禁止关联的下行端口。
端口4-1 D- 禁止配置脚	PRT_DIS_M[4:1]	I	端口4-1 D- 禁止配置脚。 这些配置脚与相应的 PRT_DIS_P[4:1] 配置脚配合使用以禁止相关端口 (4-1)。请参见注3-1。 相应端口的两个USB数据引脚必须连接至3.3V以禁止关联的下行端口。
不可移除端口配置脚	CFG_NON_REM	I	不可移除端口配置脚。 该配置脚控制报告的不可移除端口的数量。请参见注3-1。
电池充电配置脚	CFG_BC_EN	I/O12	电池充电配置脚。 该配置脚控制支持BC 1.2的下行端口的数量。请参见注3-1。
器件模式配置脚3-1	CFG_STRAP[3:1]	I	器件模式配置脚3-1。 这些配置脚用于选择器件的工作模式。请参见注3-1。
电源/地			
+3.3V I/O 电源输入	VDD33	P	+3.3V 电源和内部稳压器输入。
+1.2V 内核电源输入	VDD12	P	+1.2V 数字内核电源输入。
地	VSS	P	公共地。 此外露焊盘必须通过过孔阵列连接到地平面。

注3-1 配置脚的值在上电复位 (Power-On Reset, POR) 时以及 **RESET_N** (外部芯片复位) 的上升沿锁存。配置脚由带下划线的符号名称标识。连接负载时, 用作配置脚的信号必须增加一个外部电阻。有关更多信息, 请参见[第3.3节 “配置脚和可编程功能”](#)。

3.3 配置脚和可编程功能

配置脚是多功能引脚，用于在上电复位（POR）或外部芯片复位（**RESET_N**）期间确定特定功能的默认配置。信号的状态在复位置为无效后锁存。配置脚由带下划线的符号名称标识。本节详细介绍各种器件配置脚和相关的可编程引脚功能。

注： 系统设计人员必须确保配置脚符合第9.6.2节“上电和配置脚时序”和第9.6.3节“复位和配置脚时序”中指定的时序要求。如果配置脚锁存之前未处于正确的电压值，则器件可能会捕捉到不正确的配置脚值。

3.3.1 端口禁止配置（PRT_DIS_P[4:1]/PRT_DIS_M[4:1]）

可搭配PRT_DIS_P[4:1]/PRT_DIS_M[4:1]配置脚来禁止相关端口（4-1）。

对于PRT_DIS_P_x（其中，x为相应端口4-1）：

- 0 = 使能端口x D+
- 1 = 禁止端口x D+

对于PRT_DIS_M_x（其中，x为相应端口4-1）：

- 0 = 使能端口x D-
- 1 = 禁止端口x D-

注： PRT_DIS_P_x和PRT_DIS_M_x（其中，x为相应端口）均必须连接至3.3V电压以禁止相关下行端口。禁止USB 2.0端口会同时禁止相应的USB 3.0端口。

3.3.2 不可移除端口配置（CFG_NON_REM）

CFG_NON_REM配置脚用于将器件的不可移除端口配置为五种设置之一。这些模式通过配置CFG_NON_REM引脚上的外部电阻来选择。电阻选项包括200 kΩ下拉、200 kΩ上拉、10 kΩ下拉、10 kΩ上拉和10Ω下拉，如表3-2所示。

表3-2: CFG_NON_REM电阻编码

<u>CFG_NON_REM</u> 电阻值	设置
200 kΩ 下拉	所有端口均可移除
200 kΩ 上拉	端口1不可移除
10 kΩ 下拉	端口1和2不可移除
10 kΩ 上拉	端口1、2和3不可移除
10Ω 下拉	端口1、2、3和4不可移除

3.3.3 电池充电配置（CFG_BC_EN）

CFG_BC_EN配置脚用于将器件的电池充电端口配置为五种设置之一。这些模式通过配置CFG_BC_EN引脚上的外部电阻来选择。电阻选项包括200 kΩ下拉、200 kΩ上拉、10 kΩ下拉、10 kΩ上拉和10Ω下拉，如表3-3所示。

表 3-3: CFG_BC_EN 电阻编码

<u>CFG_BC_EN</u> 电阻值	设置
200 kΩ 下拉	未在任何端口上使能电池充电
200 kΩ 上拉	在端口 1 上使能 BC1.2 DCP 和 CDP 电池充电
10 kΩ 下拉	在端口 1 和 2 上使能 BC1.2 DCP 和 CDP 电池充电
10 kΩ 上拉	在端口 1、2 和 3 上使能 BC1.2 DCP 和 CDP 电池充电
10Ω 下拉	在端口 1、2、3 和 4 上使能 BC1.2 DCP 和 CDP 电池充电

3.3.4 PF[31:4] 配置（CFG_STRAP[2:1]）

USB7002提供28个可编程功能引脚（PF[31:4]）。这些引脚可以通过CFG_STRAP[2:1]引脚配置为4种预定义的配置。这些配置通过CFG_STRAP[2:1]引脚上的外部电阻选择，详见表3-4。表3-4中未详细介绍的电阻值及组合均已保留，不得使用。

注： CFG_STRAP3未使用，可保持未连接状态。

表 3-4: CFG_STRAP[2:1] 电阻编码

模式	<u>CFG_STRAP2</u> 电阻值	<u>CFG_STRAP1</u> 电阻值
配置 1	200 kΩ 下拉	200 kΩ 下拉
配置 2	200 kΩ 下拉	200 kΩ 上拉
配置 3	200 kΩ 下拉	10 kΩ 下拉
配置 4	200 kΩ 下拉	10 kΩ 上拉

USB7002

表3-5总结了4种配置中每种配置的引脚分配。有关每个可编程功能的行为的详细信息，请参见表3-6。

表3-5: PF[31:4]功能分配

引脚	配置1 (SMBus/I ² C)	配置2 (I ² S)	配置3 (UART)	配置4 (Flex)
PF4	DP2_DISCHARGE	DP2_DISCHARGE	DP2_DISCHARGE	DP2_DISCHARGE
PF5	DP1_DISCHARGE	DP1_DISCHARGE	DP1_DISCHARGE	DP1_DISCHARGE
PF6	GPIO70	GPIO70	UART_RX	GPIO70
PF7	GPIO71	MIC_DET	UART_TX	GPIO71
PF8	DP1_VCONN1	DP1_VCONN1	DP1_VCONN1	DP1_VCONN1
PF9	DP1_VCONN2	DP1_VCONN2	DP1_VCONN2	DP1_VCONN2
PF10	DP2_VCONN1	DP2_VCONN1	DP2_VCONN1	DP2_VCONN1
PF11	DP2_VCONN2	DP2_VCONN2	DP2_VCONN2	DP2_VCONN2
PF12	GPIO76	GPIO76	GPIO76	GPIO76
PF13	PRT_CTL4	PRT_CTL4	PRT_CTL4	PRT_CTL4
PF14	GPIO78	I2S_SDI	UART_nCTS	GPIO78
PF15	PRT_CTL2	PRT_CTL2	PRT_CTL2	PRT_CTL2
PF16	PRT_CTL3	PRT_CTL3	PRT_CTL3	PRT_CTL3
PF17	PRT_CTL1	PRT_CTL1	PRT_CTL1	PRT_CTL1
PF18	MSTR_I2C_CLK	I2S_LRCK	UART_nDCD	GPIO82
PF19	MSTR_I2C_DATA	I2S_SDO	UART_nRTS	GPIO83
PF20	SPI_CE_N	SPI_CE_N	SPI_CE_N	SPI_CE_N
PF21	SPI_CLK	SPI_CLK	SPI_CLK	SPI_CLK
PF22	SPI_D0	SPI_D0	SPI_D0	SPI_D0
PF23	SPI_D1	SPI_D1	SPI_D1	SPI_D1
PF24	SPI_D2	SPI_D2	SPI_D2	SPI_D2
PF25	SPI_D3	SPI_D3	SPI_D3	SPI_D3
PF26	SLV_I2C_CLK	I2S_SCK	UART_nDSR	GPIO90
PF27	SLV_I2C_DATA	I2S_MCLK	UART_nDTR	GPIO91
PF28	GPIO92	GPIO92	GPIO92	GPIO92
PF29	GPIO93	GPIO93	GPIO93	GPIO93
PF30	GPIO94	MSTR_I2C_CLK	GPIO94	GPIO94
PF31	GPIO95	MSTR_I2C_DATA	GPIO95	GPIO95

注： 可通过修改引脚复用寄存器，使用其他配置来改写默认PF_x引脚功能。要实现这些更改，可以在SMBus配置阶段编程OTP存储器，或在运行时（连接并枚举集线器之后）通过SMBus从接口或发送到内部集线器功能控制器的USB命令对寄存器执行写操作。

表 3-6: 可编程功能说明

功能	缓冲器类型	说明
主 SMBus/I ² C 接口		
MSTR_I2C_CLK	I/O12	桥接主 SMBus/I ² C 控制器时钟 (SMBus/I ² C 控制器 1)
MSTR_I2C_DATA	I/O12	桥接主 SMBus/I ² C 控制器数据 (SMBus/I ² C 控制器 1)
从 SMBus/I ² C 接口		
SLV_I2C_CLK	I/O12	从 SMBus/I ² C 控制器时钟 (SMBus/I ² C 控制器 2)
SLV_I2C_DATA	I/O12	从 SMBus/I ² C 控制器数据 (SMBus/I ² C 控制器 2)
SPI 接口		
SPI_CLK	I/O-U	SPI 时钟。如果使能 SPI 接口, 则该引脚在复位期间必须驱动为低电平。
SPI_D[3:0]	I/O-U	SPI 数据 3-0。如果使能 SPI 接口, 则这些信号用作数据 3 至 0。
SPI_CE_N	I/O12	低电平有效 SPI 芯片使能输入。如果使能 SPI 接口, 则该引脚在掉电状态下必须驱动为高电平。
UART 接口		
UART_TX	O12	UART 发送
UART_RX	I	UART 接收
UART_nCTS	I	UART 允许发送
UART_nRTS	O12	UART 请求发送
UART_nDCD	I	UART 数据载波检测
UART_nDSR	I	UART 数据集就绪
UART_nDTR	O12	UART 数据终端就绪
I ² S 接口		
I2S_SDI	I	I ² S 串行数据输入
I2S_SDO	O12	I ² S 串行数据输出
I2S_SCK	O12	I ² S 连续串行时钟
I2S_LRCK	O12	I ² S 字选择/左-右时钟
I2S_MCLK	O12	I ² S 主时钟
MIC_DET	I	I ² S 麦克风插入检测 0 = 麦克风未插入音频插孔 1 = 麦克风已插入音频插孔
其他		
DP2_VCONN1	I/O12	端口 2 VCONN1 使能
DP2_VCONN2	I/O12	端口 2 VCONN2 使能

USB7002

表 3-6: 可编程功能说明 (续)

功能	缓冲器类型	说明
DP2_DISCHARGE	I/O12	端口 2 DISCHARGE 使能
DP1_VCONN1	I/O12	端口 1 VCONN1 使能
DP1_VCONN2	I/O12	端口 1 VCONN2 使能
DP1_DISCHARGE	I/O12	端口 1 DISCHARGE 使能
PRT_CTL4	I/O12 (PU)	端口 4 电源使能/过流检测 使能下行端口时, 该引脚设置为输入, 并应用内部上拉电阻。该引脚通过 USB 端口 4 上的外部电流监视器来监视低电平有效的过流信号是否置为有效, 同时内部上拉电阻为下行端口供电。 当通过配置或主机控制禁止端口时, 该引脚将变为输出并驱动为低电平。 注: 此信号同时控制端口的 USB 2.0 和 USB 3.1 部分。
PRT_CTL3	I/O12 (PU)	端口 3 电源使能/过流检测 使能下行端口时, 该引脚设置为输入, 并应用内部上拉电阻。该引脚通过 USB 端口 3 上的外部电流监视器来监视低电平有效的过流信号是否置为有效, 同时内部上拉电阻为下行端口供电。 当通过配置或主机控制禁止端口时, 该引脚将变为输出并驱动为低电平。 注: 此信号同时控制端口的 USB 2.0 和 USB 3.1 部分。
PRT_CTL2	I/O12 (PU)	端口 2 电源使能/过流检测 使能下行端口时, 该引脚设置为输入, 并应用内部上拉电阻。该引脚通过 USB 端口 2 上的外部电流监视器来监视低电平有效的过流信号是否置为有效, 同时内部上拉电阻为下行端口供电。 当通过配置或主机控制禁止端口时, 该引脚将变为输出并驱动为低电平。 注: 此信号同时控制端口的 USB 2.0 和 USB 3.1 部分。

表 3-6: 可编程功能说明（续）

功能	缓冲器类型	说明
PRT_CTL1	I/O12 (PU)	端口 1 电源使能/过流检测 使能下行端口时，该引脚设置为输入，并应用内部上拉电阻。该引脚通过 USB 端口 1 上的外部电流监视器来监视低电平有效的过流信号是否置为有效，同时内部上拉电阻为下行端口供电。 当通过配置或主机控制禁止端口时，该引脚将变为输出并驱动为低电平。 注： 此信号同时控制端口的 USB 2.0 和 USB 3.1 部分。
GPIOx	I/O12	通用输入/输出 (x = 70-71、76、78、82-83 和 90-95)

3.4 物理和逻辑端口映射

USB70xx 系列器件基于通用架构，但都进行了不同的修改和/或引脚外合，以实现各种器件配置。基础芯片由总共 6 个 USB3 PHY 和 7 个 USB2 PHY 组成。这些 PHY 以特定方式物理排列在芯片上，这称为物理端口映射。

默认情况下，系列中每个器件的实际端口编号都以不同的方式重新映射。从 USB 主机的角度看，这改变了端口编号的方式。这称为逻辑映射。

这些器件支持的各种配置选项有时可能与物理映射或逻辑映射有关。与物理或逻辑相关的每个单独配置选项都在寄存器描述中进行相应声明。

表 3-7 中介绍了所有端口相关引脚的物理与逻辑映射。在规划系统设计的原理图和布线图时，通常需要用[到第 3.1 节“引脚分配”](#)中的引脚布局（由默认逻辑映射分配）。因此，在确定集线器配置时，可能需要对照参考物理与逻辑查找表。

注： MPLAB Connect 工具可简化配置；用户可以根据逻辑端口编号选择设置。该工具会将逻辑端口与物理端口进行链接。更多信息，请参见[第 6.0 节“器件配置”](#)。

USB7002

表 3-7: USB7002 物理和逻辑端口映射

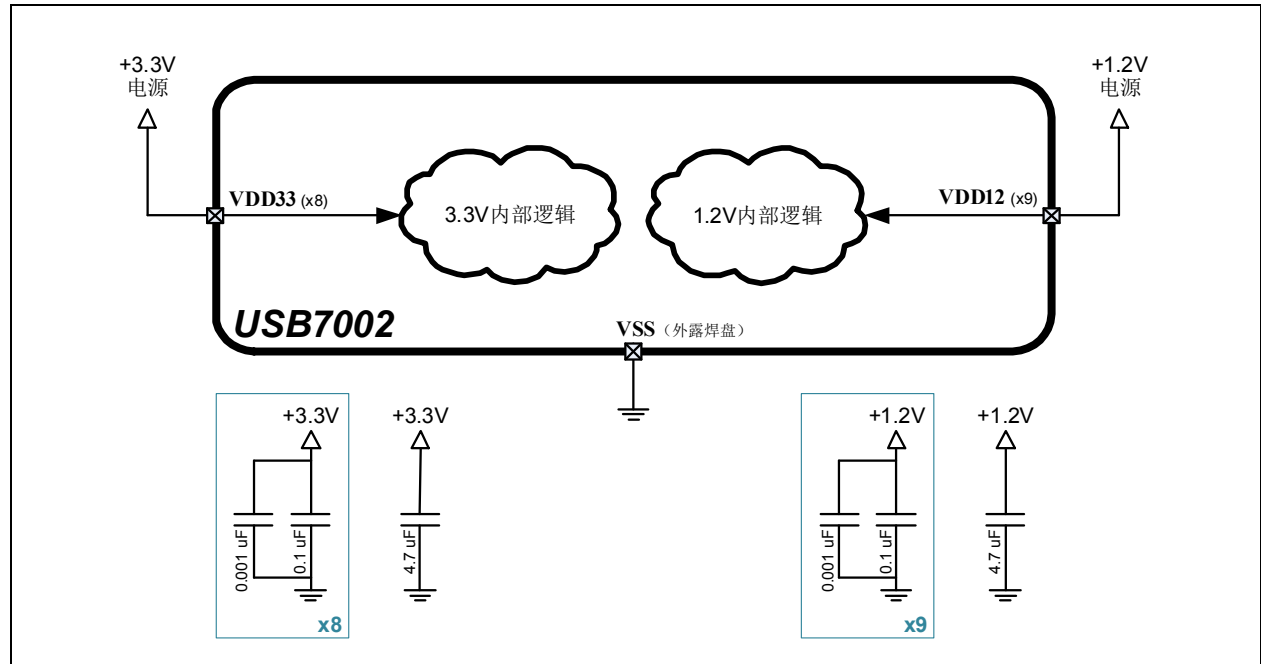
器件 引脚	引脚名称	逻辑端口编号						物理端口编号						
		0	1	2	3	4	5	0	1	2	3	4	5	6
5	USB2DN_DP1		X						X					
6	USB2DN_DM1		X						X					
7	USB3DN_TXDP1A		X						X					
8	USB3DN_TXDM1A		X						X					
10	USB3DN_RXDP1A		X						X					
11	USB3DN_RXDM1A		X						X					
14	USB2DN_DP3				X					X				
15	USB2DN_DM3				X					X				
16	USB3DN_TXDP1B		X							X				
17	USB3DN_TXDM1B		X							X				
19	USB3DN_RXDP1B		X							X				
20	USB3DN_RXDM1B		X							X				
29	USB2DN_DP2			X							X			
30	USB2DN_DM2			X							X			
31	USB3DN_TXDP2A			X							X			
32	USB3DN_TXDM2A			X							X			
34	USB3DN_RXDP2A			X							X			
35	USB3DN_RXDM2A			X							X			
37	USB2DN_DP4					X						X		
38	USB2DN_DM4					X						X		
39	USB3DN_TXDP2B			X								X		
40	USB3DN_TXDM2B			X								X		
42	USB3DN_RXDP2B			X								X		
43	USB3DN_RXDM2B			X								X		
81	USB3UP_TXDPB	X											X	
82	USB3UP_TXDMB	X											X	
84	USB3UP_RXDPB	X											X	
85	USB3UP_RXDMB	X											X	
89	USB2UP_DP	X						X						
90	USB2UP_DM	X						X						
91	USB3UP_TXDPA	X						X						
92	USB3UP_TXDMA	X						X						
94	USB3UP_RXDPA	X						X						
95	USB3UP_RXDMA	X						X						

4.0 器件连接

4.1 电源连接

图4-1给出了器件的电源连接。

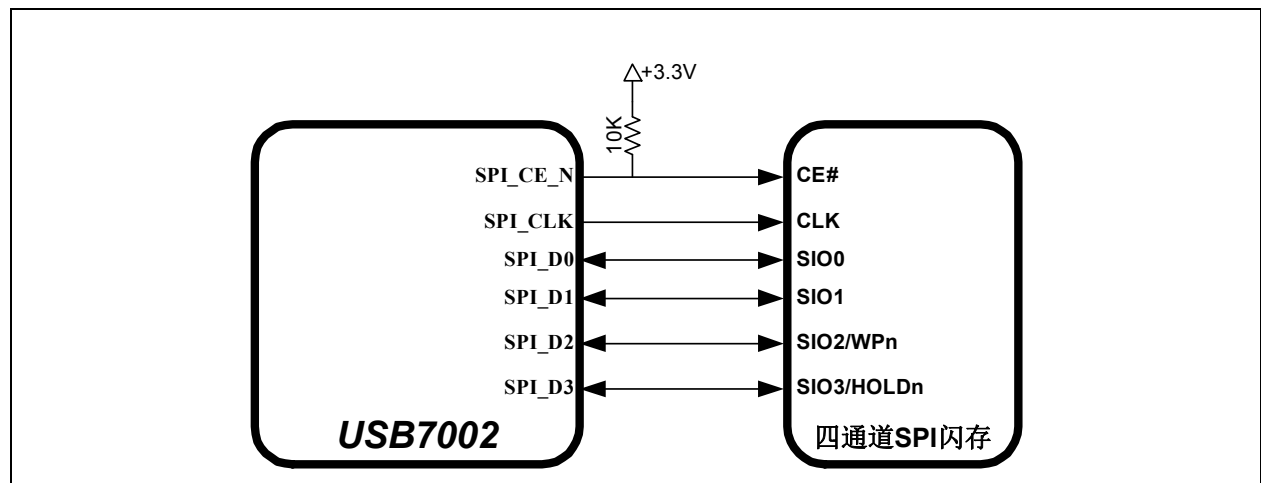
图4-1： 电源连接



4.2 SPI/SQI闪存连接

图4-2给出了四通道SPI闪存连接。

图4-2： 四通道SPI闪存连接

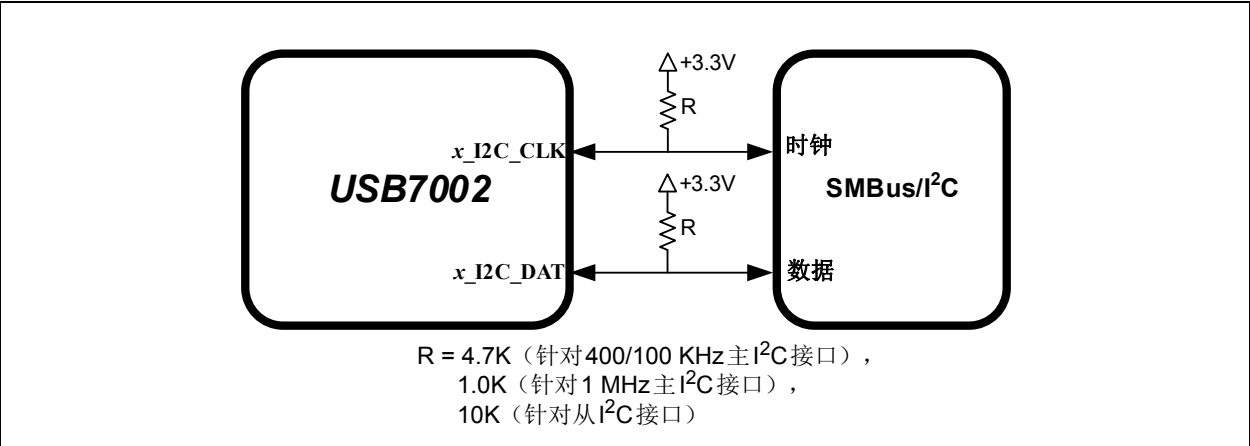


USB7002

4.3 SMBus/I²C 连接

图4-3给出了SMBus/I²C连接。

图4-3: SMBUS/I²C 连接

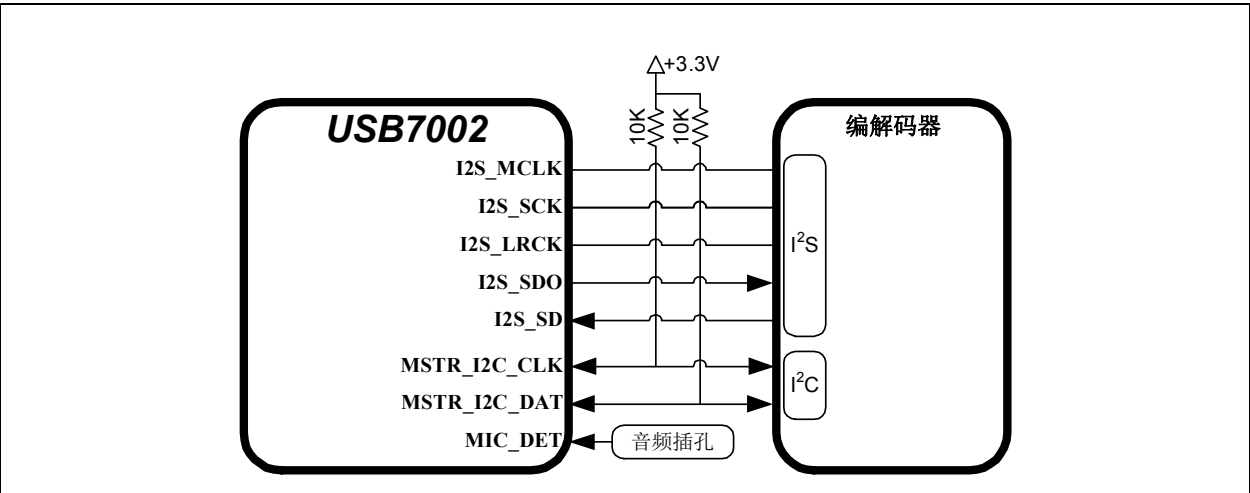


注: 建议采用图4-3中具体给出的电阻值。最佳上拉值可能会因外部因素而异。

4.4 I²S 连接

图4-4给出了I²S连接。

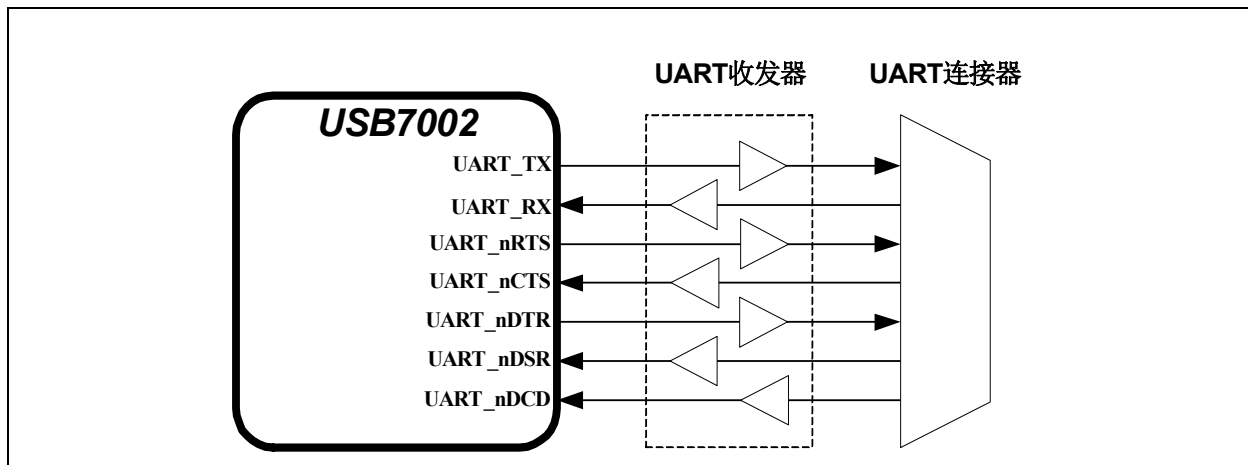
图4-4: I²S 连接



4.5 UART 连接

图4-5给出了UART连接。

图4-5: UART 连接



5.0 工作模式

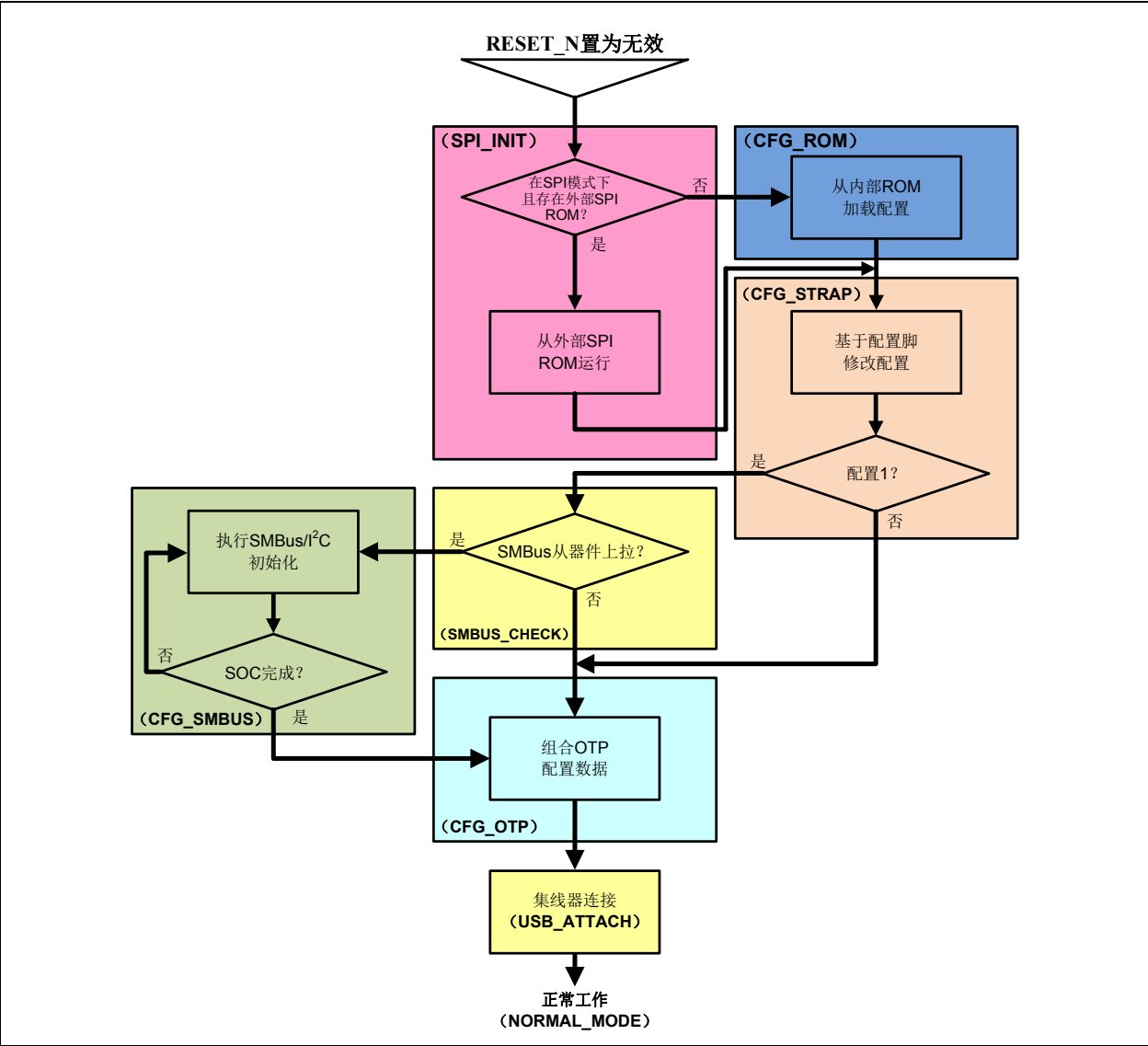
该器件提供两种主要的工作模式：待机模式和集线器模式。这些模式通过RESET_N引脚控制，如表5-1所示。

表5-1： 工作模式

RESET_N输入	总结
0	待机模式： 这是器件的最低功耗状态。除监视RESET_N输入以外，其他功能均不工作。所有端口接口均呈高阻态，并且PLL暂停。有关RESET_N的更多信息，请参见第8.11节“复位”。
1	集线器（正常）模式： 该器件作为可配置的USB集线器工作。该模式具有各种子工作模式，详见图5-1。功耗基于活动端口的数量、速度和接收到的数据量。

图5-1中的流程图详细介绍了工作模式以及器件如何遍历集线器模式的各个阶段（以粗体显示）。其余小节提供了每个工作阶段的更多细节。

图5-1： 集线器模式流程图



5.1 引导序列

5.1.1 待机模式

如果**RESET_N**引脚置为有效，集线器将处于待机模式。该模式提供一种极低的功耗状态，以在不需要信号传输时实现最高效率。这是最低功耗状态。在待机模式下，所有下行端口均被禁止，USB数据引脚保持高阻态，所有事务立即终止（不保存任何状态），所有内部寄存器均恢复为默认状态，PLL暂停，内核逻辑掉电，从而最大程度地降低功耗。由于内核逻辑已掉电，因此在此模式下不会保留配置设置，并且必须在**RESET_N**变为无效（高电平）之前重新初始化。

5.1.2 SPI初始化阶段（SPI_INIT）

第一阶段（即初始化阶段）发生在**RESET_N**置为无效时。在这一阶段，内部逻辑复位。如果提供了有效时钟，PLL会锁定，配置寄存器将初始化为默认状态。内部固件随后会检查外部SPI ROM。固件从地址0x3FFFA开始查找包含有效签名“2DFU”（器件固件升级）的外部SPI闪存器件。如果找到有效签名，则使能外部SPI ROM并从外部SPI器件的地址0x0000处开始执行代码。如果没有找到有效签名，则从内部ROM继续执行代码（CFG_ROM阶段）。

所需SPI ROM必须至少为1 Mb，频率为60 MHz或更快。同时支持1、2和4位SPI操作。为获得最佳吞吐量，建议使用2位SPI ROM。此外，还同时支持模式0和模式3 SPI ROM。

如果系统没有针对SPI模式进行配置脚设置，则将从内部ROM继续执行代码（CFG_ROM阶段）。

5.1.3 内部ROM阶段（CFG_ROM）的配置

在这一阶段，内部固件从内部ROM装载默认值。大多数集线器配置寄存器、USB描述符、电气设置等也将在此状态下初始化。

5.1.4 配置脚读阶段（CFG_STRAP）

在这一阶段，固件会通过读取以下配置脚来改写默认值：

- **CFG_STRAP[3:1]**
- **PRT_DIS_P[4:1]**
- **PRT_DIS_M[4:1]**
- **CFG_NON_REM**
- **CFG_BC_EN**

如果**CFG_STRAP[3:1]**引脚设置为配置1，则器件将进入SMBUS_CHECK阶段，否则将进入CFG_OTP阶段。有关各个器件配置脚的使用信息，请参见第3.3节“配置脚和可编程功能”。

5.1.5 SMBUS检查阶段（SMBUS_CHECK）

基于所选的**PF[31:4]**配置（见第3.3.4节“**PF[31:4]**配置（CFG_STRAP[2:1]）”），固件将检查SMBus从器件可编程功能引脚上是否存在外部上拉电阻。如果在两个引脚上检测到上拉电阻，器件将被配置为SMBus从器件，下一个状态将为CFG_SMBUS。如果在任一引脚中未检测到上拉电阻，则下一个状态为CFG_OTP。

5.1.6 SMBUS配置阶段（CFG_SMBUS）

在这一阶段，外部SMBus主器件可以修改集成ROM中指定的任何默认配置设置，例如USB设备描述符、端口电气设置以及下行端口充电等控制功能。

此模式下没有时间限制。在这一阶段，固件将无限期地等待SMBus/I²C配置。在传统模式下，外部SMBus主器件向寄存器写入0xFF可结束配置。在非传统模式下，将通过SMBus命令USB_ATTACH（操作码0xAA55）或USB_ATTACH_WITH_SMBUS（操作码0xAA56）来结束配置。

USB7002

5.1.7 OTP配置阶段 (CFG_OTP)

SOC指示其完成配置后，所有配置数据都将在此阶段进行组合。默认数据、SOC配置数据和OTP数据将在固件中进行组合，然后对器件进行编程。

5.1.8 集线器连接阶段 (USB_ATTACH)

一旦通过默认值、SMBus主器件和OTP更新了集线器寄存器，器件固件就会将HUB_CMD_STAT寄存器中的USB_ATTACH位（对于USB 2.0）和USB3_HUB_ENABLE位（对于USB 3.1）置1以使能USB主机连接。器件将无限期保持在集线器连接阶段。

5.1.9 正常模式 (NORMAL_MODE)

最后，集线器进入正常工作模式。在这一阶段，在上行端口上的USB主机的控制下，将支持完整的USB操作。在系统更改工作模式之前，器件将保持正常工作模式。

如果RESET_N置为有效（低电平），则进入待机模式。器件随后可进入任何指定的集线器阶段。如果将上行端口上的软断开设为有效，则集线器将返回到集线器连接阶段，直至软断开无效为止。

6.0 器件配置

该器件支持大量功能（某些互斥），并且必须经过配置才能在连接到USB主机控制器时正常工作。Microchip提供全面的软件编程工具MPLAB Connect Configurator（以前称为ProTouch2）来对USB7002各种功能和寄存器进行OTP配置。所有配置均通过MPLAB Connect Configurator编程工具执行。有关此工具的更多信息，请参见MPLAB Connect Configurator编程工具产品页面，网址为<http://www.microchip.com/design-centers/usb/mplab-connect-configurator>。

有关USB7002配置的更多信息，另请参见“*Configuration of the USB7002/USB705x*”应用笔记，其中包含有关集线器工作模式、SOC配置阶段、OTP配置、USB配置和配置寄存器定义的详细信息。本应用笔记与其他USB7002资源均可在Microchip USB7002产品页面上找到，网址为www.microchip.com/USB7002。

注： USB7002需要外部固件才能运行。更多信息，请参见“*Configuration of the USB7002/USB705x*”应用笔记。

注： 有关器件配置脚和可编程引脚的详细信息，请参见第3.3节“配置脚和可编程功能”。
有关每个器件接口的详细信息，请参见第7.0节“器件接口”。

USB7002

7.0 器件接口

USB7002提供了多个接口用于配置和外部存储器访问等。本章详细介绍了各种器件接口：

- [SPI/SQI主接口](#)
- [SMBus/I²C主/从接口](#)
- [I²S接口](#)
- [UART接口](#)

注： 有关如何使能各个接口的详细信息，请参见[第3.3节“配置脚和可编程功能”](#)。

有关器件连接的信息，请参见[第4.0节“器件连接”](#)。有关器件配置的信息，请参见[第6.0节“器件配置”](#)。

Microchip提供全面的软件编程工具MPLAB Connect Configurator（以前称为ProTouch2），用于配置USB7002的功能、寄存器和OTP存储器。所有配置均通过MPLAB Connect Configurator编程工具执行。有关此工具的更多信息，请参见MPLAB Connect Configurator编程工具产品页面，网址为<http://www.microchip.com/design-centers/usb/mplab-connect-configurator>。

7.1 SPI/SQI主接口

SPI/SQI控制器有两种基本工作模式：执行外部集线器固件映像以及USB转SPI桥接器。上电时，固件从地址0x3FFFA开始查找包含有效签名2DFU（器件固件升级）的外部SPI闪存器件。如果找到有效签名，则使能外部ROM模式并从外部SPI器件的地址0x0000处开始执行代码。如果未找到有效签名，则从内部ROM继续执行，SPI接口可用作USB转SPI桥接器。

第二种工作模式是USB转SPI桥接器。有关此功能的更多详细信息，请参见[第8.8节“USB转SPI桥接”](#)。

[表7-1](#)详细介绍了如何在SPI和SQI模式下映射相关引脚。

表7-1： SPI/SQI引脚的使用

SPI模式	SQI模式	说明
SPI_CE_N	SPI_CE_N	SPI/SQI芯片使能（低电平有效）
SPI_CLK	SPI_CLK	SPI/SQI时钟
SPI_D0	SPI_D0	SPI数据输出；SQI数据I/O 0
SPI_D1	SPI_D1	SPI数据输入；SQI数据I/O 1
-	SPI_D2	SQI数据I/O 2
-	SPI_D3	SQI数据I/O 3

注： 有关SPI/SQI主时序信息，请参见[第9.6.8节“SPI/SQI主时序”](#)。

7.2 SMBus/I²C主/从接口

此器件提供两个独立的SMBus/I²C控制器（从控制器和主控制器），可用于访问内部器件运行时间寄存器或编程内部OTP存储器。该器件包含两个128字节缓冲器，可同时执行主/从操作以及最大程度地降低处理后的I²C数据包中的固件开销。I²C接口支持100 KHz标准模式（Sm）和400 KHz快速模式（Fm）。

SMBus/I²C接口分配给可编程引脚（PF_x），因此必须将器件编程为特定配置才能使能特定接口。更多信息，请参见[第3.3.4节“PF\[31:4\]配置（CFG_STRAP\[2:1\]”](#)。

注： 有关SMBus/I²C时序的信息，请参见第9.6.5节“SMBus时序”和第9.6.6节“I²C时序”。

7.3 I²S接口

器件集成有I²S接口，便于连接数字音频器件。I²S接口符合I²S总线规范中规定的电压、功率和时序特性/规范，并由以下信号组成：

- **I2S_SDI**：串行数据输入
- **I2S_SDO**：串行数据输出
- **I2S_SCK**：串行时钟
- **I2S_LRCK**：左/右时钟（SS/FSYNC）
- **I2S_MCLK**：主时钟
- **MIC_DET**：麦克风插入检测

每个音频连接都是半双工的，因此**I2S_SDO**只存在于接口的发送端，而**I2S_SDI**只存在于接口的接收端。在某些编解码器中，串行时钟（**I2S_SCK**）被称为波特/位时钟（BCLK）。另外，左/右时钟通常称为LRC或LRCK。在I²S和其他音频协议中，LRC被称为字选择（Word Select, WS）。

默认设置支持以下编解码器：

- 模拟器件ADAU1961（24位48 kHz）

通过修改配置寄存器设置，还支持其他编解码器。可参照下表来评估I²S编解码器兼容性。有关如何实现必要配置的更多详细信息，请参见应用笔记“**USB7002/USB705x I2S Operation**”。

表7-2: USB转I2S

参数	支持的值
采样频率（fs）	8 kHz、11.025 kHz、12 kHz、16 kHz、22.05 kHz、24 kHz、32 kHz、44.1 kHz 和 48 kHz
MCLK频率（采样频率的倍数）	从1*fs到1024*fs。 MCLK也可采用连续值。但是，I2S LRCLK信号来自MCLK源，因此建议将MCLK信号频率保持为“采样频率的偶数倍”。
音频采样大小	16位/采样、24位/采样和32位/采样
I2S音频接口格式	I2S模式、左对齐模式和右对齐模式
I2C主控制接口频率	100 kHz和400 kHz
音频通道	单声道模式和立体声模式
使能/禁止I2S桥接口	仅音频输出（扬声器接口）模式（或）仅音频输入（麦克风接口）（或）同时使能音频输入和输出接口（或）同时禁止音频输入和音频输出接口。
使能/禁止插孔检测接口	使能音频插孔插入检测HID接口/禁止插孔检测接口。

注： 有关I²S时序的信息，请参见第9.6.7节“I²S时序”。有关使用I²S接口的详细信息，请参见应用笔记“**USB7002/USB705x I²S Operation**”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

7.3.1 工作模式

USB 音频类以三种方式工作：异步、同步和自适应。此外，还有多种其他工作模式，如高分辨率和流传输等。通常对于USB设备来说，麦克风等输入是异步的，扬声器等输出设备是自适应的。硬件需能够处理全部三种工作模式。建议使用以下配置：异步输入，自适应输出，48 kHz流传输模式以及两个通道，每通道16位。

7.3.1.1 异步输入48 kHz流传输

在这种模式下，编解码器采样时钟根据本地振荡器设置为48 kHz。该时钟始终不变。来自编解码器的数据馈入输入FIFO。由于采样时钟与主机时钟异步，因此每个USB帧中捕捉的数据量将有所不同。该问题将交由主机处理。输入FIFO有两个标记，一个低阈值水印（THRESHOLD_LOW_VAL）和一个高阈值水印（THRESHOLD_HIGH_VAL）。有三个寄存器用于确定每个帧中要返回多少数据。如果FIFO中的数据量超过高阈值水印，则发送HI_PKT_SIZE大小的数据。如果数据介于高阈值水印和低阈值水印之间，则发送正常MID_PKT_SIZE大小的数据。如果数据低于低阈值水印，则发送LO_PKT_SIZE大小的数据。

7.3.1.2 自适应输出48 kHz流传输

在这种模式下，编解码器采样时钟最初根据本地振荡器设置为48 kHz。随后主机数据馈入输出FIFO。主机将基于主机时钟在每个帧上发送相同的数据量，即48 kHz数据。编解码器采样时钟与主机时钟异步。这会导致输出FIFO中的数据量发生变化。如果FIFO中的数据量超过高阈值水印，则采样时钟会增大。如果数据介于高阈值水印和低阈值水印之间，则采样时钟保持不变。如果数据低于低阈值水印，则采样时钟会减小。

7.3.1.3 同步操作

对于同步操作，内部时钟必须与主机SOF同步。帧SOF的标称值为1 ms。由于SOF存在明显的抖动，因此提供了用于长时间测量SOF的电路以获得更准确的读数。计算得出的主机频率用于计算编解码器的采样时钟。

7.4 UART接口

该器件集成了一个可配置的通用异步收发器（Universal Asynchronous Receiver/Transmitter，UART），与NS 16550AF、16450、16450 ACE寄存器和16C550A的功能兼容。UART对接收的字符执行串并转换，并对发送的字符进行并串转换。UART提供了两组波特率：24 MHz和16 MHz。当选择24 MHz源时钟时，可使用50到115.2 K范围内的标准波特率。当源时钟为16 MHz时，可使用125 K到1,000 K范围内的波特率。字符选项可编程为以5到8的字长传输数据，即1个起始位、1、1.5或2个停止位，甚至偶校验、奇校验、粘性校验或无奇偶校验以及优先中断。UART包含一个可编程波特率发生器，该发生器能够将输入时钟或晶振进行1至65535范围内的分频。UART还能够支持MIDI数据速率。

UART接口分配给可编程引脚（PFx），因此必须将器件编程为特定配置才能启用此接口。更多信息，请参见第3.3.4节“PF[31:4]配置（CFG_STRAP[2:1]”。

7.4.1 发送操作

可通过将要发送的数据写入到TX保持寄存器或TX FIFO（如果已使能）来启动发送。然后将数据与起始位、奇偶校验位和停止位（由线路控制寄存器中的设置确定）一起传输到TX移位寄存器。随后使用波特率发生器的输出（16分频）作为时钟，将要发送的位以起始位、数据位（LSB在前）、奇偶校验位和停止位的顺序移出TX移位寄存器。

如果使能TX保持寄存器空中断，则在TX保持寄存器或TX FIFO（如果使能）变为空时将产生该中断。

使能FIFO（即FIFO控制寄存器的bit 0置1）时，UART一次最多可以存储16个字节的待发送数据。发送操作将持续至TX FIFO为空。FIFO是否准备好接受更多数据将由中断指示。

7.4.2 接收操作

可使用接收时钟（16分频）将数据采样到RX移位寄存器中。接收时钟由波特率发生器提供。使用滤波器将持续时间短于两个接收时钟周期的虚假输入滤除。当完整的字随时钟进入接收器时，数据位会传输到将由CPU读取的RX缓冲寄存器或RX FIFO（如果使能），并将待接收的数据的第一位放在该寄存器的bit 0中。接收器还会检查奇偶校验位和停止位是否与线路控制寄存器中指定的一致。

如果使能RX数据已接收中断，则在数据传输到RX缓冲寄存器时或达到RX触发电平时（如果使能FIFO）将产生该中断。此外，也可以通过产生中断信号来指示RX FIFO字符超时、奇偶校验错误、停止位丢失（帧错误）或其他线路状态错误。

使能FIFO（即FIFO控制寄存器的bit 0置1）时，UART一次最多可以存储16个字节的接收数据。根据所选的RX触发电平，当RX FIFO包含1、4、8或14字节的数据时，中断将激活以指示数据可用。

USB7002

8.0 功能说明

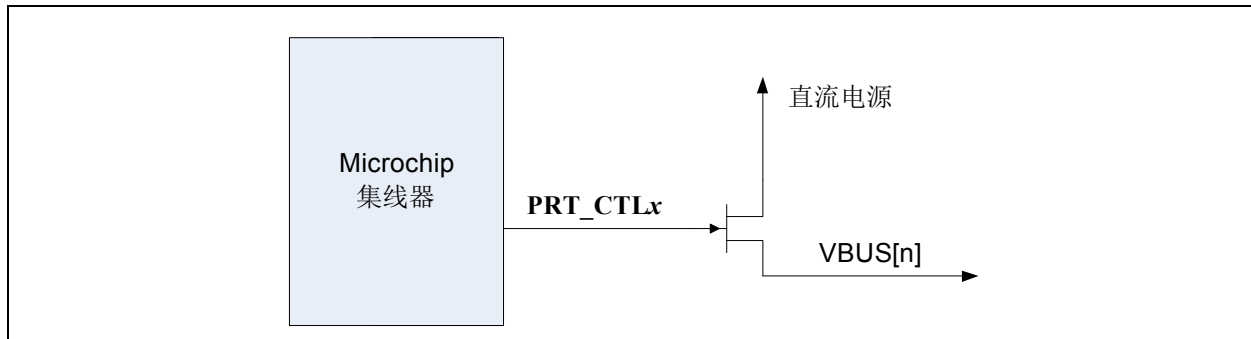
本章详细介绍了USB7002的各种功能，其中包括：

- 下行端口充电
- 端口电源控制
- CC引脚方向和检测
- FlexConnect
- 多主机端点反射器
- USB转GPIO桥接
- USB转I2C桥接
- USB转SPI桥接
- USB转UART桥接
- 链路电源管理（LPM）
- 复位

8.1 下行端口充电

OEM可配置器件，使下行端口支持电池充电。集线器在电池充电中的作用是对设备的查询作出响应，告诉它集线器系统是否支持USB电池充电。集线器芯片不提供任何电流或功率FET或者实际为器件充电的任何附加电路。这些组件必须由OEM在外部提供。

图8-1： 用于电池充电的外部电源



如果OEM根据电池充电规范提供外部电源，则集线器可以配置为指示器件中是否存在此类电源。该指示通过**PRT_CTLx**引脚实现，每个端口都会发出指示。例如，OEM可以将两个端口配置为通过大电流功率FET支持电池充电，而将其他两个端口作为标准USB端口。

端口控制信号分配给可编程引脚（**PFx**），因此必须将器件编程为特定配置才能使能此信号。更多信息，请参见第3.3.4节“**PF[31:4]配置（CFG_STRAP[2:1]）**”。

有关使用电池充电功能的详细信息，请参见应用笔记“*USB Battery Charging with Microchip USB7002 and USB705x Hubs*”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

8.2 端口电源控制

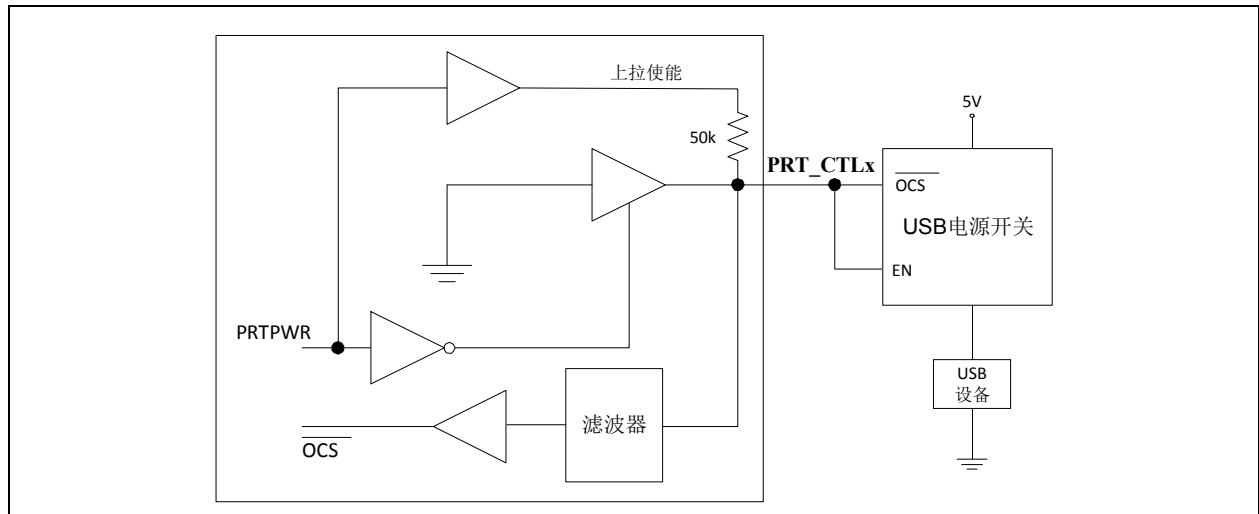
对于每个端口，端口电源和过流检测共用相同的引脚（PRT_CTLx）。这些功能可以直接从USB集线器或通过处理器进行控制。

注： PRT_CTLx功能已通过配置脚分配给可编程功能引脚（PFx）。更多信息，请参见第3.3.4节“PF[31:4]配置（CFG_STRAP[2:1]）”。

8.2.1 使用USB电源开关进行端口电源控制

在组合模式下工作时，器件将为每个下行端口提供一个端口电源控制兼过流检测引脚。禁止端口电源时，驱动器将主动驱动“0”。为避免产生不必要的功耗，此时将禁止上拉电阻。使能端口电源时，它将禁止输出驱动器并使能上拉电阻，使其成为漏极开路输出。如果存在过流情况，则USB电源开关会将漏极开路OCS信号置为有效。施密特触发输入会将其识别为低电平。漏极开路输出不会产生干扰。过流检测滤波器将处理瞬态条件，例如器件上电时的低电压。

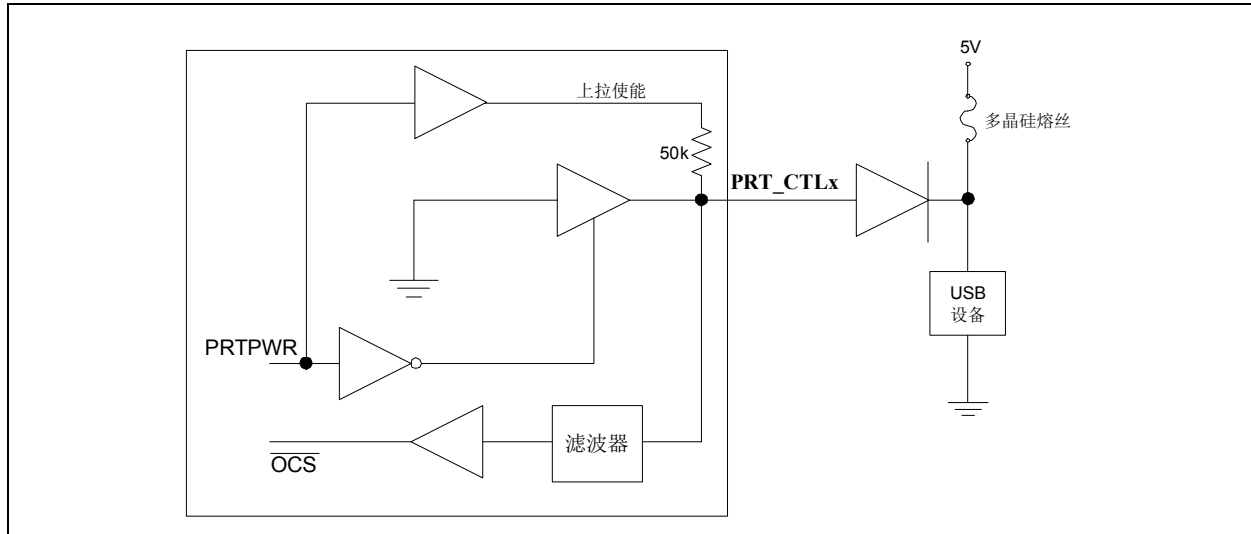
图8-2： 使用USB电源开关进行端口电源控制



8.2.1.1 使用多晶硅熔丝进行端口电源控制

使用带多晶硅熔丝的器件时，不需要输出功率控制。就集线器而言，仍将使用每个下行端口的单端口电源控制和过流检测。禁止端口电源时，驱动器将主动驱动“0”。引脚将不起任何作用，因为外部二极管会将引脚与负载隔离。使能端口电源时，它将禁止输出驱动器并使能上拉电阻。这意味着上拉电阻会向二极管的阳极提供3.3V电压。如果出现过流情况，多晶硅熔丝将熔断，这将导致二极管的阴极变为0V。二极管的阳极将为0.7V，而施密特触发输入会将其寄存为低电平，从而导致过流检测。漏极开路输出不会产生干扰。

图8-3： 使用多晶硅熔丝进行端口电源控制



8.3 CC引脚方向和检测

该器件对所有Type-C端口提供CC1和CC2引脚，用于指示线缆插头方向和USB Type-C插座的检测。该器件集成了一个比较器和DAC电路来实现Type-C连接和断开功能，它最多支持八个可编程的阈值，用于UFP和DFP之间的连接检测。当作为UFP使用时，器件支持检测DFP的通告阈值变化。CC比较器检测到的阈值的默认标称值为：

- 0.20V
- 0.40V
- 0.66V
- 0.80V
- 1.23V
- 1.60V
- 2.60V

该器件用作DFP时，将通过实现电流源来通告两个CC引脚的电流充电能力。当建立UFP连接时，通过CC引脚驱动电流在UFP的Rd下拉电阻上产生一个电压，该电压可通过集成的CC比较器检测。连接到有源线缆时，CC引脚上会出现另一个下拉电阻（Ra）。

作为UFP运行时，该器件在两个CC线路上应用Rd下拉电阻，并从VBUS置为有效时起等待DFP连接。CC比较器用于确定DFP支持的通告电流充电器能力。

VCONN是一个5V电源，用于为USB Type-C插头中的电路供电，必须有VCONN才能实现电子标记线缆。默认情况下，当连接有源线缆时，DFP始终为VCONN供电。USB7002需要使用两个外部VCONN FET。该器件为这些FET提供使能信号，并可通过CC引脚监视FET的输出电压来检测OCS。

器件还通过实现一个比较器来确定VBUS何时处于编程范围vSafe5V或vSafe0V内。VBUS在外部进行分压，以在VBUS_MON引脚上提供3.3V标称电压。对于DFP，VBUS比较器可用于检测VBUS何时处于供电协商规定的理想范围内。对于UFP，使用VBUS比较器来确定DFP何时连接或断开。此外，还可使用该比较器来确定VBUS何时处于供电协商规定的新电压范围内。

注： 原生USB Type-C功能（包括CC引脚方向和检测功能）由USB7002自主管理。

8.4 FlexConnect

该器件允许上行端口与任何下行端口交换，从而使任何USB端口都能在集线器运行期间随时承担USB主机的角色。该主机角色交换功能称为FlexConnect。此外，USB 2.0端口可独立于USB 3.1端口进行操作。

该功能主要有两种使用方式：

1. **主机交换：**如果某个集线器上的主机和设备能够同意交换主机/设备关系，则可通过该集线器来实现该功能；主机将成为设备，设备将成为主机。
2. **主机共享：**可将一个USB生态系统在多个主机之间共享。请注意，一次只有1个主机可以访问USB树。

FlexConnect可通过以下三种方式使能：

- **I²C控制：**嵌入式I²C从器件可用于通过基本的写入/读取操作来控制FlexConnect功能的状态。
- **USB命令：**FlexConnect可通过指向集线器的内部集线器功能控制器的特殊USB命令启动。
- **直接引脚控制：**可以为集线器上任何可用的GPIO引脚分配FlexConnect控制引脚的角色。

有关使用FlexConnect功能的详细信息，请参见应用笔记“*USB7002/USB705x FlexConnect Operation*”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

8.5 多主机端点反射器

内部多主机端点反射器允许通过下行端口进入智能手机的汽车模式会话。该器件在下行端口上支持多主机端点反射器。

多主机端点反射器采用标准的网络控制模型（Network Control Model, NCM）设备协议，该协议是通信设备类（Communication Device Class, CDC）协议组的子类。可使用标准NCM USB驱动程序，无需自定义驱动程序。

一次只能在1个下行端口上进入多主机端点反射器会话。通过无数据控制USB传输（发送到集线器中的内部多主机端点反射器设备）启动进入多主机模式的过程。

USB7002具有两个内部USB设备。多主机端点反射器是复合WinUSB和NCM设备。集线器功能控制器是WinUSB设备，可使能USB桥接功能。

同时连接到多主机端点反射器和集线器功能控制器的集线器端口均配置为不可移除。

有关使用多主机端点反射器功能的详细信息，请参见应用笔记“*USB7002/USB705x Multi-Host Endpoint Reflector Operation*”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

8.6 USB转GPIO桥接

USB转GPIO桥接功能可为系统设计人员提供更多系统控制，还能减少BOM。通用输入/输出（General Purpose Input/Output, GPIO）可用于任何通用的3.3V电压数字控制和输入功能。

USB主机的命令可以发送到Microchip集线器的内部集线器功能控制器，以执行以下功能：

- 设置GPIO的方向（输入或输出）
- 使能一个上拉电阻
- 使能一个下拉电阻
- 读取状态
- 设置状态

有关使用USB转GPIO桥接功能的详细信息，请参见应用笔记“Microchip USB70xx集线器中的USB转GPIO桥接功能”，该文档位于<http://www.microchip.com.cn/newcommunity/Uploads/201908/5d53ab3cb9b4e.pdf>。

8.7 USB转I²C桥接

USB转I²C桥接功能可为系统设计人员提供更多的系统控制，还能减少BOM。不再需要使用单独的USB转I²C器件，而且下行USB端口不会丢失，就像使用独立的USB转I²C器件一样。

USB主机的命令可以发送到Microchip集线器的内部集线器功能控制器，以执行以下功能：

- 配置I²C直通接口
- I²C写入
- I²C读取

有关使用USB转I²C桥接功能的详细信息，请参见应用笔记“*USB to I²C Bridging with Microchip USB7002 and USB705x Hubs*”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

8.8 USB转SPI桥接

USB转SPI桥接功能可为系统设计人员提供更多的系统控制，还能减少BOM。不再需要使用单独的USB转SPI器件，而且下行USB端口不会丢失，就像使用独立的USB转SPI器件一样。

USB主机的命令可以发送到Microchip集线器的内部集线器功能控制器，以执行以下功能：

- 使能SPI直通接口
- SPI写入/读取
- 禁止SPI直通接口

有关使用USB转SPI桥接功能的详细信息，请参见应用笔记“*USB to SPI Bridging with Microchip USB7002 and USB705x Hubs*”，该文档位于Microchip USB7002产品页面，网址为www.microchip.com/USB7002。

8.9 USB转UART桥接

USB转UART桥接功能可为系统设计人员提供更多的系统控制，还能减少BOM。使用Microchip的USB集线器时，不再需要使用单独的USB转UART器件，而且下行USB端口不会丢失，就像使用独立的USB转UART器件一样。

USB主机的命令可以发送到Microchip集线器的内部集线器功能控制器，以执行以下功能：

- 使能/禁止UART接口
- 设置UART接口波特率
- UART写入
- UART读取

有关使用USB转UART桥接功能的详细信息，请参见应用笔记“Microchip USB7002、USB7050、USB7051和USB7052集线器中的USB转UART桥接功能”，该文档位于<http://www.microchip.com.cn/newcommunity/uploads/201908/5d53aaa013bc9.pdf>。

8.10 链路电源管理（LPM）

器件支持L0（开启）、L1（休眠）和L2（暂停）三种链路电源管理状态。传统USB暂停/恢复的延时长达几十毫秒，相比之下，在上述三种支持的LPM状态之间转换的延时要短得多，仅为几十微秒。有关支持的LPM状态的详细信息，请参见表8-1。

表8-1： LPM状态定义

状态	说明	L0的进入/退出时间
L2	暂停	进入：~3 ms 退出：~2 ms（距离开始恢复时）
L1	休眠	进入：<10 μs 退出：<50 μs
L0	完全使能（开启）	-

8.11 复位

器件包含以下芯片级复位源：

- 上电复位（POR）
- 外部芯片复位（RESET_N）
- USB总线复位

8.11.1 上电复位（POR）

初次对器件上电时或切断器件电源并重新对其上电时，会发生上电复位。器件中的定时器会根据第9.6.2节“上电和配置脚时序”中列出的规范将内部复位位置为有效。

8.11.2 外部芯片复位（RESET_N）

按照第9.6.3节“复位和配置脚时序”中的规范，有效的硬件复位定义为在所有电源处于工作范围内后将RESET_N置为有效。在复位位置为有效时，器件（及其相关的外部电路）进入待机模式并消耗最小电流。

将RESET_N置为有效会导致以下情况：

1. PHY禁止，差分对将处于高阻态。
2. 所有事务立即终止；不保存任何状态。
3. 所有内部寄存器均恢复到默认状态。
4. 外部晶振暂停。
5. PLL暂停。

注： 所有电源必须在RESET_N置为有效之前（或期间）达到第9.2节“工作条件**”中要求的工作电压。

8.11.3 USB总线复位

为了响应上行端口向该器件发出的复位信号，器件将执行以下操作：

1. 将默认地址设为0。
2. 将配置设置为“未配置”。
3. 将器件从暂停状态切换到工作状态（如果已暂停）。
4. 按照USB规范执行完成复位序列后的行为。

主机随后根据USB规范配置设备。

注： 该器件不会将上行USB复位传播到下行设备。

USB7002

9.0 工作特性

9.1 绝对最大值*

+1.2V 电源电压 (VDD12) (注1)	-0.5V 至 +1.32V
+3.3V 电源电压 (VDD33) (注1)	-0.5V 至 +4.6V
输入信号引脚相对于地的正电压 (注2)	+4.6V
输入信号引脚相对于地的负电压	-0.5V
XTALI/CLK_IN 相对于地的正电压	+3.63V
USB DP/DM 信号引脚相对于地的正电压	+6.0V
USB 3.1 Gen 1 USB3UP_XXXX 和 USB3DN_XXXX 信号引脚相对于地的正电压	+1.32V
存储温度	-55°C 至 +150°C
结温	+125°C
引脚温度范围	请参见 JEDEC 规范 J-STD-020
HBM ESD 性能	+/-3 kV

- 1: 通过实验室或系统电源为此器件供电时, 务必保证不要超过绝对最大值, 否则可能导致器件出现故障。接通或关断交流电源时, 某些电源的输出端会出现电压尖峰。此外, 交流电源线上的电压瞬变可能会出现在直流输出上。如果存在这种可能性, 建议使用钳位电路。

- 2: 该额定值不适用于以下引脚: 所有 USB DM/DP 引脚、XTALI/CLK_IN 和 XTALO

*如果器件的工作条件超过上述绝对最大值, 可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件, 器件长时间工作在最大值条件下, 其可靠性可能受到影响。我们无法保证器件在超过第9.2节“工作条件**”、第9.5节“直流规范”或本规范任何其他适用章节中规定的最大值条件下仍可正常工作。

9.2 工作条件**

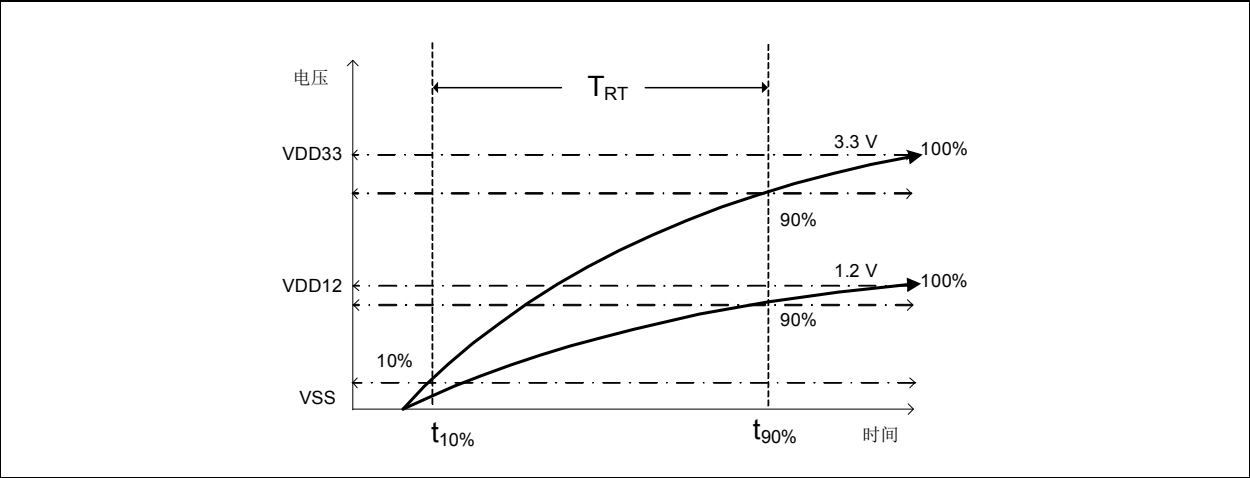
+1.2V 电源电压 (VDD12)	+1.08V 至 +1.32V
+3.3V 电源电压 (VDD33)	+3.0V 至 +3.6V
输入信号引脚的电压 (注2)	-0.3V 至 +3.6V
XTALI/CLK_IN 电压	-0.3V 至 +3.6V
USB 2.0 DP/DM 信号引脚的电压	-0.3V 至 +5.5V
USB 3.1 Gen 1 USB3UP_XXXX 和 USB3DN_XXXX 信号引脚电压	-0.3V 至 +1.32V
静止空气中的工作环境温度 (T _A)	注3
+1.2V 电源电压上升时间 (图9-1中的 T _{RT})	400 μs
+3.3V 电源电压上升时间 (图9-1中的 T _{RT})	400 μs

- 3: 商业级为 0°C 至 +70°C, 工业级为 -40°C 至 +85°C。

** 只有在本节规定的范围内才能保证器件正常工作。

注: 请勿在器件未上电的情况下驱动输入信号。

图9-1： 电源上升时间模型



9.3 封装热规范

表9-1： 封装热参数

符号	°C/W	速度 (米/秒)
Θ_{JA}	19	0
	16	1
Ψ_{JT}	0.1	0
	0.1	1
Θ_{JC}	1.3	0
	1.3	1

注： 这些器件的热参数均按照 JESDN51 中的规范在多层 2S2P PCB 中测得或估算。对于工业应用，USB7002 需要多层 2S4P PCB 功耗。

USB7002

9.4 功耗

本节详细介绍了在不同工作模式下测得的器件功耗。功耗取决于温度、电源电压和外部拉/灌电流要求。

表9-2: 器件功耗

	典型值 (mA)		典型功耗 (mW)
	VDD12	VDD33	
全局暂停	10	11	48.3
无VBUS	9	11	47.1
复位/待机	3	0	5
空闲	63	20	140
活动空闲	447	62	741
超高速有效操作			
2个超高速有效端口	465	56	743
1个超高速有效端口	358	44	576
高速有效操作			
4个高速有效端口	67	49	241
3个高速有效端口	66	41	215
2个高速有效端口	64	32	181
1个高速有效端口	63	28	168
全速有效操作			
4个全速有效端口	62	31	178
3个全速有效端口	62	30	174
2个全速有效端口	62	30	173
1个全速有效端口	62	29	172
混合超高速/高速有效操作			
2个SS有效端口/2个HS有效端口	440	64	738

9.5 直流规范

表9-3: I/O直流电气特性

参数	符号	最小值	典型值	最大值	单位	注
I型输入缓冲器						
低电平输入电压	V_{IL}			注4	V	
高电平输入电压	V_{IH}	1.25			V	
IS型输入缓冲器						
低电平输入电压	V_{IL}			注4	V	
高电平输入电压	V_{IH}	1.25			V	
施密特触发器迟滞电压 ($V_{IHT} - V_{ILT}$)	V_{HYS}	100	160	240	mV	
O12型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	$I_{OL} = 12\text{ mA}$
高电平输出电压	V_{OH}	VDD33-0.4			V	$I_{OH} = -12\text{ mA}$
OD12型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	$I_{OL} = 12\text{ mA}$
ICLK型输入缓冲器 (XTALI输入)						注5
低电平输入电压	V_{IL}			0.35	V	
高电平输入电压	V_{IH}	0.9		1.2	V	
IO-U型缓冲器 (见注6)						注6

- 4: 对于上拉至2.1V以下的漏极开路接口为0.42V, 对于上拉至2.1V以上的漏极开路接口为0.34V。
- 5: XTALI还可由25 MHz单端时钟振荡器驱动。
- 6: 有关USB直流电气特性的信息, 请参见USB 3.1 Gen 1规范。

9.6 交流规范

本节详细介绍了器件的各种交流时序规范。

9.6.1 电源和RESET_N序列时序

图9-2给出了该器件的建议电源排序和时序。VDD33应在VDD12之后升高，或与之同时升高。类似地，RESET_N和/或VBUS_DET应在VDD33之后升高或与之同时升高。VBUS_DET和RESET_N没有任何其他时序依赖关系。

图9-2： 电源和RESET_N序列时序

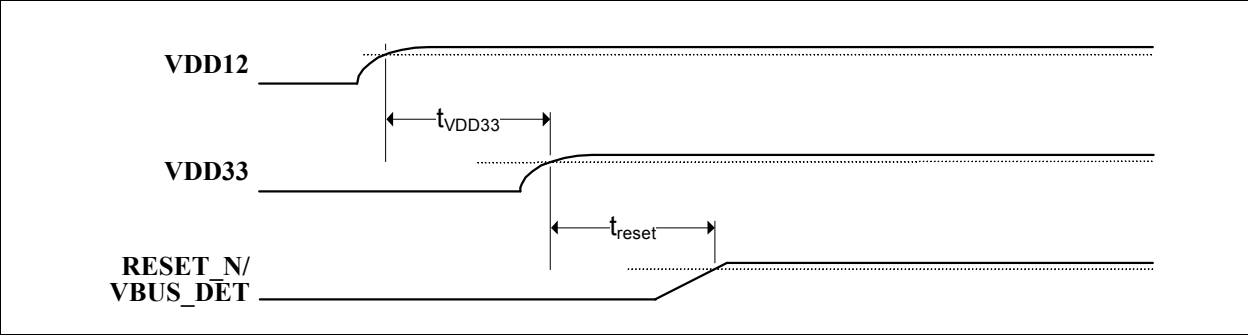


表9-4： 电源和RESET_N序列时序

符号	说明	最小值	典型值	最大值	单位
t_{VDD33}	VDD12至VDD33上升时间	0			ms
t_{reset}	VDD33至RESET_N/VBUS_DET上升时间	0			ms

9.6.2 上电和配置脚时序

图9-3说明了与上电有关的配置脚有效时序要求，适用于上电时不使用RESET_N的应用。为了在上电时读取到有效的配置脚值，必须满足以下时序要求。外部电源的工作电压（V_{opp}）详见第9.2节“工作条件**”。

图9-3： 上电配置脚有效时序

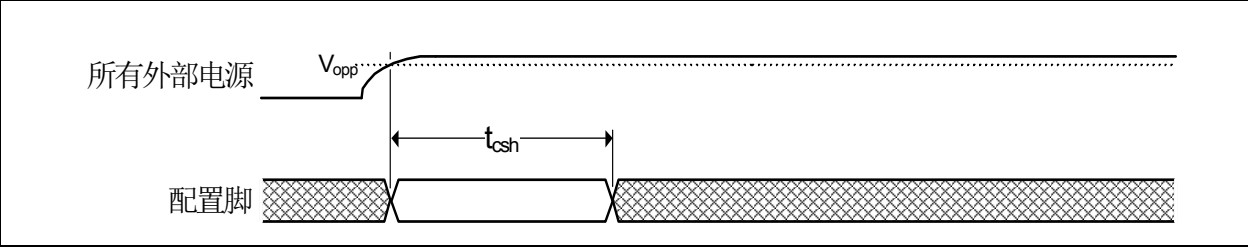


表9-5： 上电配置脚锁存时序

符号	说明	最小值	典型值	最大值	单位
t_{csh}	外部电源达到工作电压后配置脚的保持时间	1			ms

在RESET_N置为有效后，器件配置脚会被锁存。更多详细信息，请参见第9.6.3节“复位和配置脚时序”。

9.6.3 复位和配置脚时序

图9-4 说明了 **RESET_N** 引脚的时序要求及其与配置脚引脚的关系。将 **RESET_N** 置为有效并不作为一项要求。但如果使用该引脚，则必须使其在规定的最小周期内保持有效状态。有关复位的更多信息，请参见第8.11节“复位”。有关配置脚的更多信息，请参见第3.3节“配置脚和可编程功能”。

图9-4: **RESET_N** 配置脚时序

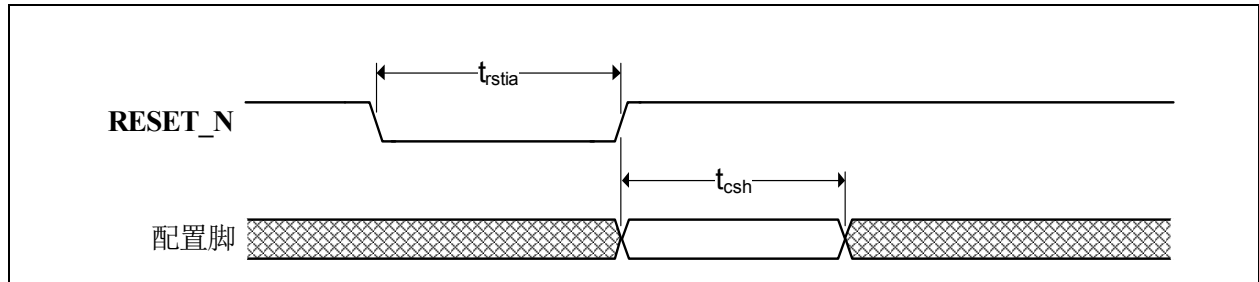


表9-6: **RESET_N** 配置脚时序

符号	说明	最小值	典型值	最大值	单位
t_{rstia}	RESET_N 输入有效时间	5			μs
t_{csh}	RESET_N 置为无效后配置脚引脚的保持时间	1			ms

注： 在 **RESET_N** 置为无效前，时钟输入必须保持稳定。

显示的配置脚锁存和输出驱动时序均以事先已完成上电复位为前提，否则应参照第9.6.2节“上电和配置脚时序”中的时序。

9.6.4 USB时序

器件的所有USB信号均符合通用串行总线规范中规定的电压、功率和时序特性/规范。请参见通用串行总线版本3.1规范，网址为<http://www.usb.org/developers/docs>。

9.6.5 SMBUS时序

器件的所有SMBus信号均符合系统管理总线规范中规定的电压、功率和时序特性/规范。请参见系统管理总线规范版本1.0，网址为<http://smbus.org/specs>。

9.6.6 I²C时序

器件的所有I²C信号均符合I²C总线规范中规定的100 KHz标准模式（Sm）和400 KHz快速模式（Fm）电压、功率和时序特性/规范。请参见I²C总线规范，网址为http://www.nxp.com/documents/user_manual/UM10204.pdf。

9.6.7 I²S时序

器件的所有I²S信号均符合I²S总线规范中规定的电压、功率和时序特性/规范。请参见I²S总线规范，网址为http://www.nxp.com/acrobat_download/various/I2SBUS.pdf。

9.6.8 SPI/SQI主时序

本节规定了器件的SPI/SQI主时序要求。

图9-5: SPI/SQI主时序

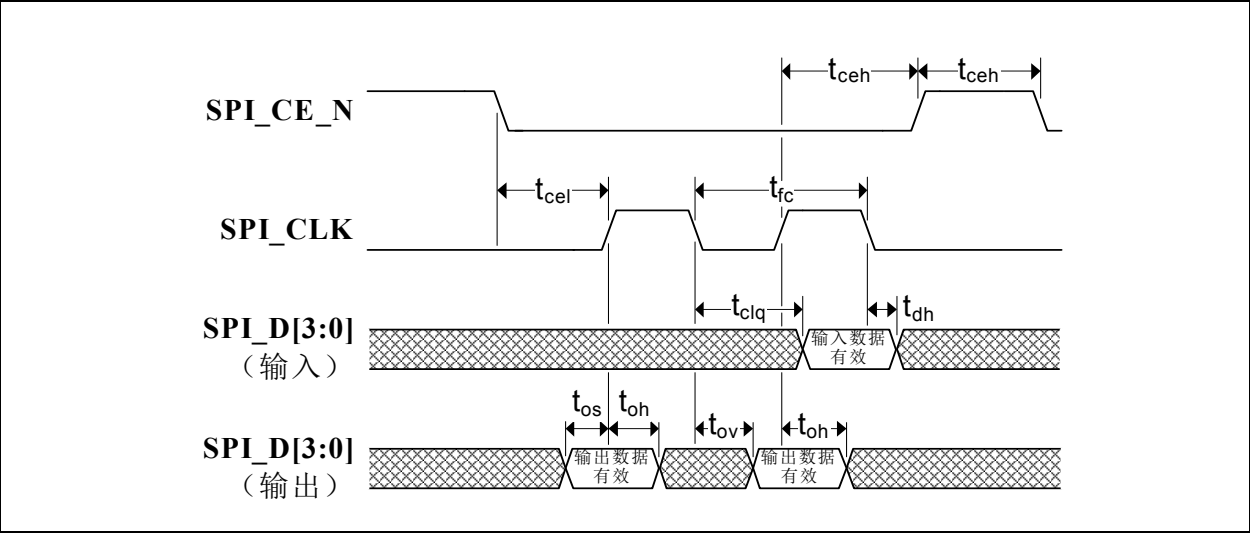


表9-7: SPI/SQI主时序（30 MHz操作）

符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			30	MHz
t_{ceh}	芯片使能（SPI_CE_N）高电平时间	100			ns
t_{clq}	从时钟到输入数据的时间			13	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	从时钟到输出有效的时间	4			ns
t_{cel}	从芯片使能（SPI_CE_N）低电平到第一个时钟的时间	12			ns
t_{ceh}	从最后一个时钟到芯片使能（SPI_CE_N）高电平的时间	12			ns

表9-8: SPI/SQI主时序（60 MHz操作）

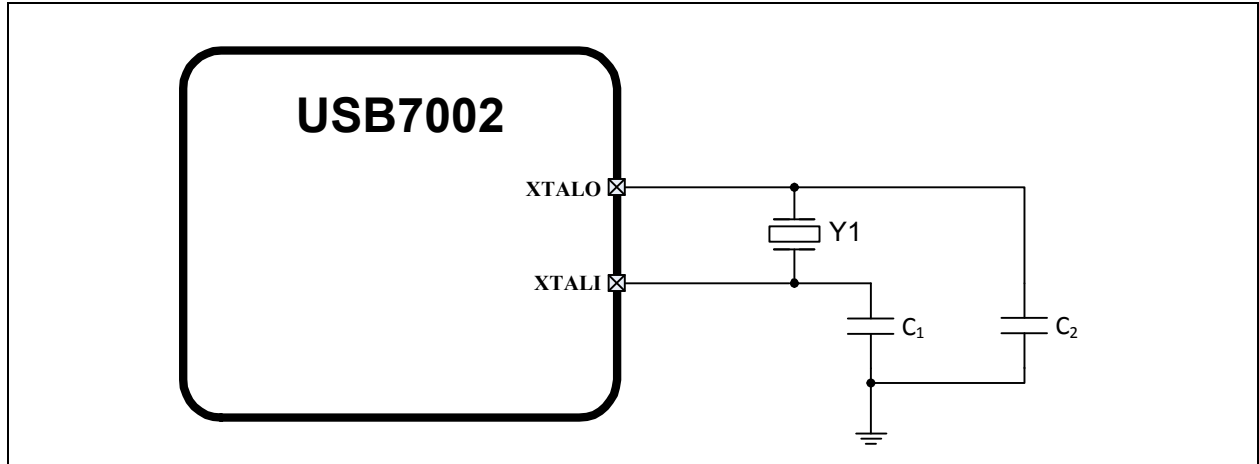
符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			60	MHz
t_{ceh}	芯片使能（SPI_CE_N）高电平时间	50			ns
t_{clq}	从时钟到输入数据的时间			9	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	从时钟到输出有效的时间	4			ns
t_{cel}	从芯片使能（SPI_CE_N）低电平到第一个时钟的时间	12			ns
t_{ceh}	从最后一个时钟到芯片使能（SPI_CE_N）高电平的时间	12			ns

9.7 时钟规范

器件可接受 25 MHz 晶振或 25 MHz 单端时钟振荡器输入。如果采用单端时钟振荡器方法，**XTALO** 应保持未连接状态，**XTALI/CLK_IN** 应由 0-3.3V 标称时钟信号驱动。输入时钟占空比的最小值为 40%，典型值为 50%，最大值为 60%。

建议使用具有相匹配的并联负载电容的晶振来产生晶振输入/输出信号（**XI/XO**）。为确保正常工作，需遵循以下电路设计（图 9-6）和规范（表 9-9）。

图 9-6: 25 MHz 晶振电路



USB7002

9.7.1 晶振规范

建议使用具有相匹配的并联负载电容的晶振来产生晶振输入/输出信号（**XI/XO**）。有关建议的晶振规范，请参见表9-9。

表9-9： 晶振规范

参数	符号	最小值	标称值	最大值	单位	注
晶体切割	AT（典型方式）					
晶振模式	基本模式					
晶振校准模式	并联谐振模式					
频率	F_{fund}	-	25.000	-	MHz	
25°C时的频率容差	F_{tol}	-	-	±50	PPM	
随温度变化的频率稳定性	F_{temp}	-	-	±50	PPM	
随时间变化的频率偏差	F_{age}	-	±3至5	-	PPM	注7
允许的总PPM预算		-	-	±100	PPM	
并联电容值	C_O	-	7（典型值）	-	pF	
负载电容值	C_L	-	20（典型值）	-	pF	
驱动功率	P_W	100	-	-	μW	
等效串联电阻	R_1	-	-	60	Ω	
工作温度范围		注8	-	注9	°C	
XTALI/CLK_IN引脚电容值		-	3（典型值）	-	pF	注10
XTALO引脚电容值		-	3（典型值）	-	pF	注10

7： 随时间变化的频率偏差也被称为老化。

8： 商业级为0°C，工业级为-40°C。

9： 商业级为+70°C，工业级为+85°C。

10： 此数值包括焊盘、接合线和引线框。该值不包括PCB电容值。要准确计算两个外部负载电容的值，需要XTALI/CLK_IN引脚、XTALO引脚和PCB电容值。这两个外部负载电容决定了25.000 MHz的频率精度。

9.7.2 外部参考时钟（CLK_IN）

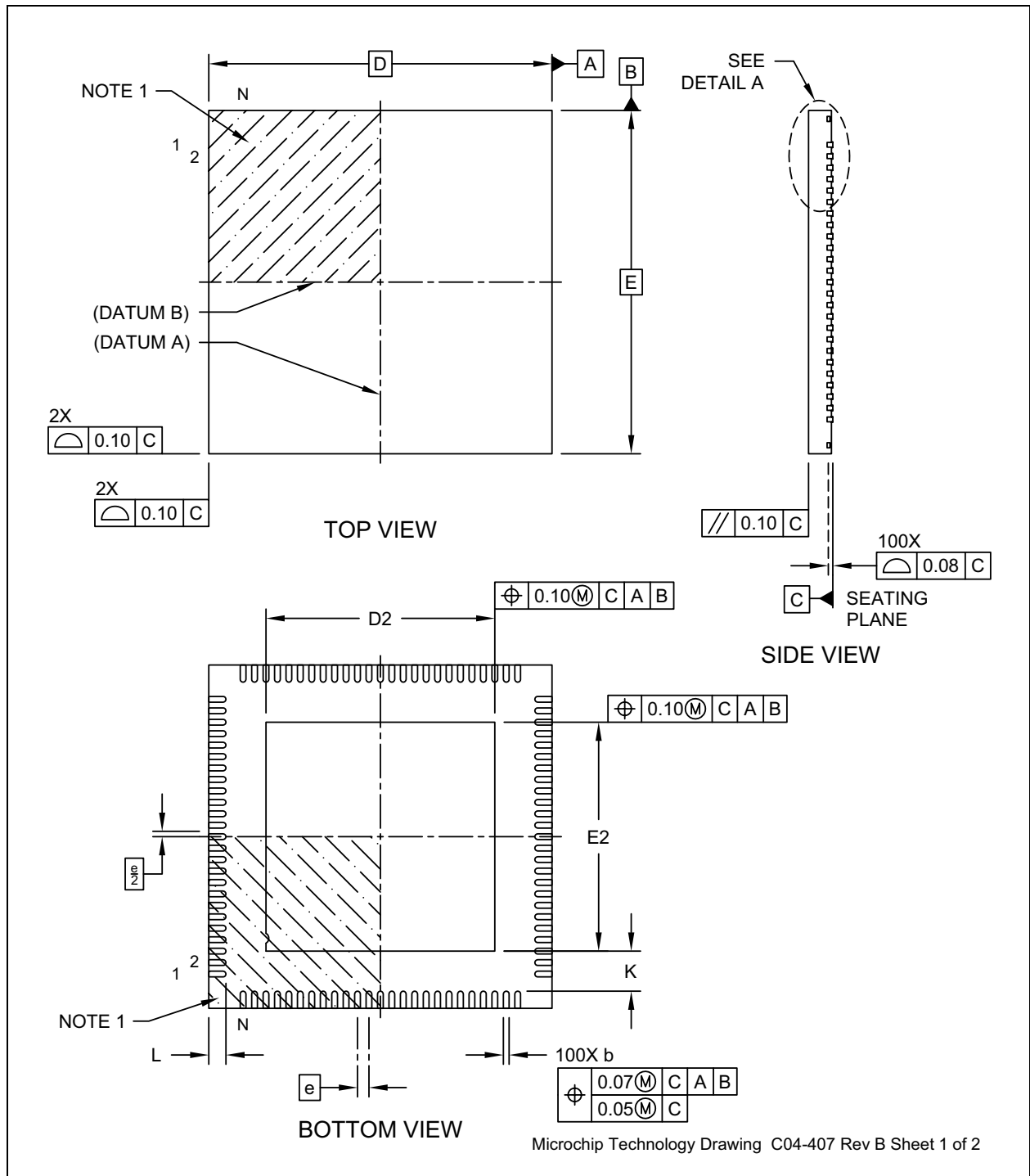
使用外部参考时钟时，建议使用以下输入时钟规范：

- 25 MHz
- 50% 占空比±10%，±100 ppm
- 抖动 < 100 ps RMS

10.0 封装外形

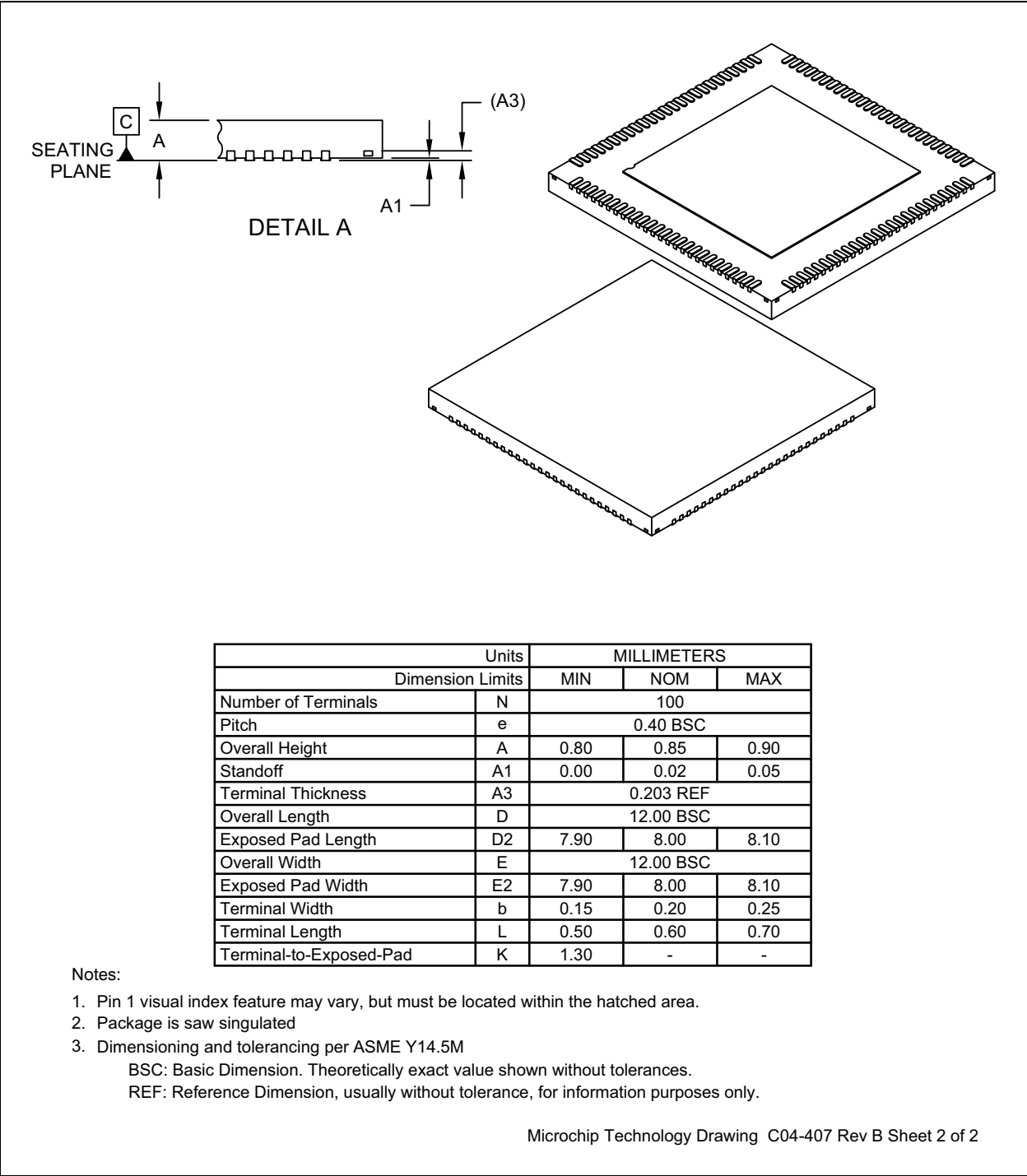
注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。

图10-1: 100引脚VQFN封装（图纸）



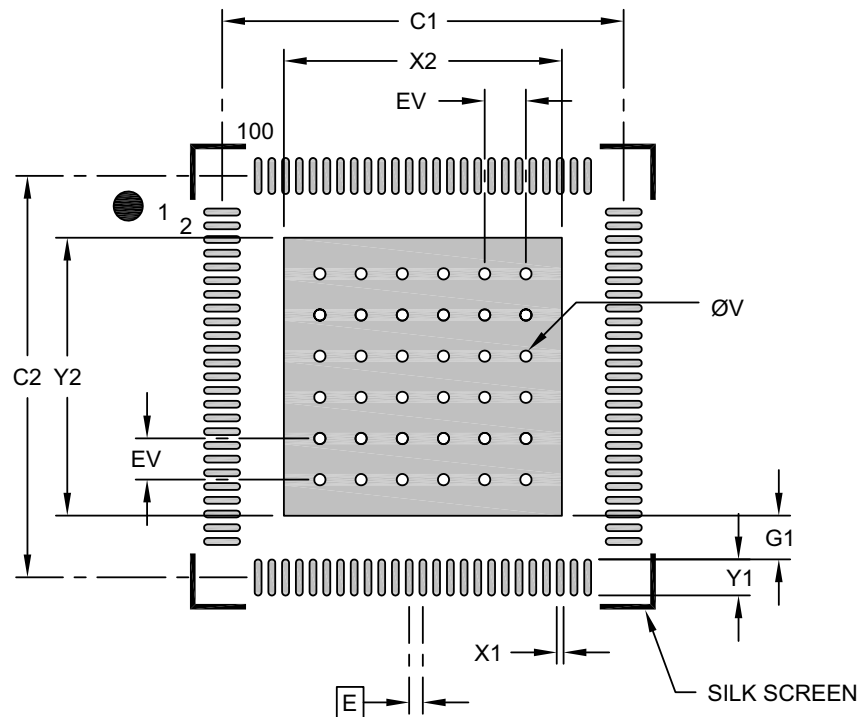
注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。

图 10-2： 100 引脚VQFN封装（尺寸）



注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。

图 10-3: 100 引脚 VQFN 封装 (焊盘布局)



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.40 BSC		
Optional Center Pad Width	X2			8.10
Optional Center Pad Length	Y2			8.10
Contact Pad Spacing	C1		11.70	
Contact Pad Spacing	C2		11.70	
Contact Pad Width (X100)	X1			0.20
Contact Pad Length (X100)	Y1			1.05
Contact Pad to Center Pad (X100)	G1	0.20		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-2407A

附录A： 版本历史

表A-1： 版本历史

版本与日期	节/图/条目	校正
DS00002670D (08-13-19)	第2.1节“概述” 文档标题 在第一页上增加“主要优势”	- 为清晰起见，更新了第一段的最后一句话。 - 修改了标题，将“控制器”更改为“PD智能” - 删除了“USB供电布告栏设备支持”项目符号
	封面	添加了TID数据
	表3-5和表3-6	- 将PF15从PRT_CTL3更改为PRT_CTL2 - 将PF16从PRT_CTL2更改为PRT_CTL3 - 更新了可编程功能描述表，以匹配新分配的PRT_CTLx和PRT_CTLx_U3编号。
	第3.4节“物理和逻辑端口映射”	新增了包含物理和逻辑端口映射的部分。
	图2-1	更新了内部PHY编号以匹配新的第3.4节“物理和逻辑端口映射”中详细介绍的物理端口编号。
	图4-3“SMBus/I2C连接”	更新了建议的外部电阻标称值。在图下方添加了注释：“建议采用图4-3中具体给出的电阻值。最佳上拉值可能会因外部因素而异。”
	第5.1.5节“SMBus检查阶段（SMBUS_CHECK）”	更新了第二句话：“如果在两个引脚上都检测到上拉电阻...”
DS00002670C (02-20-19)	全部	公开发布版本
DS00002670B (09-07-18)	全部	初始版本

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号

[X]⁽¹⁾

-

[X]

/

XXX

XXX

器件

卷带式选项

温度范围

封装

汽车级代码

器件：USB7002

卷带式选项：

空白 = 标准包装（托盘式）

T = 卷带式（注1）

温度范围：

空白 = 0°C至+70°C（商业级）

I = -40°C至+85°C（工业级/汽车3级）

封装：KDX = 100引脚VQFN

汽车级代码：Vxx = 以“V”开头的3字符代码，表示汽车级产品。

DIRECTION OF UNREELING

1

2

3

4

示例：

a) USB7002/KDX

托盘式，0°C至+70°C，100引脚VQFN

b) USB7002T/KDX

卷带式，0°C至+70°C，100引脚VQFN

c) USB7002-I/KDX

托盘式，-40°C至+85°C，100引脚VQFN

d) USB7002T-I/KDX

卷带式，-40°C至+85°C，100引脚VQFN

e) USB7002-I/KDXVAO

托盘式，-40°C至+85°C，汽车3级，100引脚VQFN

f) USB7002T-I/KDXVAO

卷带式，-40°C至+85°C，汽车3级，100引脚VQFN

注 1：

卷带式标识符仅出现在产品目录的部件编号描述中。该标识符用于订货目的，不会印刷在器件封装上。关于包装是否提供卷带式选项的信息，请咨询当地的Microchip销售办事处。

© 2020 Microchip Technology Inc.

DS00002670D_CN 第53页

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容:

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 (FAQ)、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时, 收到电子邮件通知。

欲注册, 请访问 www.microchip.com/pcn, 然后按照注册说明进行操作。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助:

- 代理商或代表
- 当地销售办事处
- 应用工程师 (ESE)
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://microchip.com/support> 获得网上技术支持。

请注意以下有关 **Microchip** 器件代码保护功能的要点：

- **Microchip** 的产品均达到 **Microchip** 数据手册中所述的技术指标。
- **Microchip** 确信：在正常使用的情况下，**Microchip** 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 **Microchip** 数据手册中规定的操作规范来使用 **Microchip** 产品的。这样做的人极可能侵犯了知识产权。
- **Microchip** 愿与那些注重代码完整性的客户合作。
- **Microchip** 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。**Microchip** 承诺将不断改进产品的代码保护功能。任何试图破坏 **Microchip** 代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 **Microchip** 产品性能和使用情况的有用信息。**Microchip Technology Inc.** 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 **Microchip Technology Inc.** 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip** 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。**Microchip** 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 **Microchip** 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 **Microchip** 免于承担法律责任，并加以赔偿。除非另外声明，在 **Microchip** 知识产权保护下，不得暗中或以其他方式转让任何许可证。

有关 **Microchip** 质量管理体系的更多信息，请访问 www.microchip.com/quality。

商标

Microchip 的名称和徽标组合、**Microchip** 徽标、**Adaptec**、**AnyRate**、**AVR**、**AVR** 徽标、**AVR Freaks**、**BesTime**、**BitCloud**、**chipKIT**、**chipKIT** 徽标、**CryptoMemory**、**CryptoRF**、**dsPIC**、**FlashFlex**、**flexPWR**、**HELDO**、**IGLOO**、**JukeBlox**、**KeeLoq**、**Kleer**、**LANCheck**、**LinkMD**、**maxStylus**、**maxTouch**、**MediaLB**、**megaAVR**、**Microsemi**、**Microsemi** 徽标、**MOST**、**MOST** 徽标、**MPLAB**、**OptoLyzer**、**PackTime**、**PIC**、**picoPower**、**PICSTART**、**PIC32** 徽标、**PolarFire**、**Prochip Designer**、**QTouch**、**SAM-BA**、**SenGenuity**、**SpyNIC**、**SST**、**SST** 徽标、**SuperFlash**、**Symmetricon**、**SyncServer**、**Tachyon**、**TempTracker**、**TimeSource**、**tinyAVR**、**UNI/O**、**Vectron** 及 **XMEGA** 均为 **Microchip Technology Incorporated** 在美国和其他国家或地区的注册商标。

APT、**ClockWorks**、**The Embedded Control Solutions Company**、**EtherSynch**、**FlashTec**、**Hyper Speed Control**、**HyperLight Load**、**IntelliMOS**、**Libero**、**motorBench**、**mTouch**、**Powermite** 3、**Precision Edge**、**ProASIC**、**ProASIC Plus**、**ProASIC Plus** 徽标、**Quiet-Wire**、**SmartFusion**、**SyncWorld**、**Temux**、**TimeCesium**、**TimeHub**、**TimePictra**、**TimeProvider**、**Vite**、**WinPath** 和 **ZL** 均为 **Microchip Technology Incorporated** 在美国的注册商标。

Adjacent Key Suppression、**AKS**、**Analog-for-the-Digital Age**、**Any Capacitor**、**AnyIn**、**AnyOut**、**BlueSky**、**BodyCom**、**CodeGuard**、**CryptoAuthentication**、**CryptoAutomotive**、**CryptoCompanion**、**CryptoController**、**dsPICDEM**、**dsPICDEM.net**、**Dynamic Average Matching**、**DAM**、**ECAN**、**EtherGREEN**、**In-Circuit Serial Programming**、**ICSP**、**INICNet**、**Inter-Chip Connectivity**、**JitterBlocker**、**KleerNet**、**KleerNet** 徽标、**memBrain**、**Mindi**、**MiWi**、**MPASM**、**MPF**、**MPLAB Certified** 徽标、**MPLIB**、**MPLINK**、**MultiTRAK**、**NetDetach**、**Omniscient Code Generation**、**PICDEM**、**PICDEM.net**、**PICkit**、**PICtail**、**PowerSmart**、**PureSilicon**、**QMatrix**、**REAL ICE**、**Ripple Blocker**、**SAM-ICE**、**Serial Quad I/O**、**SMART-I.S.**、**SQL**、**SuperSwitcher**、**SuperSwitcher II**、**Total Endurance**、**TSHARC**、**USBCheck**、**VariSense**、**ViewSpan**、**WiperLock**、**Wireless DNA** 和 **ZENA** 均为 **Microchip Technology Incorporated** 在美国和其他国家或地区的商标。

SQTP 为 **Microchip Technology Incorporated** 在美国的服务标记。

Adaptec 徽标、**Frequency on Demand**、**Silicon Storage Technology** 和 **Symmcom** 均为 **Microchip Technology Inc.** 在除美国外的国家或地区的注册商标。

GestIC 为 **Microchip Technology Inc.** 的子公司 **Microchip Technology Germany II GmbH & Co. KG** 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2020, **Microchip Technology Incorporated** 版权所有。

ISBN: 978-1-5224-5462-5

全球销售及服务网点

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://www.microchip.com/support>

网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733

印度 India - Bangalore
Tel: 91-80-3090-4444

印度 India - New Delhi
Tel: 91-11-4160-8631

印度 India - Pune
Tel: 91-20-4121-0141

日本 Japan - Osaka
Tel: 81-6-6152-7160

日本 Japan - Tokyo
Tel: 81-3-6880-3770

韩国 Korea - Daegu
Tel: 82-53-744-4301

韩国 Korea - Seoul
Tel: 82-2-554-7200

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870

菲律宾 Philippines - Manila
Tel: 63-2-634-9065

新加坡 Singapore
Tel: 65-6334-8870

泰国 Thailand - Bangkok
Tel: 66-2-694-1351

越南 Vietnam - Ho Chi Minh
Tel: 84-28-5448-2100

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-72400

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7288-4388

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820