

通过使用基于 PDN 共振峰的最坏情况数据模式来分析电源完整性对 FPGA DDR4 存储器接口中的信号完整性的影响

CRISTIAN FILIP, 高速产品架构师, MENTOR, A SIEMENS BUSINESS

COSMIN IORGA, 研发主任, PISCANNER.COM

DANIEL N. DE ARAUJO, 首席产品架构师, MENTOR, A SIEMENS BUSINESS

NITIN BHAGWATH, 产品架构师, MENTOR, A SIEMENS BUSINESS

HANS KLOS, SINTECS BV 常务董事, SINTECS

TOM BERENDS, SINTECS BV 高速电路板设计经理, SINTECS

ARPAD MURANYI, 高级产品架构师, MENTOR, A SIEMENS BUSINESS

CHUCK FERRY, 系统架构总监, MENTOR, A SIEMENS BUSINESS

PRAVEEN ANMULA, 硬件工程师, CISCO SYSTEMS

原始出处: DesignCon 2019 大会。转印已获许可。

Mentor[®]
A Siemens Business

P C B D E S I G N

www.mentor.com

W H I T E P A P E R

摘要

在基于供电网络 (PDN) 的共振峰创建的布局前、布局后和系统验证数据模式中分析电源完整性对 FPGA DDR4 存储器接口中的信号完整性的影响。使用 FPGA 配置的矢量网络分析仪 (VNA) 测量 PDN 阻抗曲线。创建多个测试数据模式，以便将电源的电流频谱分量与 PDN 共振峰叠加在一起，并演练传输线多次反射累积效应。然后将这些数据模式用于识别导致信号完整性衰减的主导因素。

作者简介

Cristian Filip 于 2014 年加入 Mentor Graphics Corporation，并担任高速产品架构师。Cristian 拥有罗马尼亚蒂米什瓦拉理工大学电子与电信工程硕士学位，并且是安大略省专业工程师学会会员。他撰写和合著了多篇文章和论文，并分别于 2016 年和 2018 年获得 DesignCon 最佳论文奖。

Cosmin Iorga 在斯坦福大学获得电气工程博士学位，他在系统、电路板和集成电路级别的高速模拟和混合信号电路设计及故障排除方面积累了 20 多年的经验。Cosmin 是“Noise Coupling in Integrated Circuits: A Practical Approach to Analysis, Modeling, and Suppression”（《集成电路中的噪声耦合：实用分析、建模和抑制方法》）一书的作者，目前在加州大学洛杉矶分校教授模拟电路设计、数据转换器和电源完整性方面的课程。

Daniel de Araujo 在高端服务器和大批量商用台式机的电路板和芯片设计、仿真及验证方面拥有 21 年的经验。他最初来自巴西，毕业于密歇根州立大学并获得电气工程学士学位，1997 年加入位于北卡罗来纳州三角研究园区的 IBM 个人系统部。他于 2000 年 12 月在北卡罗来纳州立大学获得计算机工程硕士学位。2001 年，他移居德克萨斯州奥斯汀市，担任 IBM System X 电气互连和封装设计小组的高级工程师和团队主管。2006 年，他加入 Ansoft Corporation，并担任高频 / 信号和电源完整性领域的应用工程师。2010 年，他加入 Physware，担任应用总监，该公司于 2011 年 6 月更名为 Nimbic。Mentor Graphics 于 2014 年收购了 Nimbic，而西门子则于 2017 年收购了 Mentor Graphics，Daniel 时任首席产品架构师。Daniel 拥有 14 项公开专利、11 项申报专利，并在国际 IEEE 会议论文集、汇刊、期刊和书籍中发表了 9 项专利披露出版物和 70 项经同行评审的出版物

Nitin Bhagwath 是 Mentor Graphics 的产品架构师。他在惠普和思科拥有 10 年的高速系统设计和架构经验。自 2012 年以来，他一直在 Mentor Graphics 的高速仿真小组工作，针对 DDR 存储器、电源完整性和数千兆位 SerDes 信号提供仿真架构咨询服务。Nitin 是 Mentor Graphics 在 JEDEC 存储器组的代表。Nitin 拥有班加罗尔大学的电子工程学士学位、普渡大学的电子工程硕士学位，以及印度班加罗尔管理学院的 MBA 学位。

Hans Klos 在高速电路板设计和分析领域拥有 20 多年的经验。他曾在阿尔卡特、爱立信、朗讯、摩托罗拉、西门子等多家欧洲电信公司担任顾问，并且在多种 EDA 分析工具方面拥有广泛的经验。Hans 过去曾使用 ViewLogic XTK、Mentor Graphics ICX 和 HyperLynx 工具工作，执行信号完整性、电源完整性、DDR_x 时序和 EMC 分析。Hans 于 2000 年在荷兰成立了 Sintecs，一家高端嵌入式系统设计公司。

Tom Berends 在高速电子产品开发领域拥有 20 多年的经验。Tom 于 2008 年加入 Sintecs，曾在各种高速电子设计中担任硬件设计工程师和高速电路板分析工程师。他在高速信号和电源完整性、DDR 及数千兆位 SerDes 信号领域拥有丰富的经验。目前，他在管理 Sintecs 的高速电路板开发团队。他的团队负责解决许

多高速电路板设计挑战。Tom 于 2000 年毕业于恩斯赫德专业教育大学，获得电气工程学士学位，主修电信专业。在加入 Sintecs 之前，Tom 曾担任爱立信和诺基亚西门子网络等欧洲电信公司的硬件设计工程师。

Arpad Muranyi 于 2007 年加入 Mentor Graphics Corporation。他的工作包括为 Mentor 的前沿信号完整性仿真产品开发和测试先进的建模和仿真技术。他还担任 IBIS 先进技术建模任务组的主席，该小组负责 IBIS 规范中此类新技术的开发支持。

Chuck Ferry 管理 Mentor a Siemens Business 的分析产品架构组，该小组专注于设计系统级信号和电源完整性分析解决方案。在过去 21 年里，他一直致力于解决各种各样的高速数字设计挑战。Chuck 以优异的成绩毕业于阿拉巴马大学，获得电气工程学士学位，并继续攻读了信号处理和硬件描述语言领域的研究生课程。

Praveen Anmula 目前在 Cisco Systems 担任硬件工程师。他目前领导下一代路由器 PCB 板的信号完整性工作，设计高速 Serdes 接口并处理链路优化工作。在加入思科之前，Praveen 是 Mentor Graphics Corporation 高速产品组的产品架构师。Praveen Anmula 在位于密苏里州罗拉市的密苏里科技大学获得电机工程硕士学位，并在印度海得拉巴贾瓦哈拉尔·尼赫鲁科技大学获得电子和通信工程工学学士学位。

简介

众所周知，电源噪声会在高速存储器接口设计中产生信号失真和时序违规。为缓解此问题，设计人员通常会单独优化供电网络 (PDN) 和信号互连。尽管此划分过程有助于理解信号和电源完整性分别对总体性能产生的影响，但该方法是在系统是线性且时不变 (LTI) 的假设之上。然而，在大型并行单端接口（如 DDR4 中的此类接口）中，往往会违背 LTI 假设，忽视电源和信号完整性影响之间的相互作用会导致分析过于乐观。

我们建议的优化方法始于布局前仿真环境，其仿真平台既包括供电网络 (PDN)，也包括 FPGA DDR4 存储控制器与关联的 DRAM 器件之间的传输线连接。

在基于定义的约束完成电路板的完整布线后，执行由 Power-Aware SI/PI 协同仿真运行构成的布局后验证步骤。在此步骤中，将基于 DQ 总线的 ISI 和 PDN 阻抗谐振频率识别一组最坏情况模式。评估 DQ 信号的线性度，并量化 ISI、串扰和 SSN 影响对眼开度的隔离贡献。详细描述隔离这些影响的方法。

在此设计方法的最后一步，将布局后仿真结果与实验室测量结果进行比较。首先，使用工具测量 FPGA DDR4 存储器接口 I/O 存储体的 PDN 阻抗曲线，该工具会将 FPGA 配置为像一个矢量网络分析仪一样工作，使端口连接至其自身的片内电源轨。下一步，基于 PDN 共振峰的频率创建一组最坏情况电源完整性 DDR4 数据模式，使得 SSO 电源电流与 PDN 共振峰重叠。创建一组最坏情况信号完整性数据模式，以演练传输线多次反射累积效应。然后执行使用这些数据模式的信号完整性和电源完整性测量，以识别导致信号完整性衰减的主导因素。对测量结果与仿真的相关程度进行评估并给出解释。

使用 Xilinx Zynq UltraScale+ MPSoC ZCU102 评估套件和在 FPGA 中实现的 VNA 对该方法的结果进行量化。将 HyperLynx 套件用于信号和电源完整性仿真。

设计复杂 PCB 面临的挑战

随着 PCB 复杂度和密度的增加，硬件开发变得更加复杂，并且需要考虑新的影响。传统的布局后信号完整性分析流程已不足以保证 PCB 能够正常运行。因此有必要在开始电路板布局之前考虑允许的制造公差，对替代策略进行评估。通过在设计周期的早期使用高速设计、分析和验证技术，可以大幅减少或消除 Layout 迭代。

该设计流程从选择 PCB 的多层叠层开始，并需要考虑以下方面：

1. 高速信号层应始终与参考平面相邻。这会将嵌入平面之间的信号层数限制为两层，并将顶层和底层（外层）限制为单一信号层。
2. 信号层应紧密耦合（<250 um 或 ~10 mil）至各自的参考平面。
3. 虽然电源平面和接地平面均可用于信号返回，但必须特别注意信号的返回路径。
4. 数千兆位布线应局限于具有适当材料属性的特定布线层。
5. 选择适当的过孔技术，最大限度降低高速信号反射的风险。对于复杂的设计，仅仅遵循 IC 供应商的设计准则已经不足以保证产品能够正常工作。高速接口（例如以 2666MT/s 的速率运行的 DDR4）需要详细的信号和电源完整性分析，以确保满足设计要求。

PCB 设计通常承受着按计划发布产品的巨大压力。这是在制造产品之前实施开发变更的最后机会，所有关键设计权衡都需要在这里汇合到一起。成功与否不仅取决于 PCB 设计人员及其对 Layout 工具的了解，还取决于：对设计中的特定接口及其要求的了解；使用仿真工具确保满足这些要求；以及对特定物理现象及其在仿真设置中的准确建模的了解。

电源完整性对信号完整性的影响

如图 1 所示，从发射器到接收器的典型串行数据路径包含信号完整性和电源完整性组件。

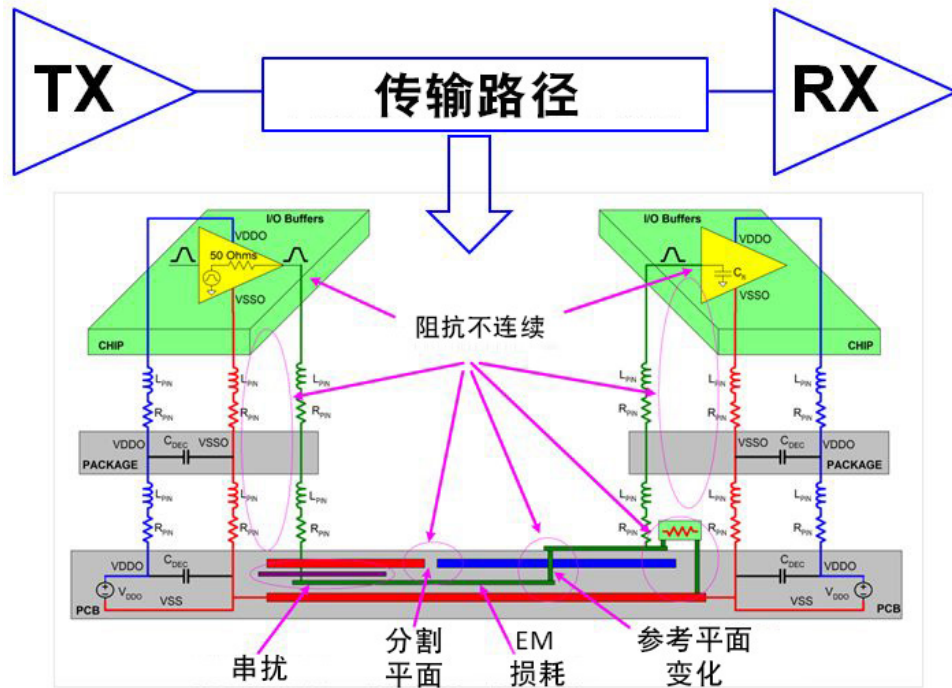


图 1. 数据传输路径的信号完整性和电源完整性组件

典型的信号完整性组件包括：芯片到封装接口、封装到 PCB 接口、串扰、分割参考平面、过孔转换处的参考平面变化、损耗（电磁、介电等）以及传输线端接阻抗上的特性阻抗不连续。典型的电源完整性组件包括发射器芯片和接收器芯片上的供电网络。到达接收器的信号可能具有图 2 所示的过冲、下冲、上升/下降时间衰减、振铃、反射和串扰等波形畸变。

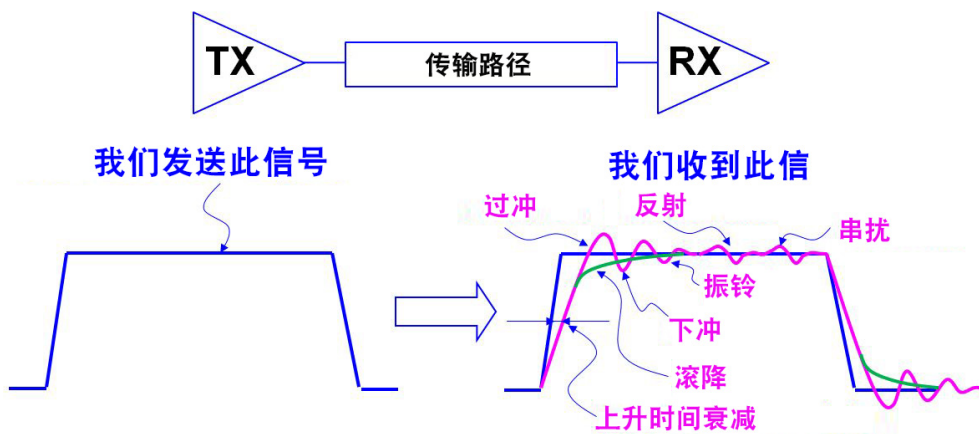


图 2. 在传输线信号上看到的典型波形畸变

除了这些信号完整性波形畸变之外，电源完整性还可能产生其他波形衰减。如图 3 所示，发射器芯片上的电源噪声会对上升和下降过渡的起始电平进行“调制”，从而导致边缘偏移和幅度减小。

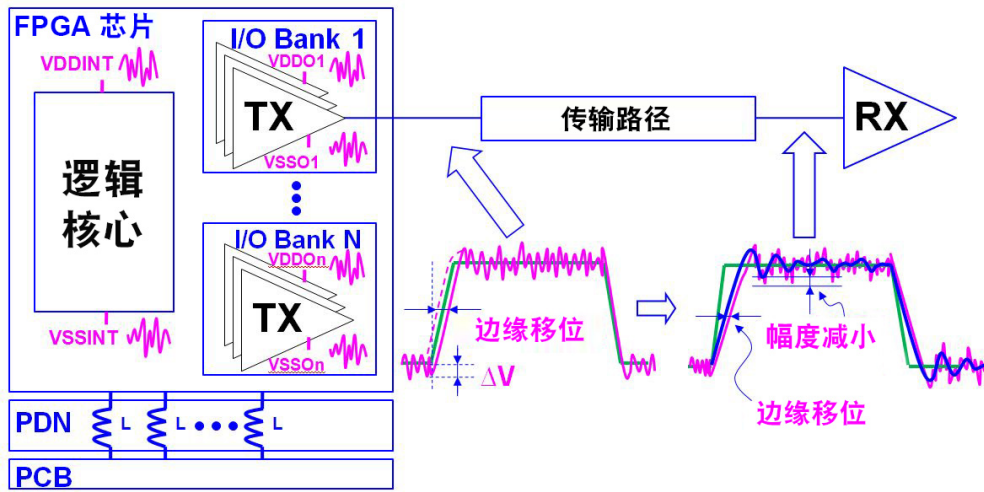


图 3. 电源完整性对发射器信号完整性的影响

如图 4 所示，接收器芯片上的电源噪声可能会耦合到接收器比较器的基准电压 VREF 中。当 PCB 上的 VREF 是在外部产生以及当接收器芯片上的 VREF 是在内部产生时，都会出现这种情况。两种情况下，都会有一个低通滤波器将片内的 VREF 节点耦合到片内的 VSS（或 VDD）电源轨。进入比较器的输入信号来自主要耦合至 PCB VSS 或 VDD 的低阻抗路径。因此，任何耦合到 VREF 的片内电源噪声都将被解释为比较器输入端的差分噪声，并将“斩切”采样数据眼图的中心部分，从而导致眼开度衰减。

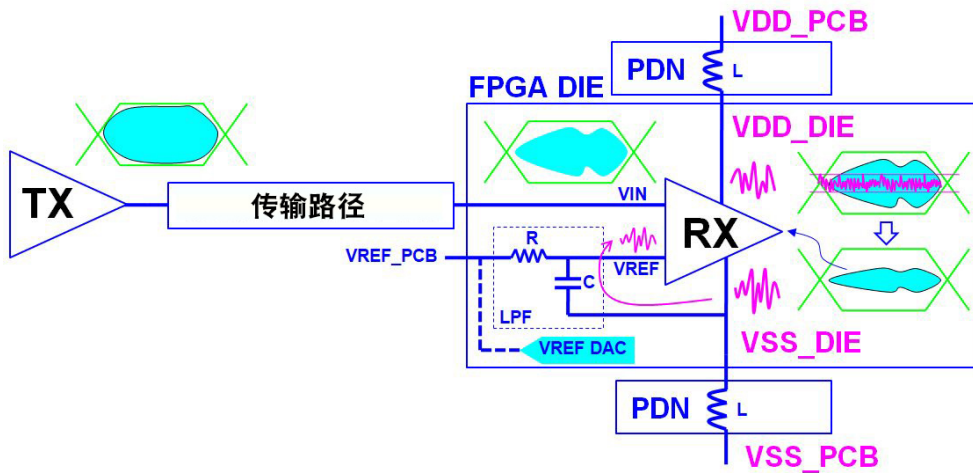


图 4. 电源完整性对接收器信号完整性的影响

如图 5 所示，我们希望在仿真中对传输路径的所有这些电源完整性和信号完整性元素进行建模。

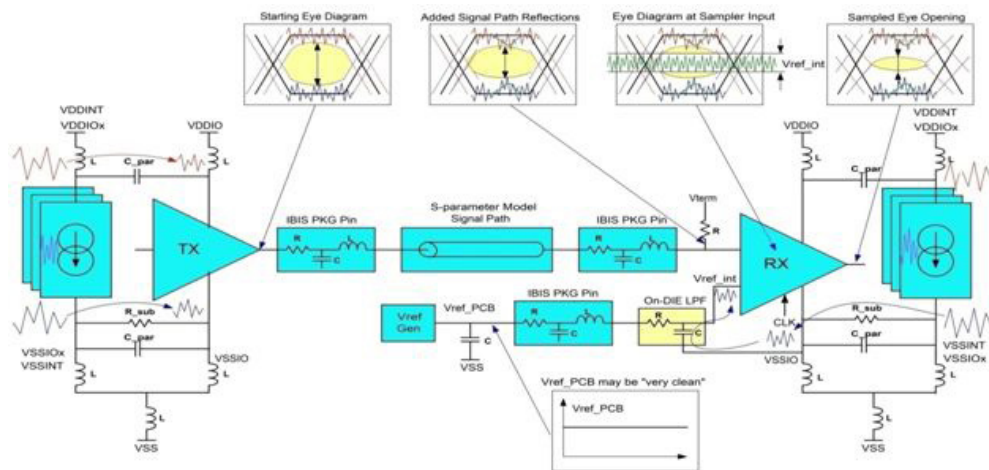


图 5. 包括芯片、封装和 PCB 上的信号完整性和电源完整性元素的仿真试验台示例。

为简单起见，供电网络在此图中表示为电感器；但在仿真试验台中，供电网络通常表示为 S 参数模型。

SI/PI 协同仿真的建模要求

为了能够执行 Power-Aware SI/PI 协同仿真，很显然，我们需要在模型中包括我们希望在仿真结果中看到的信号完整性 (SI) 以及电源完整性 (PI) 影响。这包括：用于驱动器和接收器 (Tx 和 Rx) 的 Power-Aware 缓冲器模型；包含信号及电源和接地走线的封装模型；片内和 / 或封装内的电源去耦模型（电源与接地之间的电容）；涉及电源和接地平面的板载供电网络 (PDN) 模型；电路板的信号和电源过孔模型；电路板的去耦电容器模型；以及板载稳压器模块 (VRM) 的模型。理想情况下，这些模型都应包括电源和信号之间的相互作用（耦合）。目的是找出功率输送和 / 或信号 Layout 缺陷如何导致整体系统性能下降，并确定最有效的工作设计变更。

SI 仿真的很大一部分是使用行为 IBIS 模型执行的。一个简单的 IBIS 缓冲器模型由多个 I-V 和 V-t 表组成，其中描述了缓冲器的阻抗和开关（瞬态）特性。但是，要使这些基本缓冲器模型可用于 SI/PI 协同仿真，还需要更多信息。

首先，使用 IBIS [Pin Mapping] 关键字时，IBIS 文件需要提供关于由哪些以及多少个电源和接地管脚为各个（各组）缓冲器模型提供电源电流的详细信息。

其次，缓冲器模型需要利用 IBIS Power-Aware 关键字 [ISSO PU] 和 [ISSO PD] 来描述电源电压波动如何调制缓冲器的阻抗（或 I-V 曲线）。缓冲器模型还应包含 [Composite Current] 关键字，以提供有关如何在缓冲器的电源和接地供电轨之间分配输出电流的信息。

第三，IBIS 具有多个适用于不同精度水平的封装建模的关键字。基本（且必要的）IBIS [Package] 关键字仅包含整个器件封装的整体典型值 / 最小值 / 最大值范围。此“绝对最小化”信息未包含 SI/PI 协同仿真所需精度水平的足够细节。IBIS [Pin] 关键字提供了一种机制，用于分别描述每个管脚（包括电源和接地管脚）的 R/L/C 封装寄生效应。尽管此关键字的语法不支持耦合，但它可能很有用，因为它可以为封装模型提供管脚级别的详细信息。利用 [Package Model]/[Define Package Model] 关键字对，模型生成器也能包括耦合影响。不幸的是，这些 IBIS 关键字都不支持频率相关的导体和介电损耗。不过，大多数 EDA 供应商

都有以 Touchstone 和 / 或 SPICE 格式合并更多精确封装模型的解决方案（有时是专有的解决方案）。下一版本的 IBIS 规范 (IBIS v7.0) 将会包括新的封装和片内互连建模语法，这些语法消除了以上缺点，并且不再需要特定于工具的方法。

第四，Power-Aware 仿真需要片内和封装内的去耦电容器模型，因为它们对 I/O 缓冲器的电源轨噪声有非常大的影响。同样，当前 IBIS 版本存在限制，但是 IBIS 7.0 也会为这些类型的模型提供支持。与此同时，EDA 工具自身也有用于此目的的机制。

各种组件如何与电路板连接，这是保持可管理的仿真的关键因素。大多数器件具有大量的电源和接地管脚（除了为器件供电，这也有助于为所有信号提供足够的返回路径）。理想情况下，我们将对信号管脚周围的每个电源和接地管脚建模，以便能够考虑仿真中的信号的确切返回路径。但是，这会导致元器件封装和电路板 PDN 模型的互连模型过大。为了简化模型并加快仿真速度，我们必须找到方法来减少将器件连接到电路板的端口数量。不同的供应商模型以不同的方式应对这一挑战，因此，作为这些模型的用户，我们必须密切关注模型的创建方式和使用意图。例如，某个供应商使用“合并的管脚”技术，将多个电源和 / 或接地管脚的寄生效应合并为一个管脚等效模型（或仅使用若干管脚的简化模型），而剩余的电源和 / 或接地管脚则不使用封装模型。当使用类似这样的模型时，我们必须确保不要为那些实际没有连接的电源 / 接地管脚创建用于电路板 PDN 的端口，或者，我们需要在生成电路板 PDN 模型时应用相应的“管脚分组”，以匹配器件上的电源管脚合并（即分组）方式。

当然，我们需要确保“散布”在电路板上的所有去耦电容器都具有准确的模型。这些模型通常由电容器供应商以 Touchstone 模型的方式提供。

没有这些细节，仿真器将无法准确计算电源电流。因此，Power-Aware 仿真可能根本无法运行，或产生可疑的结果。

DDR4 接口和技术

DDR4 总线是一种高速并行总线，由一端的一个控制器和另一端的一个或多个 DRAM 组成。如下图（图 6）所示，该总线在功能上被划分为单向地址、命令和控制总线（以下称为“地址总线”）以及双向数据总线：

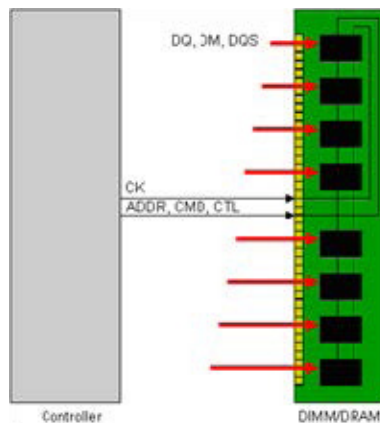


图 6. DDR 总线概述

控制器在地址总线上向 DRAM 发出指令，该指令由一个差分时钟信号和若干具有特定功能的单端信号构成。DRAM 使用其接收的时钟锁存地址信号。

控制器还可以通过数据总线将数据写入 DRAM 或从 DRAM 读取数据。数据总线由一个或多个通道组成，其中每个通道都有自己的专用差分 Strobe、四个或八个数据位，以及一个可选的数据遮罩信号。数据和遮罩信号使用 Strobe 在控制器上（读取期间）或在 DRAM（写入期间）上锁存信号。

对于地址总线 and 数据总线，到达接收器的信号的信号完整性 (SI) 质量均可通过接收器正确锁存传入信号的能力来确定。在 DRAM 上，JEDEC 行业标准机构提供了正确锁存地址或数据位的 SI 要求。尽管有许多规定的要求，但关于地址总线，两项最重要的要求是建立和保持时间 - 即地址信号在时钟事件之前保持有效的的时间，以及信号在时钟事件之后保持有效的的时间。对于数据总线，DDR4 引入了下图（图 7）所示的眼图模板。可以将此眼图模板视为以 Strobe 事件为中心的建立和保持时间的组合。

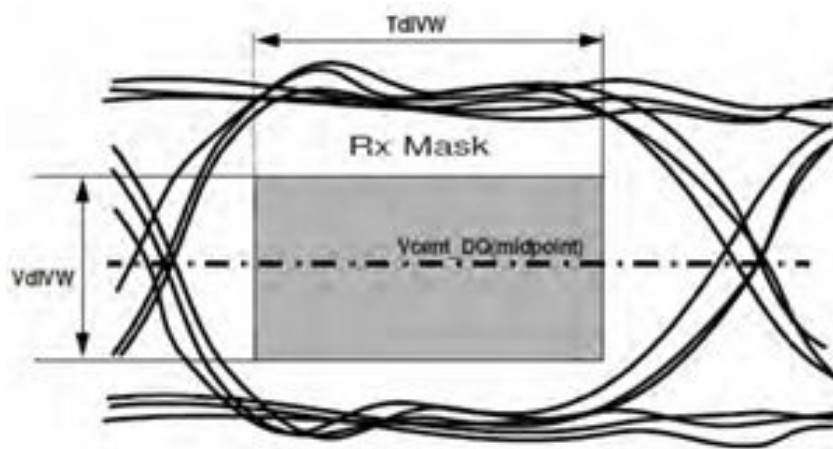


图 7. DDR4 数据合规性遮罩

在控制器上，虽然没有定义每个控制器要求的行业标准，但几乎每个控制器对于读取周期的主要要求之一要么被定义为显式的建立和保持时间，要么与 DRAM 类似，被定义为眼图模板。

此外，许多 DDR4 控制器还能显式延迟数据总线中的数据位，从而优化每个数据位的建立和保持时间，以补偿布线飞行偏移。例如，如果某个位的布线相对于 Strobe 而言过短，因而可能相对于 Strobe 过早地到达 DRAM，那么 DRAM 的建立时间将非常长，但保持时间可能短得无法接受。为了补偿这种情况，控制器可以在内部延迟数据位，以平衡建立和保持时间。对于这样的控制器，重要的是满足建立和保持时间的组合，即眼图宽度要求，而不是单独的建立或保持时间要求。

因此，在本文中，优化算法的目的在于最大限度增大建立和保持时间的组合，即接收器的眼图宽度。对于大多数设计而言，这通常是需要优化的第一个参数。对于特定情况，本文中概述的过程可用于根据需要优化替代参数。

PDN 和优化

供电网络和去耦层次结构

电源完整性包括从稳压器模块 (VRM) 到片内核心电源轨的所有内容，并且包括电路板和封装上的互连、分立电容器以及片内电容，其关键在于从片内电路的角度看到的电源质量 [12]

设计中的不同方面可能允许也可能不允许访问或更换，具体取决于系统以及跨 PDN 中各个组件的控制水平。一家垂直集成的公司可能具有完整的可见性，范围涵盖芯片电路和片上 PDN 特性到封装设计、Layout 和封装内的去耦选择，以及电路板、PCB 上的各种电容器到 VRM。系统集成商可以控制 PCB，但必须使用具有固定 Layout 和去耦方案的封装 / 芯片。

目的是在保持性能要求的同时减少元器件数量和成本，以确保跨材料和制造变化实现稳定运行。

使用基于测量的模型进行封装和芯片建模

由于未提供封装 Layout、去耦和寄生效应，因此创建了基于测量、具有等效寄生效应的模型来表示缺失的信息。等效电路模型如以下图 8 所示：

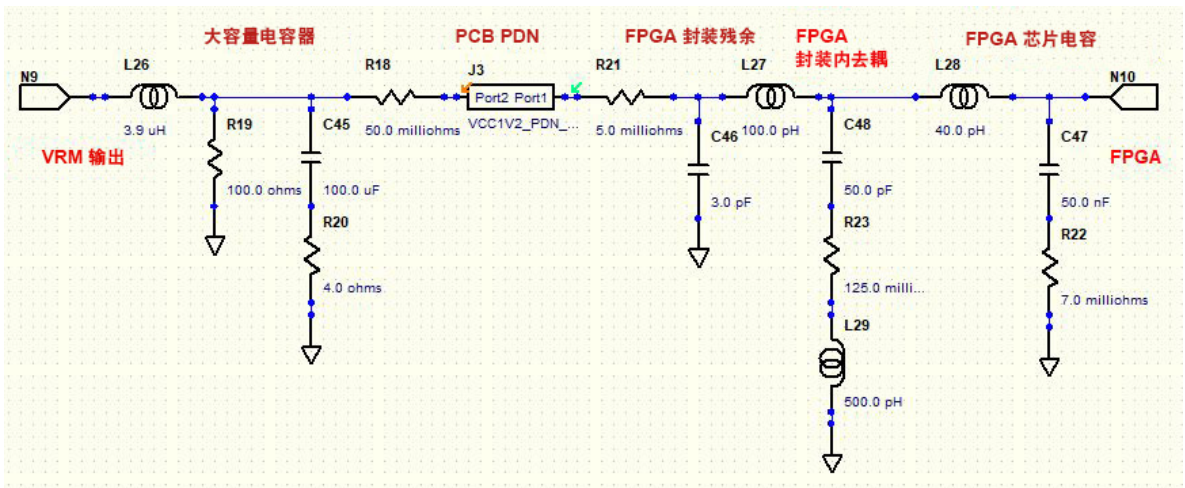


图 8. 系统 PDN 的等效电路

将测量的阻抗曲线拟合为一个平均 s 参数，并确定等效电路中的分立元器件的值。测量和拟合的 PDN 自阻抗的阻抗图叠加图如图 9 所示。

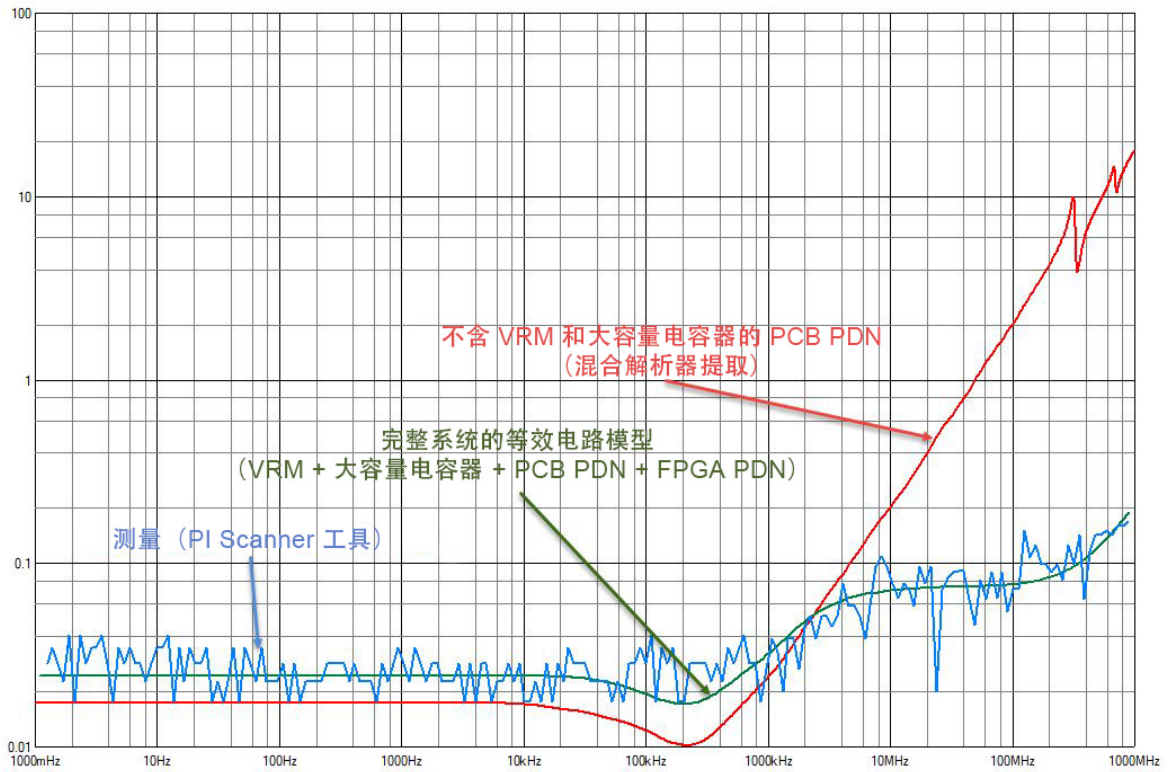


图 9. 重叠的 PDN 阻抗图

阻抗曲线的识别方式如下：

蓝色 - 测量（从芯片侧完成提取）

红色 - 混合解析器提取（不包括 VRM 和大容量电容器 - 在 FPGA 的 PCB 电源管脚上完成提取）

绿色 - 完整的 PDN，包括 VRM、大容量电容器、PCB + FPGA PDN（从等效集总电路提取）

仿真流程描述

布局前仿真平台包含两个部分，一部分专门用于对传输路径进行建模，其中包括数据信号（DQ、DM 和 DQS），另一部分则为系统供电网络（包括 PCB、FPGA 封装和 FPGA 芯片）建模所需。这两个部分包括在同一布局前原理图中。数据总线拓扑是用于 DDR4 接口的点对点拓扑，并且连接了存储控制器和 SDRAM，如图 10 所示：

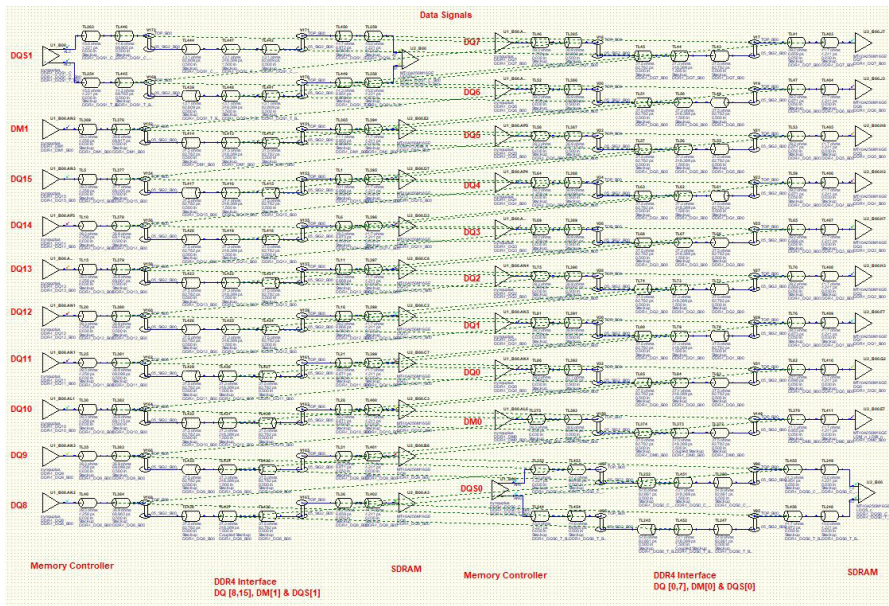


图 10. DDR4 传输线路径

此仿真平台包括用于串扰评估的耦合传输线，以及实现偏移和时序预算的非耦合传输线。可以开发总长度、延迟和偏移约束，并将 Layout 参数（例如走线宽度、走线长度和走线到走线的间距）的影响纳入分析。

系统供电网络由一个 18 端口 s 参数模型构成，其端口被置于 VRM、FPGA、SDRAM 和 PCB 去耦电容器电源管脚，如图 11 所示。

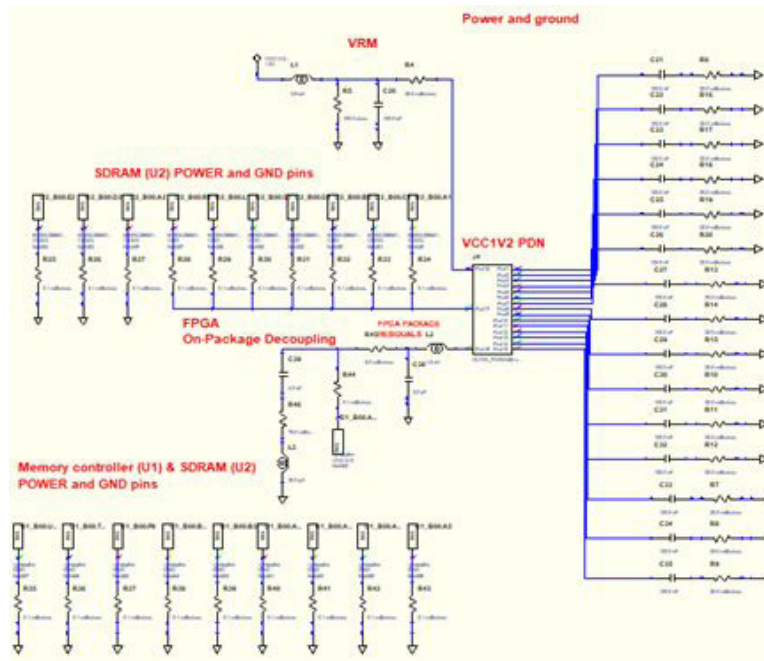


图 11. 系统供电网络：PCB、FPGA 封装和 FPGA 芯片

为了更逼真地表示真实系统，使用 EM 场解析器从 Xilinx 参考设计的裸板中提取 PCB PDN 的 S 参数。端口位置如图 12 所示。

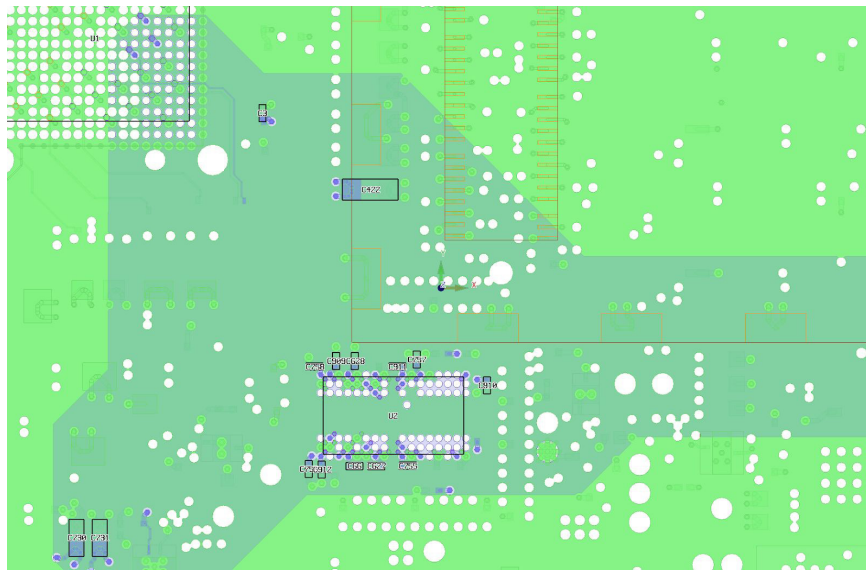


图 12. 用于 PDN 提取的端口位置

去耦电容器及其相关的等效串联电阻 (ESR) 被建模为连接到 PDN 模型的分立无源元器件。这将允许以批量模式运行分析和优化脚本。裸 PCB 的 Z 参数如图 13 所示。

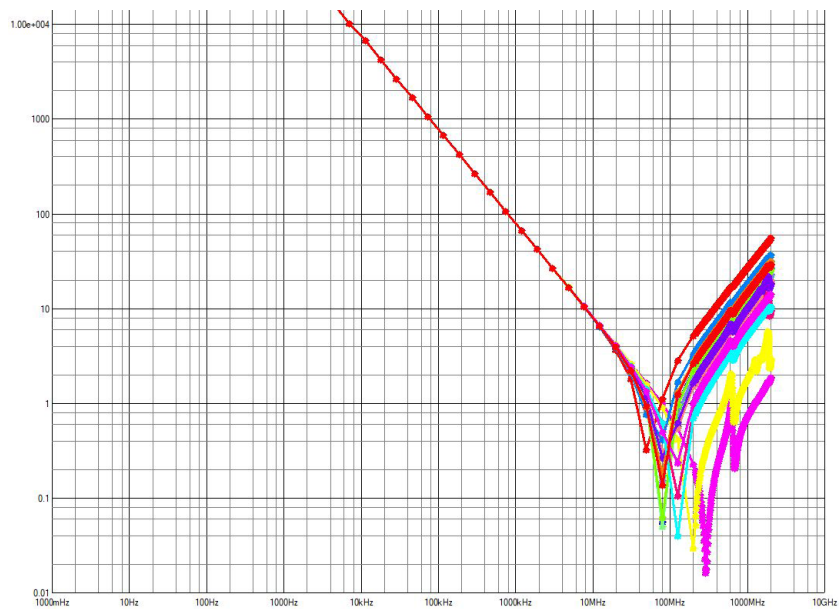


图 13. VCC1V2 电源轨 PDN 的自阻抗 (裸板)

PDN 优化:

优化电容器选择和供电网络放置包括找到一组电容器，在满足系统性能（可接受性标准）要求的同时，将与之相关的成本降至最低，例如元器件成本，电容器数量缩减和电容器类型缩减（合意性标准）。这便成为了基于成本函数，需要同时考虑可接受性和合意性的组合优化。[2]

要实现 PDN 优化，有很多种方法，例如遗传算法 [13]、粒子群优化 [14]、仿真退火等通用优化方法，以及合成方法。

遗传算法

常规遗传优化算法可能存在收敛速度慢 [2] 的问题，因为突变“方向”往往是随机的，并且其速度在整个优化过程中都是恒定的。更高效的方法可通过以更高效的方式探索设计空间来加快收敛速度，例如当存在过剩裕量时，如果 PDN 不符合以更高的速率去除电容器的可接受性标准，则不要去除电容器。

综合方法

如 [15] 中所示，可以应用算法，以基于固定 Layout 选择电容器，但如果施加了多个约束（例如单独零件的成本、总数量缩减、电容器类型缩减 [即减少各种电容器的数量以方便采购]、装配成本等），这将成为一个组合问题。

布局后分析

布局后分析的目的是预测最坏情况下的系统裕量，并评估找到的裕量是否足以保证最终产品将在大批量制造 (HVM) 应用中可靠地工作。如果在此设计阶段发现错误，则可通过仿真确定失效机理，并评估可能的解决方案。

典型的布局后仿真流程包括若干步骤，每个步骤都针对设计的特定方面。可以在时域、频域或同时在这两个领域进行分析，并且可能包括以下步骤：

1. 仅针对互连进行时序-SI 协同仿真（假设系统互连具有理想的功率输送和理想的电流回路）；
2. 直流压降分析；
3. 根据目标阻抗要求选择和优化去耦电容器的值和位置；
4. 对主电源轨进行交流噪声分析；
5. Power-Aware SI/PI 协同仿真，包括信号与系统 PDN 之间的相互作用。

上述前四个步骤中的每个步骤都有助于量化各个设计方面的质量和性能，以便设计人员可以分别进行优化。这一简化方法将信号网络与 PDN 之间的相互作用视为线性的：信号完整性是在假设理想电压和电流源的情况下执行的，并且电源完整性没有包括电源噪声对信号及其返回路径的影响。这种方法的优点是保持了简单的分析，并且易于评估各自的系统贡献。

但是，由于信号质量及其对应的电源是紧密耦合的，它们之间的相互作用并非线性的。因此，Power-Aware SI/PI 协同仿真可以增加复杂性为代价，产生更准确的结果。这种方法允许在计算噪声和时序裕量以及评估电源噪声对信号失真的影响时纳入电源引起的抖动 (PSIJ)。此方法可识别任何先前确定的方法无法捕获的细微功能故障。在本文所述的实验中，使用了一种将两种方法结合起来的方法。

SI-PI 协同仿真过程的第一步是对已布线 PCB 的 SI/PDN 组合网络进行三维电磁 (EM) 提取，如图 14 所示：

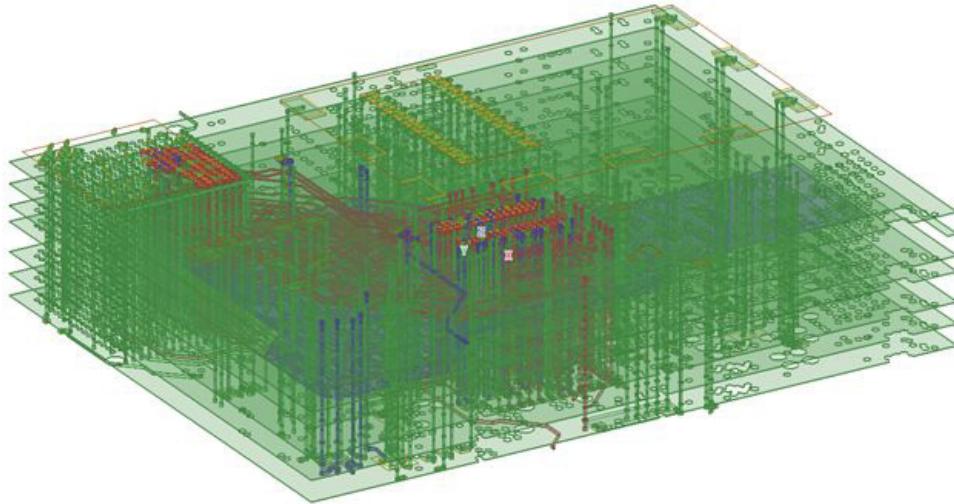


图 14. 用于 EM 提取的 SI/PDN 三维模型

该模型捕获了信号与 PDN 之间所有形式的相互作用，并包括了所有去耦电容器模型。图 15 显示了每个端口位置的重叠自阻抗。

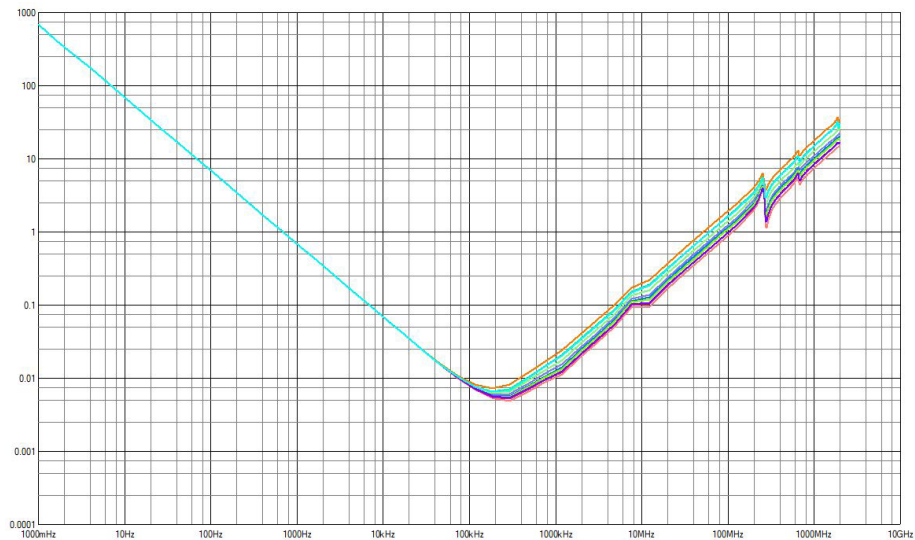


图 15. 包括去耦电容器的 VCC1V2 电源轨 PDN 的自阻抗

下面的图 16 中汇总了从 PCB 上各个电容器到 FPGA 和 SDRAM 的仿真环路电感：

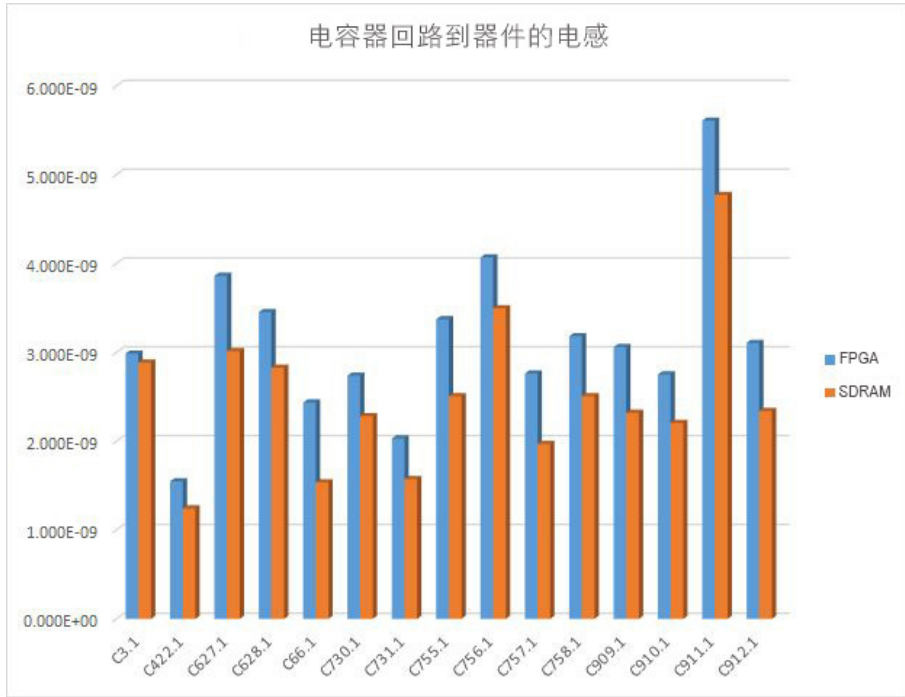


图 16. 从 PCB 上各个电容器到 FPGA 和 SDRAM 的环路电感。

环路电感值较低表明电容器与 SDRAM 之间的距离相比 BGA 更近，后者将物理距离和直觉相匹配。

VRM 模型与缓冲器模型、FPGA 封装、封装内和片内电容一起包含在瞬态仿真中。Power-Aware IBIS 模型和外部电路均用于此目的。仿真工具自动将提取的 s 参数模型与网表中的相应节点链接起来，从而对整个系统进行建模。从合并的信号 / 电源完整性和时序角度来看，向导自动执行了仿真 DDR4 接口的任务。这种方法还允许切换各种类型的耦合开 / 关和设置各种耦合阈值，因而能够识别 ISI、Xtalk 和 SSN 影响各自对眼开度的贡献。

ZCU102 板上的 PDN 阻抗测量和信号完整性

我们已使用 PI Scanner（一种在 XCZU9 FPGA 中配置的矢量网络分析器 (VNA) IP 工具）测量 PDN 阻抗频率曲线，并在 ZCU102 板上提取 XCZU9 FPGA 的 S 参数模型 (www.piscanner.com)。图 17 显示了 FPGA I/O 存储体 64 的 PDN 阻抗频率曲线，该存储体为 I/O 存储体，用于 DDR4 存储器与板载 DRAM 芯片的接口。

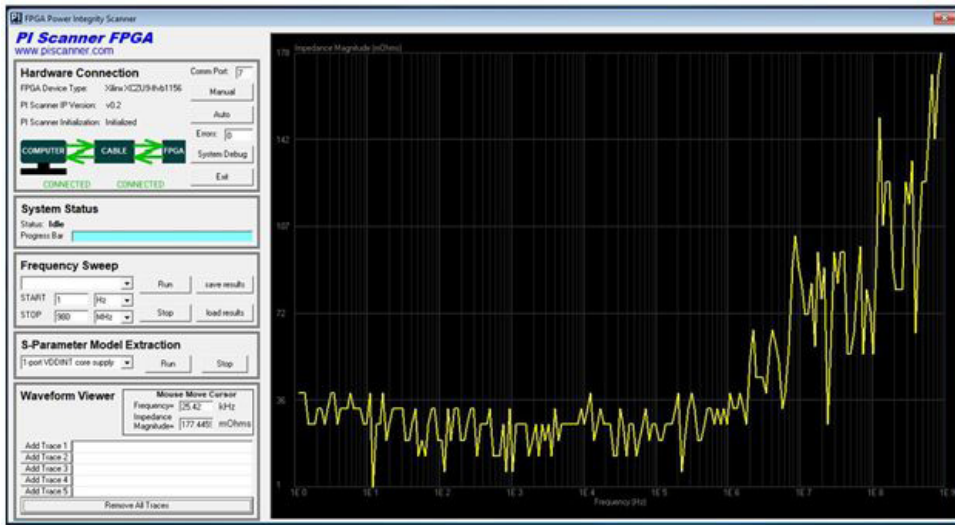


图 17. ZCU102 XCZU9 FPGA I/O 存储体 64 的 PDN 阻抗频率曲线

测得的阻抗代表 FPGA 芯片、封装、电路板的 PDN，以及 VRM 的输出阻抗。该阻抗曲线包含多个共振峰。DDR4 存储器接口上的数据传输活动生成了流经 PDN 的电源瞬态电流。根据这些瞬态电流的频谱分量与 PDN 阻抗共振峰值的对齐情况，片内电源轨上将会生成或多或少的噪声。为评估这一影响，我们将存储器接口设置为 DDR4-1866 模式，该模式将时钟频率设为 933MHz。我们还定义了两个同步开关输出 (SSO) 数据模式。第一种模式 “8x1_8x0...” 具有 $933\text{MHz}/8 = 116\text{MHz}$ 的频谱分量，如图 18 所示，该频谱分量与一个 PDN 共振峰重叠。第二种模式 “4x1_4x0...” 具有 $933\text{MHz}/4 = 233\text{MHz}$ 的频谱分量，并且与频率曲线中一个较低的“深”阻抗重叠。



图 18. 具有与共振峰和“深”阻抗对齐的频谱分量的 SSO 数据模式

此外还使用了第三种数据模式，该模式仅切换 DQ4，同时将其其他 DQ 线路保持低噪声状态 (SSO=OFF)。图 19 显示了在具有这三种数据模式的 DRAM 端接电阻器上测得的时钟信号。

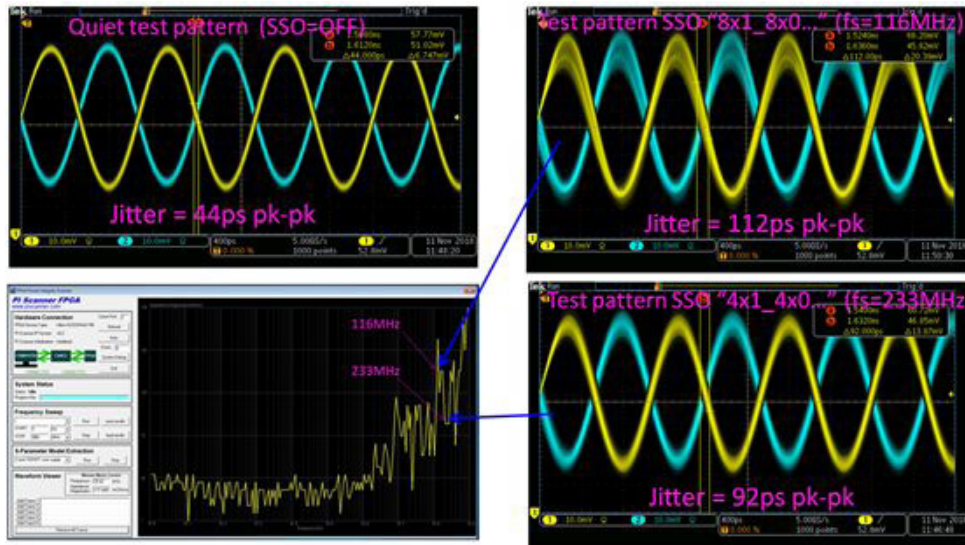


图 19. 在包含和不含 SSO 数据模式的 DRAM 端接处测得的时钟信号

我们注意到，SSO 活动期间的时钟抖动会增加。我们还注意到，“8x1_8x0...” 数据模式比 “4x1_4x0...” 模式产生的抖动更高，这一差异是由于 “8x1_8x0...” 模式的 116MHz 频谱分量与共振峰重叠，以及 “4x1_4x0...” 的 233MHz 频谱分量与较低的 “深” 阻抗重叠所致。SSO 数据模式对 DQ4 信号的影响如图 20 所示。



图 20. 在包含和不含 SSO 数据模式的情况下，在 PCB 上的 DRAM 过孔处测量的 DDR4 DQ4 眼开度

我们注意到，与低噪声模式 (SSO=OFF) 相比，垂直眼开度随 SSO 数据模式而减小。我们还注意到，“8x1_8x0...” 数据模式减小的眼开度比 “4x1_4x0...” 模式更多，而且与之前的时钟抖动测量相似，这一差异是由于 “8x1_8x0...” 模式的 116MHz 频谱分量与共振峰值重叠以及 “4x1_4x0...” 模式的 233MHz 频谱分量与较低的 “深” 阻抗重叠所致。

垂直眼开度之所以衰减，部分归因于 FPGA 芯片上的同步开关输出驱动器所产生的电源噪声，部分归因于串扰。为了进一步确定这两种机制各自的贡献，我们将相邻的 DQ 信号 DQ2 和 DQ3 保持低噪声状态，它们在 PCB 上的布线如图 21 所示。

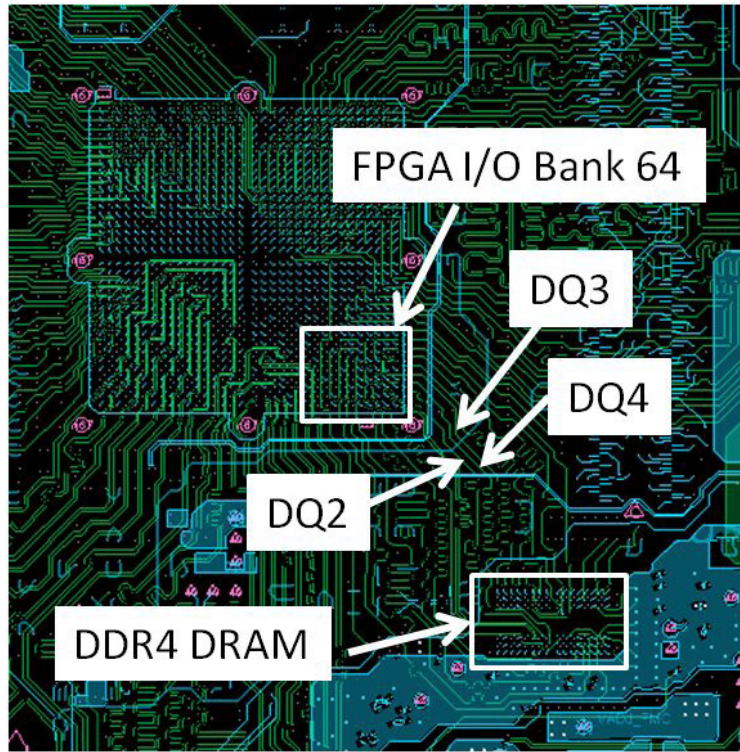


图 21. ZCU102 PCB 上的 DQ2、DQ3 和 DQ4 走线

图 22 显示了针对两种 SSO 数据模式 “8x1_8x0...” 和 “4x1_4x0...” 测量的包含串扰和不含串扰的 DQ4 眼开度。

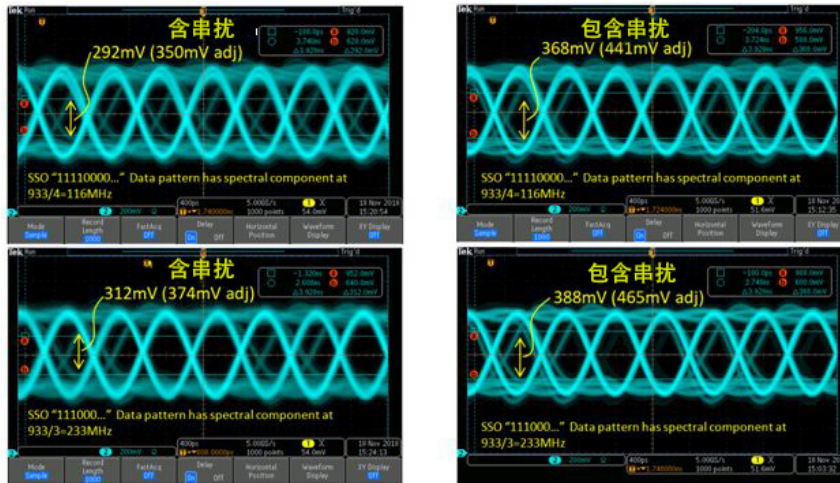


图 22. 两种 SSO 数据模式 “8x1_8x0...” 和 “4x1_4x0...” 包含串扰和不含串扰的 DQ4 眼开度。

不含串扰时的垂直眼开度较大。为了区分电源噪声与串扰的贡献，我们必须考虑以下事实：将 DQ2 和 DQ3 保持低噪声状态还降低了 FPGA 电源轨上产生的电源噪声。表 1 列出了电源噪声和串扰对眼图衰减的贡献。

Analysis of DQ4 Vertical Eye Opening (mV)	SSO=OFF (mV)	SSO		Eye degradation		Approx Eye degradation per DQ		Xtalk contribution		Supply noise contribution	
		116MHz (mV)	233MHz (mV)	SSO 116MHz (mV)	SSO 233MHz (mV)	SSO 116MHz (mV)	SSO 233MHz (mV)	SSO 116MHz (mV)	SSO 233MHz (mV)	116MHz (mV)	233MHz (mV)
With Xtalk	485	350	374	135	111			84.23	87.92	50.77	23.08
Without Xtalk	485	441	465	44	20	3.38	1.54				

表 1. 电源噪声和串扰对 DQ4 眼图衰减的贡献

两种 SSO 模式下，串扰对 DQ4 眼开度的贡献约为 86mV，对于频谱分量与共振峰在 116MHz 处重叠的 SSO 模式，电源噪声的贡献为 50mV，对于频谱分量与“深”阻抗在 233MHz 处重叠的 SSO 模式，电源噪声的贡献为 23mV。该示例显示了如何创建“最坏情况”数据模式，以演练 PDN 阻抗的特定共振峰。可以创建演练不同共振峰的其他数据模式，并用于研究电源完整性对信号完整性的影响。

总结

在基于供电网络 (PDN) 的共振峰创建的布局前、布局后和系统验证数据模式中分析电源完整性对 FPGA DDR4 存储器接口中的信号完整性的影响。使用 FPGA 配置的矢量网络分析仪 (VNA) 测量 PDN 阻抗曲线，并将其用作基于测量的模型的基础。创建多个测试数据模式，以便将电源的电流频谱分量与 PDN 共振峰叠加在一起，并演练传输线多次反射累积效应。然后将这些数据模式用于识别导致信号完整性衰减的主导因素。

参考文献

1. Cosmin Iorga, Measuring S-parameter Models of Power Delivery Networks in FPGA Systems by Using an Embedded Multi-port Vector Network Analyzer, DesignCon 2018
2. D.N. de Araujo, J. Pingnot, Cost Space Evolution for PDN Synthesis, IEEE Electronics Packaging Technology Conference 2018
3. N. Bhagwath, A. Muranyi, D. Smirnov, C. Ferry, A. Sato, M. Ono, I. Shinichiro, Y. Sugaya, T. Fukuhara and R. Wolff, SI Analysis of DDR Bus during Read/Write operation transitions, DesignCon 2017
4. W. Cheng, A. Sarkar, S. Lin, and J. Zheng, Worst Case Switching Pattern for Core Noise Analysis, DesignCon 2009
5. M. J. Choi, V. S. Pandit, and W. H. Ryu, Controllable Parameters Identification for High Speed Channel through Signal-Power Integrity Combined Analysis, IEEE Electronic Components and Technology Conference 2008
6. T. To, P. Niu, J. Wang, C. Su, C.L.Khoo, A. K. Sharma, D. Klokov, W.Liu, and Y Wang, Ultrascale FPGA DDR4 2400 Mbps System Level Design Optimization and Validation, DesignCon 2015
7. R. Schmitt, J.Kim, W. Kim, D. Oh, J. Feng, C. Yuan, L. Luo, and J. Wilson, Analyzing the Impact of Simultaneous Switching Noise on System Margin in Gigabit Single-Ended Memory Systems, DesignCon 2008
8. L. Smith, and H. Shi, FPGA Design for Signal and Power Integrity, DesignCon 2007

9. B. Mutnury, N. Singh, N. Pham, and M. Cases, Statistical and Evolutionary Techniques for Efficient Electrical Design Space Exploration, IEEE Electronics Packaging Technology Conference 2008
10. L. Smith and E. Bogatin, Principles for Power Integrity for PDN Design, Robust and Cost Effective Design for High Speed Digital Products .Prentice Hall, 2017.
11. K. Bharath, E. Engin, M. Swaminathan, Automatic Package and Board Decoupling Capacitor Placement Using Genetic Algorithms and M-FDM , DAC 2008, June 8–13, 2008, Anaheim, California, USA.
12. Yi-En Chen, Tu-Hsiung Tsai, Shi-Hao Chen and Hung-Ming Chen, PSO Cost-Effective Decap Selection for Beyond Die Power Integrity , DATE ' 14 Proceedings of the conference on Design, Automation & Test in Europe, Article No. 46 Dresden, Germany — March 24 - 28, 2014
13. K. Koo, G. Luevano, T. Wang, S. Özbayat, T. Michalka, J. Drewniak, "Fast Algorithm for Minimizing the Number of decap in Power Distribution Networks", Electromagnetic Compatibility IEEE Transactions on, vol. 60, no. 3, pp. 725-732, 2018.



如需最新信息，请致电联系我们，或者访问：

www.mentor.com

©2019 Mentor Graphics Corporation，保留所有权利。本文档包含 Mentor Graphics Corporation 的专有信息，只能由原始接收者出于内部商业目的的全部或部分复制本文档，前提是在所有副本中都包含此完整声明。接受本文档即表示接收者同意采取一切合理措施，防止未经授权使用这些信息。本文档中提及的所有商标属于其各自所有者。

公司总部
Mentor Graphics Corporation
8005 S.W. Boeckman Road
Wilsonville, Oregon 97070 USA
电话：+1-503-685-7000
传真：+1-503-685-1204

上海
明导（上海）电子科技有限公司
上海市浦东新区杨高南路 759 号
陆家嘴世纪金融广场 2 号楼 5 楼
邮编：200127
电话：+86-21-6101-6301
传真：+86-21-5047-1379

台湾
愛爾蘭商明導國際（股）公司台灣分公司
新竹市公道五路二段 120 號 11 樓
郵編：300
電話：+886-3-513-1000
傳真：+886-3-573-4734

Mentor[®]
A Siemens Business

销售和产品信息
电话：+86-21-6101-6301
sales_info@mentor.com

MGC 12-19 TECH18290-CN