

Design of High-Speed Acquisition System of RF Signal Based on JESD204B

HE Shuang, WANG Hongliang*

(National Key Laboratory For Electronic Measurement Technology, Key Laboratory of Instrumentation Science and Dynamic Measurement, Ministry of Education, North University of China, Taiyuan 030051, China)

Abstract: In order to solve the problems of low transmission rate, poor anti-interference and large layout area of traditional converter transmission interface, a high-speed acquisition system of RF signal based on JESD204B is designed. The received RF signal is down-converted, the demodulated baseband signal is directly sampled by the high-speed ADC. The sampled digital baseband signal is transmitted to the FPGA through the self-designed JESD204B interface and buffered. Test results show that the system can achieve direct sampling with a sampling rate of 1.0 Gsample/s and a data transmission rate of up to 10 Gbit/s, and the data link is stable and reliable.

Key words: high speed acquisition; JESD204B; FPGA; quadrature demodulation; ping-pong operation
EEACC: 6320 doi: 10.3969/j.issn.1005-9490.2020.01.025

基于 JESD204B 的射频信号高速采集系统设计

和 爽, 王红亮*

(中北大学电子测试技术国家重点实验室, 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘 要: 为了解决传统转换器传输接口传输速率低、抗干扰差、布局布线面积大等问题, 设计了一种基于 JESD204B 的射频信号高速采集系统。系统对接收到的射频信号进行下变频处理, 通过高速 ADC 对解调基带信号直接采样, 采样后的数字基带信号通过自主设计的 JESD204B 接口逻辑传输至 FPGA 并缓存。测试结果表明, 系统可实现 1.0 Gsample/s 采样率的直接采样, 数据传输速率可达 10 Gbit/s, 且数据链路稳定可靠。

关键词: 高速采集系统; JESD204B; FPGA; 正交解调; 乒乓操作
中图分类号: TN957 **文献标识码:** A **文章编号:** 1005-9490(2020)01-0124-04

随着数据采集系统的广泛应用, 转换器采样率与采样精度等性能开始不断提升, 数据传输速率也随之不断提高^[1]。传统的并行传输接口随着传输速率的提高, 逐渐暴露出信号同步难、抗干扰能力差、布局布线面积大等问题。文献[2]提出的高速数据采集系统, 采用分时交替采样技术, 在实现 1 GHz 的采样率的同时, 也带来了不一致性误差。而由电子器件工程联合委员会 (JEDEC) 提出的 JESD204B 串行接口有效解决了这些问题, 并逐渐成为高性能转换器的主流接口^[3-5]。

目前, 针对 JESD204B 接口的高速转换器, 国内多采用购买国外知识产权核心完成采样转换数据接收, 而缺乏自主研发设计。因此, 本文针对系统需要, 自主设计了 JESD204B 协议传输的相关接口逻辑, 并提出一种基于 JESD204B 的射频信号高速采

集前端, 实现了对接收到的射频信号下变频并高速采集传输与缓存。

1 系统总体设计

系统总体设计主要分为硬件设计与逻辑设计。其中硬件设计包括正交解调模块、模数转换模块、时钟管理模块 3 部分, 逻辑设计包括 JESD204B 接口模块以及数据缓存模块, 总体设计结构框图如图 1 所示。

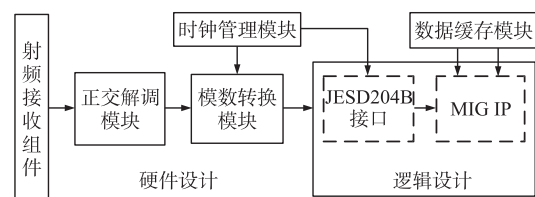


图 1 系统总体设计结构框图

正交解调模块对前端射频接收组件接收到的射频信号进行正交下变频处理,实现零中频解调^[6];模数转换模块将解调后的模拟基带信号采样转变为数字基带信号;时钟管理模块主要负责分别为 JESD204B 链路传输的发送与接收端提供相应时钟;FPGA 主控模块通过 JESD204B 接口逻辑完成数字基带信号的接收与处理,并将其送入数据缓存模块进行缓存^[7]。

2 硬件设计

2.1 正交解调模块

正交解调模块通过宽带正交解调芯片和射频本振芯片组合实现下变频功能。所采用的正交解调芯片 ADL5380 是一款宽带正交 I/Q 解调器,涵盖从 400 MHz 到 6 GHz 的 RF/IF 输入频率范围,3 dB 解调输出的 IQ 基带带宽可达 390 MHz,具有出色的动

态范围,适用于要求苛刻的直接变频应用。在工作过程中,本振芯片 ADF4351 为正交解调芯片提供 2.4 GHz 本振时钟信号,本振时钟信号输入被正交相位分离模块拆分为两路正交本振时钟,分别作为两路相互正交的混频模块的本振输入;射频信号经过电压-电流转换后,分为两路大小相同的分支,分别输入两路相互正交的混频模块,与本振信号进行混频操作;混频操作完成后,信号通过输出接口运放转换为差分输出信号进入下一模块。

如图 2 所示,在正交解调输入部分硬件电路中,本振信号传输路径为差分信号传输,路径两端均串接电容形成直流耦合且中部插入低通滤波器,抑制本振信号中的直流噪声和偏斜抖动^[8];射频信号输入路径中插入 1:1 巴伦(平衡-不平衡变压器),实现单端转差分 and 阻抗匹配功能,降低射频输入路径反射噪声。

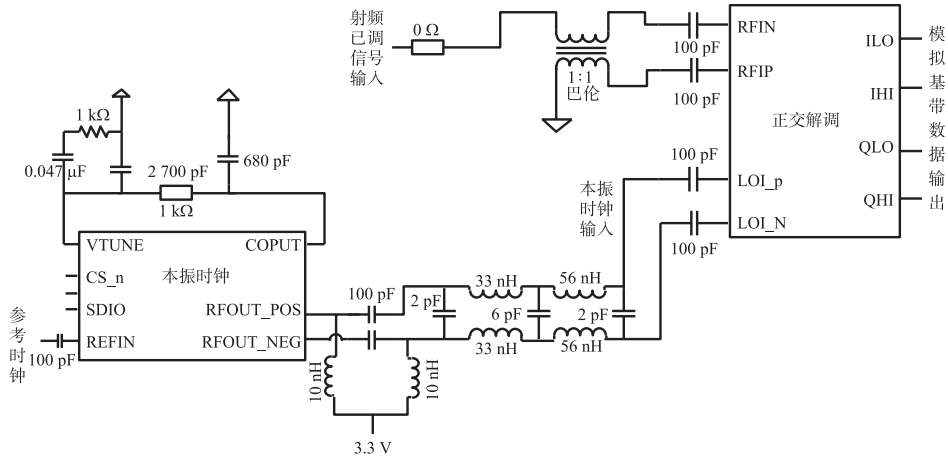


图 2 正交解调模块输入电路示意图

2.2 模数转换模块

为了使被采样基带信号满足模数转换芯片要求,模数转换模块中采用可变增益放大器 AD8366 作为模数转换芯片的输入驱动,对正交解调后的模拟基带信号进行调理,电路原理如图 3 所示。系统采用的模数转换芯片 ADS54J60 是一款低功耗、高带宽 16 位、采样速率高达 1.0 Gsample/s 的双通道模数转换芯片(ADC),满足输入模拟基带信号的采样要求。芯片内部包含两个相互独立的流水线架构 ADC 核心,支持

JESD204B 串行接口,每个 ADC 可支持 2 或 4 条数据通道,数据传输速率可达 10 Gbit/s^[9]。ADS54J60 的数据输出采用 8B/10B 编码,其通道线路速率 $f_{(LineRate)}$ 与采样率 f_s ,通道数据位数 N 满足以下关系:

$$f_{(LineRate)} = f_s \times N \times 10 / 8 \quad (1)$$

通过 SPI 接口配置 ADC 为双数据通道输出,即将 16 位采样数据分为两路 8 位数据同时输出,从而同时实现了 1.0 Gsample/s 采样率及 10 Gbit/s 的线路速率。

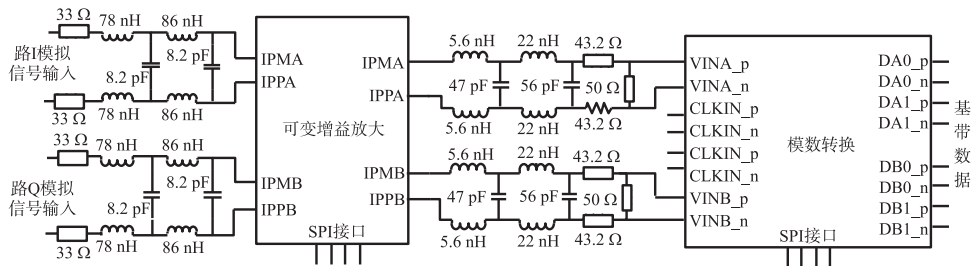


图 3 模数转换模块电路示意图

2.3 时钟管理模块

高质量的时钟是确保 JESD204B 传输链路稳定的关键。JESD204B 协议要求发送接收端器件时钟来自同源时钟,因此,时钟管理模块需要分别为 ADC 与 FPGA 提供 JESD204B 器件时钟。LMK04828 是一款超低抖动时钟调理器,可专门配置为 JESD204B 转换器提供器件时钟和确定性延迟对应的 SYSREF 时钟,最大时钟输出频率为 3.1 GHz。其内部寄存器也通过 SPI 接口配置,以改变时钟分频与输出。

由于 ADC 单通道输出数据为 8 位,而 FPGA 的高速串行收发器 GTX 接收通道数据宽度为 32 位,所以 LMK04828 为 ADC 提供与采样率相对应的 1 GHz 的器件时钟,为 FPGA 提供 250 MHz 的器件时钟,也即 ADC 器件时钟频率的 1/4,以满足 JESD204B 传输链路中数据发送接收之间的匹配。

3 逻辑设计

3.1 JESD204B 接口模块

系统在 Xilinx FPGA Virtex-7 的高速串行收发器 GTX 硬件基础上,针对本系统需要设计了 JESD204B 接收端相关逻辑。逻辑主要实现 JESD204B 协议的帧时钟对齐、代码组同步、初始帧通道同步与数据传输 4 个阶段,如图 4 所示。

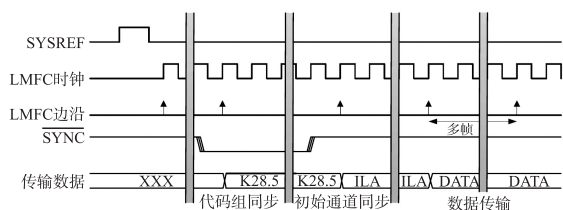


图 4 JESD204B 传输阶段时序图

通过 Xilinx GTX IP 设置 GTX 接收数据通道为 32 位,以保证对 ADC 发送数据有效接收与缓存。上电逻辑运行后,首先使能复位信号初始化 GTX 内部寄存器,等待对应复位完成信号 RXRESETDONE 拉高^[10]。

通过器件时钟采样输入的 SYSREF 时钟上升沿生成本地多帧时钟(LMFC)与对应的帧时钟,LMFC 用于后续 3 个阶段的事件判定与对齐,即完成帧时钟对齐阶段;FPGA 拉低与 ADC 之间的同步信号 SYNCb,初始设置 GTX 的对齐识别字符为 K28.5 字符,等待 ADC 发送端响应并发送 K28.5 字符后,使能 GTX 的接收对齐信号 RXCOMMAALIGN,当 GTX 识别对齐 4 个连续的 K28.5 字符后,也即对应标志位 CHARISK[3:0]全为高,代码组同步完成;FPGA 拉高同步信号 SYNCb,ADC 发送端在 SYNCb 拉高

后的下一个 LMFC 边沿开始发送 4 个连续的 ILA 多帧序列,完成初始帧通道同步;最后进入数据传输阶段,ADC 开始并持续在链路上发送有效采样数据。

3.2 数据缓存模块

数据缓存模块基于 MIG IP 的乒乓读写操作控制方案,利用对不同存储区域的读写切换有效降低预充电命令与激活命令之间的时间间隔,并且使用超长突发操作减少发送列寻址和读写命令所造成的时间延时^[11],极大地提高数据传输效率。

当 MIG IP 初始化完成之后,缓存逻辑以写满 DDR3 中的 A Bank 作为开始标志;往 B Bank 写数据至写满后,并自 A Bank 读出数据至读空,组成一个乒乓操作;同理,自 B Bank 读出数据至读空后,并往 A Bank 写数据至写满,组成另一个乒乓操作,两个操作循环往复;数据传输结束时,缓存逻辑将 A Bank 中数据读出,作为 DDR3 中数据缓存结束的唯一标志。另外,由于只是一块 DDR3 及一个 MIG IP 来实现乒乓操作,其中命令地址线是共用的,因此该设计利用分时复用的方法来达到读写数据线和地址线的调用。

4 测试分析

系统使用罗德与施瓦茨公司 SMW200A 矢量信号发生器作为系统测试输入,设置正余弦基带信号频率为 30 MHz,射频输出载波频率为 3.4 GHz,观察其射频输出频谱,如图 5 所示。从图 5 观察可知,在 600 MHz 的扫描带宽中,只出现单音 3.430 GHz 的射频信号频谱,无其他噪声谐波干扰,射频输入信号频率成分单一,信号发生器生成单音射频已调信号正确无误。

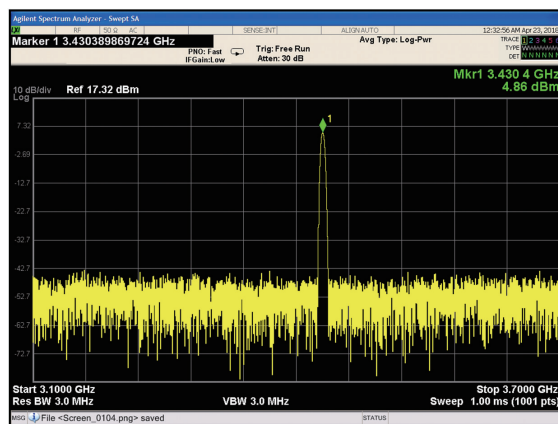


图 5 射频测试输入信号频谱

采用罗德与施瓦茨公司 RTB2004 示波器对正交解调后的正交基带信号进行测试,如图 6 所示,并通过 Xilinx 的调试核心 ILA 抓取 JESD204B 接口逻

辑接收的 FPGA 内部缓存数据,如图 7 所示。可以看出,正交解调后的基带信号频率为 30 MHz,与初始输入设置一致,数据传输链路按照 JESD204B 协议阶段逐步建立,且接收基带信号数据良好无误。

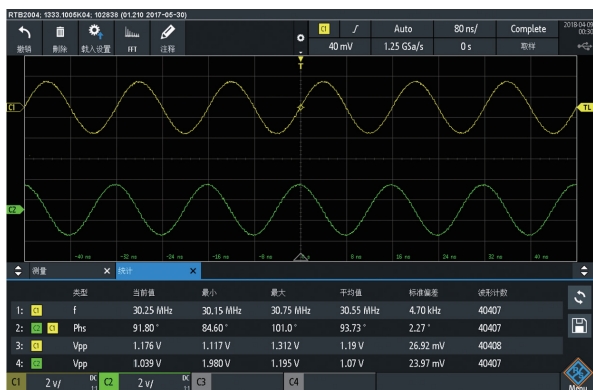


图 6 解调后的模拟正交基带信号

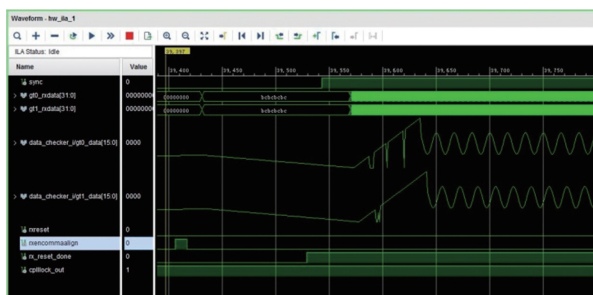


图 7 JESD204B 接口接收的数字基带信号

5 结论

基于 JESD204B 的射频信号高速采集系统设计,采用 JESD204B 传输协议及相关转换器,实现了

对接收到的射频信号的下变频处理,以及对正交解调后的基带信号的直接采样与高速传输。系统可实现 1.0 Gsample/s 采样率的直接采样,传输速率可达 10 Gbit/s,且传输数据稳定无误。此外,针对系统需要,自主设计了 JESD204B 接收相关逻辑,减少了使用资源,降低了开发成本。

参考文献:

- [1] 李长庆,程军,李梁. 采用并行 8b/10b 编码的 JESD204B 接口发送端电路设计[J]. 微电子学与计算机,2017,34(8):70-75.
- [2] 张晓威,苏淑靖. 基于 FPGA 的高速高精度数据采集系统的设计[J]. 仪表技术与传感器,2016(1):70-72,75.
- [3] 田瑞,刘马良. JESD204B 协议的高速串行转换器接口[J]. 西安电子科技大学学报,2017,44(4):69-74.
- [4] 欧阳靖,姚亚峰,霍兴华. JESD204B 协议中发送端同步电路设计与实现[J]. 电子器件,2017,40(1):118-124.
- [5] 霍兴华,姚亚峰,贾茜茜. JESD204B 接口协议中的 8B10B 编码器设计[J]. 电子器件,2015,38(5):1017-1021.
- [6] 左盼盼,赛景波. 一种零中频通用射频前端的设计及实现[J]. 电子器件,2016,39(1):132-139.
- [7] 尚媛园,杨新华,徐达维. 基于 SOPC 技术的高速图像采集控制系统的设计与研究[J]. 传感技术学报,2011,24(6):864-869.
- [8] 何彬,侯涛,谷广宇. HF/VHF 零中频接收机前端电路分析设计[J]. 信息通信,2016(5):107-110.
- [9] Texas Instruments. ADS54J60 Dual-Channel,16-Bit,1.0-GSPS Analog-to-Digital Converter Datasheet[DB/OL]. <http://www.ti.com>,2017.
- [10] Xilinx. 7 Series FPGAs GTX/GTH Transceiver[DB/OL]. <http://www.xilinx.com>,2016.
- [11] 项力领,刘智,杨阳,等. 单片 SDRAM 的数据读写乒乓操作设计[J]. 长春理工大学学报(自然科学版),2013(5):140-143.



和 爽(1995-),男,汉族,河北人,中北大学仪器与电子学院,硕士研究生,主要研究领域为测试计量技术与仪器,1306024217@st.nuc.edu.cn;



王红亮(1978-),男,汉族,河南人,中北大学仪器与电子学院,副教授,主要研究领域为测试系统集成、目标检测与识别、应用软件开发、超声成像等,whl_nuc@163.cn。