

# ADI 智库

一站式电子技术宝库

## PCB 布局布线 设计要点



了解更多 请扫码访问ADI 智库

## 简介

印制电路板，或 PC 板，或 PCB，是一种印制或蚀刻了导电引线的非导电材料。电子元器件安装在这种板子上，由引线连接各个元件，进行装配或构成工作电路。PC 板可以有一层或两层导体，也可以有多层导体——多个导电夹层，每层通过绝缘层隔离开。

最常用的电路板是由塑料或玻璃纤维以及树脂复合物和铜线制成的，当然，也会用到其他各种材料。大多数 PCB 是平板或刚性板，而柔性层也可用于弯曲的空间内。元件可以利用 SMD（表面贴装）或过孔技术安装。

PCB 布局布线是产品设计中的重要一步，PCB 布局布线的好坏将直接影响电路的性能。本电子书收录了 ADI 官网上的部分文章，较全面和系统地讲述了在实际电子电路设计中常见问题和容易忽视的方面，主要涵盖印制电路板的布线以及 ADI 部分器件在实际应用中的最佳布局方式等。

### 特别推荐:

视频课程:

用于频率合成器的 PCB 布局实践

→ 扫码获取观看链接



工具书:

PCB 设计秘籍

→ 扫码获取下载链接



# 目录

混合信号 PCB 布局设计的基本准则.....	1
高速 ADC PCB 布局布线技巧 .....	9
高速数据转换器电路设计及布板指南 .....	19
RF 和混合信号 PCB 的一般布局指南 .....	30
多轨电源设计中电路板布局的细节 .....	40
第一部分：策略 .....	40
第 2 部分：布局技巧 .....	48
开关模式电源电路板布局的黄金法则 .....	55
关于在开关模式电源印刷电路板上 放置电感的指南 .....	57
在密集 PCB 布局中最大限度降低多个 isoPower 器件的辐射 .....	60
开关型调节器的电路板布局技术 .....	62
如何利用 PCB 布局技术实现音频放大器的 RF 噪声抑制.....	70
差分 ADC 驱动器的稳定性 如何在版图上实现.....	77
使用 VCXO（压控晶体振荡器）作为 时钟(CLK)发生器的 PCB 设计指南.....	106
如何通过最小化热回路 PCB ESR 和 ESL 来优化开关电源布局 .....	113
如何优化高电流检测精度？ 可以试试改进低值分流电阻的焊盘布局 .....	122
避免 ISM-RF 产品中的 PCB 布局“缺陷” .....	128
在现有系统中添加能量监控电路时的 PCB 布局考量 .....	140

晶片级封装安装指南 .....	159
针对采用多个 AD7606 器件应用而推荐的印刷电路板(PCB)布局 .....	170
低压降压 DC-DC 转换器 MAX20021/ MAX20022 PCB 布局指南.....	181
以 MAX16903/MAX16904 开关稳压器设计 为例，介绍优化系统性能的布板原则 .....	186

ADI 智库



# 混合信号 PCB 布局设计的基本准则

本文详细说明在设计混合信号 PCB 的布局时应考虑的内容。本文将涉及元件放置、电路板分层和接地平面方面的考量。本文讨论的准则为混合信号板的布局设计提供了一种实用方法，对所有背景的工程师应当都能有所帮助。

## 简介

混合信号 PCB 设计要求对模拟和数字电路有基本的了解，以最大程度地减少（如果不能防止的话）信号干扰。构成现代系统的元件既有在数字域运行的元件，又有在模拟域运行的元件，必须精心设计以确保整个系统的信号完整性。

作为混合信号开发过程的重要组成部分，PCB 布局可能令人生畏，而元件放置仅仅是开始。还有其他因素必须考虑，包括电路板各层以及如何适当管理这些层，以最大程度地减少寄生电容（PCB 的平面间层之间可能会意外产生此类电容）引起的干扰。

接地也是混合信号系统的 PCB 布局设计中的一个重要步骤。尽管接地是行业中经常争论的一个话题，但对于工程师来说，制定一套标准化方法不一定是最简单的任务。例如，高质量接地的某个单一问题可能会影响高性能混合信号 PCB 设计的整个布局。因此，不应忽略此方面。

## 元件放置

与建造房屋类似，放置电路元件之前必须创建系统的平面规划图。此步骤将奠定系统设计的整体完整性，并应有助于避免高噪声信号干扰。

在制定平面图时，建议遵循原理图的信号路径，尤其是对于高速电路。元件的位置也是设计的关键方面。设计人员应能识别重要的功能模块、信号以及模块之间的连接，从而确定各元件在系统中的最佳位置。例如，连接器最好放置在板的边缘，而辅助元件（如

去耦电容和晶振) 必须尽可能靠近混合信号器件放置。

## 模拟和数字模块分离

为了尽量减少模拟和数字信号的共同返回路径, 可以考虑模拟和数字模块分离, 以使模拟信号不会与数字信号混合。

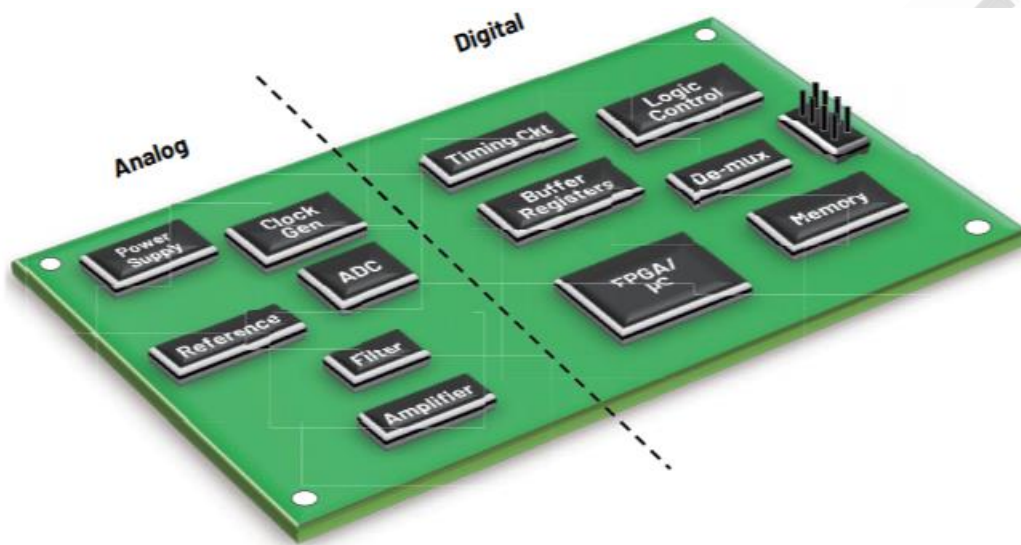


图 1. 模拟和数字电路分离。

图 1 显示了模拟和数字电路分离的一个很好的例子。分割模拟和数字部分时应注意以下事项:

- 建议将敏感的模拟元件 (如放大器和基准电压源) 放置在模拟平面内。类似地, 高噪声的数字元件 (如逻辑控制和时序模块) 必须放在另一侧/数字平面上。
- 如果系统包含一个具有低数字电流的混合信号模数转换器(ADC)或数模转换器(DAC), 则对此的处理方式可以与模拟平面中包含的模拟元件相似。
- 对于具有多个高电流 ADC 和 DAC 的设计, 建议将模拟和数字电分开。也就是说, AVCC 必须与模拟部分绑定, 而 DV<sub>DD</sub> 应连接到数字部分。

- 微处理器和微控制器可能会占用空间并产生热量。这些器件必须放置在电路板的中心以便更好地散热，同时应靠近与其相关的电路模块。

## 电源模块

电源是电路的重要组成部分，应妥善处理。根据经验，电源模块必须与电路的其余部分隔离，同时仍应靠近其供电的元件。

复杂系统中的器件可能有多个电源引脚，在这种情况下，模拟部分和数字部分可以分别使用专用电源模块，以避免高噪声数字干扰。

另一方面，电源布线应短而直，并使用宽走线以减小电感和避免限流。

## 去耦技术

电源抑制比(PSRR)是设计人员在实现系统目标性能时必须考虑的重要参数之一。PSRR衡量器件对电源变化的灵敏度，最终将决定器件的性能。

为了保持最佳 PSRR，有必要防止高频能量进入器件。为此，可以利用电解电容和陶瓷电容的组合将器件电源适当去耦到低阻抗接地平面。

适当去耦的目的是为电路运行创造一个低噪声环境。基本规则是通过提供最短路径来使电流轻松返回。

设计人员务必注意关于每个器件的高频滤波建议。更重要的是，该清单将用作指南，提供一般去耦技术及其正确的实施方案：

- 电解电容充当瞬态电流的电荷储存器，以最大程度地降低电源上的低频噪声，而低电感陶瓷电容用于降低高频噪声。另外，铁氧体磁珠是可选的，但会增加高频噪声隔离和去耦。
- 去耦电容必须尽可能靠近器件的电源引脚放置。这些电容应通过过孔或短走线连接

到低阻抗接地平面的较大区域，以最大程度地减少附加串联电感。

- 较小电容（通常为  $0.01\mu\text{F}$  至  $0.1\mu\text{F}$ ）应尽可能靠近器件的电源引脚放置。当器件同时有多个输出切换时，这种布置可防止运行不稳定。电解电容（通常为  $10\mu\text{F}$  至  $100\mu\text{F}$ ）距离器件的电源引脚应不超过 1 英寸。
- 为使实施更轻松，可以利用器件 GND 引脚附近的过孔通过 T 型连接将去耦电容连接到接地平面，而不是创建走线。示例参见图 2。

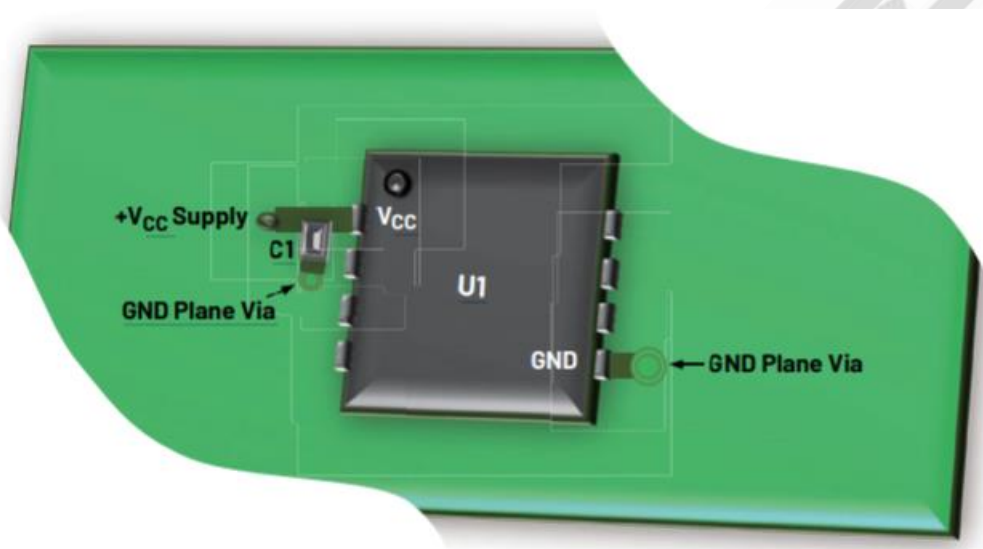


图 2. 电源引脚的去耦技术。

## 电路板层

一旦完成元件放置和平面规划图，我们就可以看看电路板设计的另一个方面——通常称之为电路板层。强烈建议先考虑电路板层，再进行 PCB 布线，因为这将确定系统设计的允许回流路径。

电路板层指电路板中铜层的垂直布置。这些层应管理整个电路板的电流和信号。



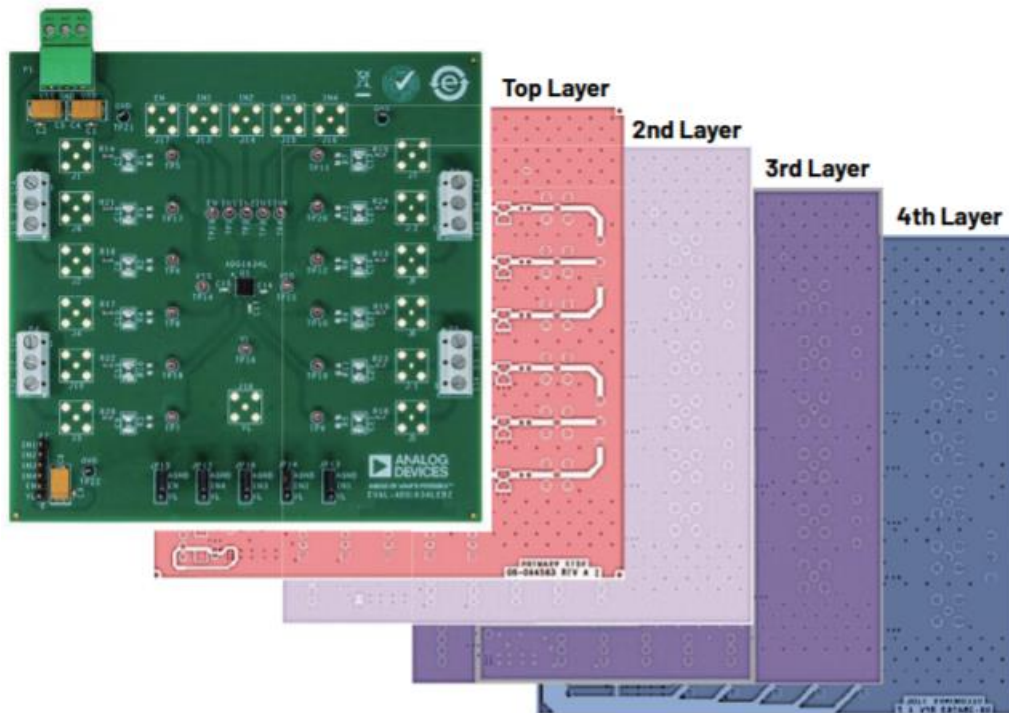


图3. 4层PCB示例

图 3. 显示了电路板各层的视觉表示。表 1 详细说明了一个典型 4 层 PCB 的设置：

表 1. 典型 4 层 PCB

层位置	层类型
1	数字/模拟信号（顶层）
2	地
3	电源平面
4	辅助信号（底层）

通常，高性能数据收集系统应有四层或更多层。顶层通常用于数字/模拟信号，而底层用于辅助信号。第二层（接地层）充当阻抗控制信号的参考平面，用于减少 IR 压降并屏蔽顶层中的数字信号。最后，电源平面位于第三层。

电源和接地平面必须彼此相邻，因为它们提供了额外的平面间电容，有助于电源的高频去耦。

对于接地层，这些年来针对混合信号设计的建议已改变。多年来，将接地平面分为模拟和数字两部分是有道理的，但是对于现代的混合信号器件，建议采用一种新方法。适当的平面规划和信号分离应能防止高噪声信号的相关问题。

## 接地平面：分离还是不分离？

接地是混合信号 PCB 布局设计中的一个重要步骤。典型 4 层 PCB 至少须有一层专门用于接地平面，以确保返回信号通过低阻抗路径返回。所有集成电路接地引脚应路由并直接连接到低阻抗接地平面，从而将串联电感和电阻降至最低。

对于混合信号系统，分离模拟和数字接地已成为一种标准接地方法。但是，具有低数字电流的混合信号器件最好通过单一接地进行管理。更进一步，设计人员必须根据混合信号电流需求考虑哪种接地做法最合适。设计人员须考虑两种接地做法。

### 单一接地平面

对于具有单个低数字电流 ADC 或 DAC 的混合信号系统，单一实接地平面会是最佳方法。要理解单一接地层的重要性，我们需要回顾返回电流。返回电流是指返回接地以及器件之间的走线以形成一个完整环路的电流。为了防止混合信号干扰，必须跟踪整个 PCB 布局中的每条返回路径。

图 4 中的简单电路显示了单一实接地平面相对于分离接地平面的优势。信号电流具有大小相等但方向相反的返回电流。该返回电流在接地平面中流回源，它将沿着阻抗最小的路径流动。

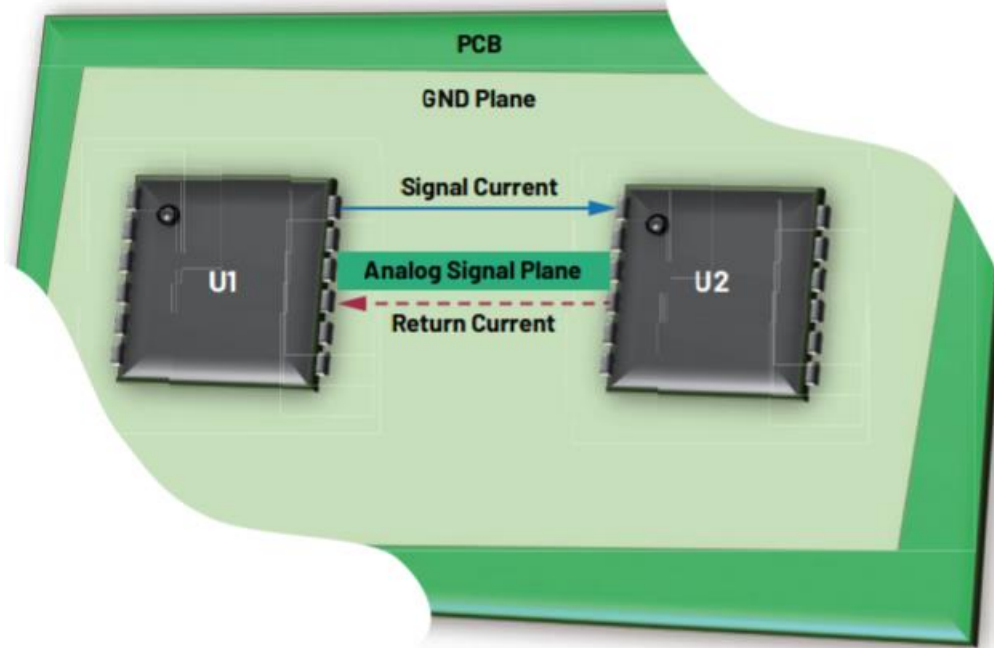


图 4. 采用实接地平面的系统的返回电流。

对于低频信号，返回电流将沿着电阻最小的路径流动，通常是器件接地基准点之间的直线。但对于较高频率信号，返回电流的一部分会尝试沿着信号路径返回。这是因为沿此路径的阻抗较低，流出和返回的电流之间形成的环路最小。

## 模拟地和数字地分离

对于难以采用实接地方案的复杂系统，分离接地可能更合适。分离接地平面是另一种常用方法，接地平面一分为二：模拟接地平面和数字接地平面。这适用于具有多个混合信号器件并消耗高数字电流的更复杂系统。图 5 显示了采用分离接地平面的系统示例。

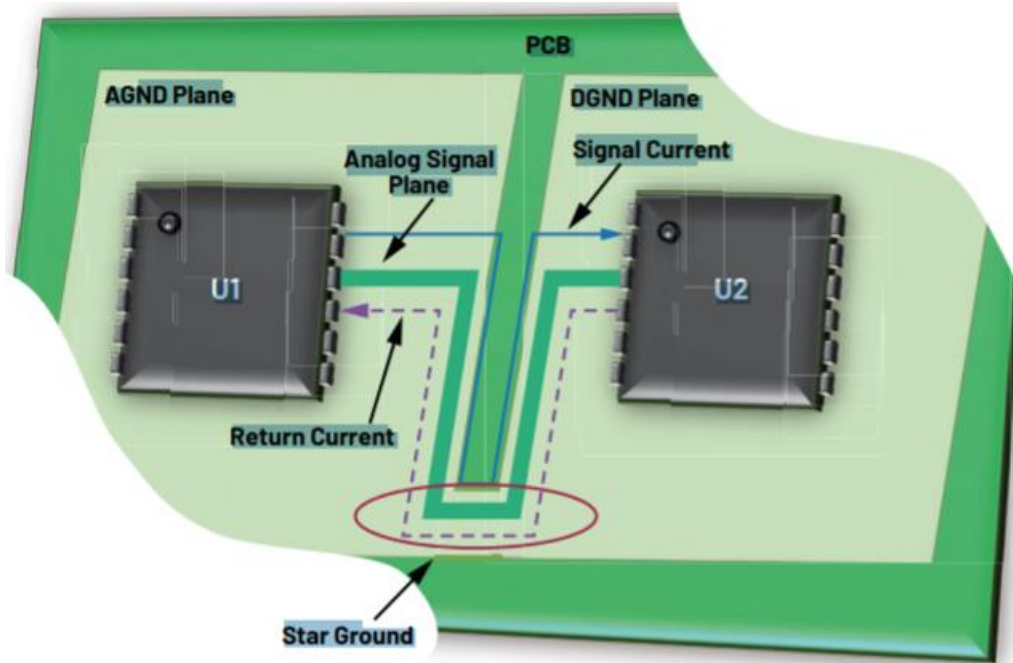


图 5. 采用分离接地平面的系统的返回电流。

对于采用分离接地平面的系统，实现整体接地的最简单解决方案是消除接地平面的中断，并允许返回电流采取更直接的路线，通过星形接地交界处流回。星形接地是混合信号布局设计中模拟和数字接地平面连接在一起的交界处。

在常见系统中，星形接地可以与模拟和数字接地平面之间的简单狭窄连续交界相关。对于更复杂的设计，星形接地通常用跳线分流到接地接头来实现。星形接地中没有电流流动，因此不需要承载高电流的接头和跳线分流器。星形接地的主要作用是确保两个接地具有相同的基准电平。

设计人员务必检查每个器件的数据手册中提供的接地建议，确保符合接地要求并避免与接地有关的问题。另一方面，具有 AGND 和 DGND 引脚的混合信号器件可以与各自的接地平面相连，因为星形接地也会在一点上连接两种接地。这样，所有高噪声数字电流都会流过数字电源，一直流到数字接地平面，并回到数字电源，同时与敏感的模拟电路隔离。AGND 和 DGND 平面的隔离必须在多层 PCB 的所有层上实现。



## 其他常见接地做法

可以采用下面的步骤或检查清单来确保在混合信号/数字系统中实施了适当的接地方案:

- 星形接地点的连接应由较宽的铜走线构成。
- 检查接地平面有无窄走线，这些连接是不合需要的。
- 提供焊盘和过孔很有用，以便在必要时可以连接模拟和数字接地平面。

## 结论

混合信号应用的 PCB 布局可能很有挑战性。创建元件平面规划图只是起点。当努力实现混合信号系统布局的最佳性能时，正确管理电路板层和制定适当的接地方案也是系统设计人员必须考虑的关键点之一。制定元件平面规划图将有助于奠定系统设计的整体完整性。适当地组织电路板层将有助于管理整个电路板的电流和信号。最后，选择最有利的接地方案将会改善系统性能，并防止与高噪声信号和返回电流相关的问题发生。

## 高速 ADC PCB 布局布线技巧

在当今的工业领域，系统电路板布局已成为设计本身的一个组成部分。因此，设计工程师必须了解影响高速信号链设计性能的机制。

在高速模拟信号链设计中，印刷电路板(PCB)布局布线需要考虑许多选项，有些选项比其它选项更重要，有些选项则取决于应用。最终的答案各不相同，但在所有情况下，设计工程师都应尽量消除最佳做法的误差，而不要过分计较布局布线的每一个细节。本文提供的信息对设计工程师的下一个高速设计项目会有所帮助。

## 裸露焊盘

裸露焊盘(EPAD)有时会被忽视，但它对充分发挥信号链的性能以及器件充分散热非常

重要。

裸露焊盘，ADI 公司称之为引脚 0，是目前大多数器件下方的焊盘。它是一个重要的连接，芯片的所有内部接地都是通过它连接到器件下方的中心点。不知您是否注意到，目前许多转换器和放大器中缺少接地引脚，原因就在于裸露焊盘。

关键是将此引脚妥善固定（即焊接）至 PCB，实现牢靠的电气和热连接。如果此连接不牢固，就会发生混乱，换言之，设计可能无效。

## 实现最佳连接

利用裸露焊盘实现最佳电气和热连接有三个步骤。首先，在可能的情况下，应在各 PCB 层上复制裸露焊盘，这样做的目的是为了与所有接地和接地层形成密集的热连接，从而快速散热。此步骤与高功耗器件及具有高通道数的应用相关。在电气方面，这将为所有接地层提供良好的等电位连接。甚至可以在底层复制裸露焊盘（见图 1），它可以用作去耦散热接地点和安装底侧散热器的地方。

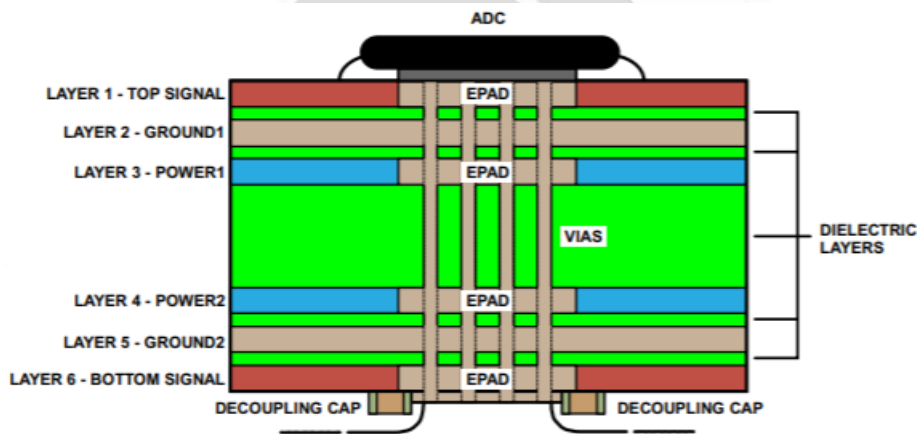


图 1. 裸露焊盘布局示例。

其次，将裸露焊盘分割成多个相同的部分，如同棋盘。在打开的裸露焊盘上使用丝网交叉格栅，或使用阻焊层。此步骤可以确保器件与 PCB 之间的稳固连接。在回流焊组装过程中，无法决定焊膏如何流动并最终连接器件与 PCB。连接可能存在，但分布不均。

可能只得到一个连接，并且连接很小，或者更糟糕，位于拐角处。将裸露焊盘分割为较小的部分可以确保各个区域都有一个连接点，实现更牢靠、均匀连接的裸露焊盘（见图 2 和图 3）。

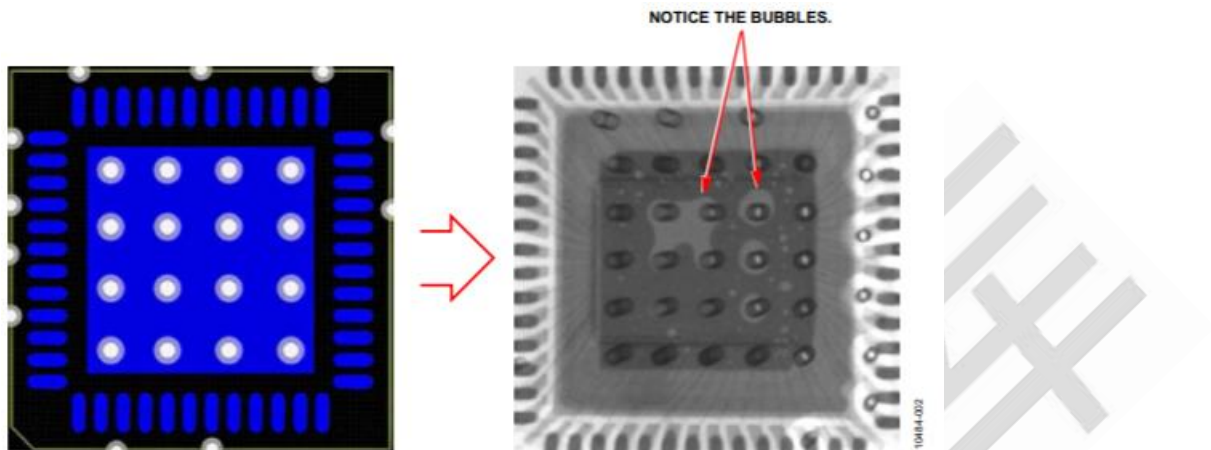


图 2. EPAD 布局不当的示例。

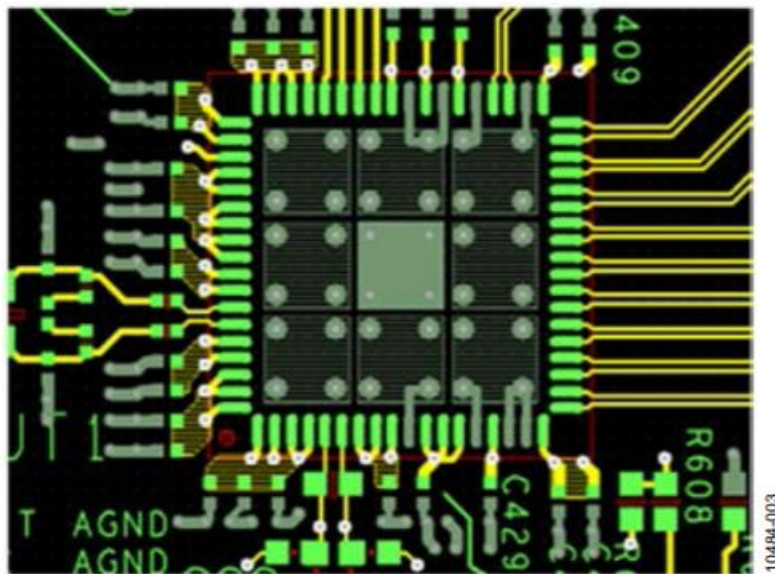


图 3. 较佳 EPAD 布局示例。

最后，应当确保各部分都有过孔连接到地。各区域通常都很大，足以放置多个过孔。组装之前，务必用焊膏或环氧树脂填充每个过孔，这一步非常重要，可以确保裸露焊盘焊膏不会回流到这些过孔空洞中，影响正确连接。最后，应当确保各部分都有过孔连接到

地。各区域通常都很大，足以放置多个过孔。组装之前，务必用焊膏或环氧树脂填充每个过孔，这一步非常重要，可以确保裸露焊盘焊膏不会回流到这些过孔空洞中，影响正确连接。

## 去耦和层电容

有时工程师会忽略使用去耦的目的，仅仅在电路板上分散大小不同的许多电容，使较低阻抗电源连接到地。但问题依旧：需要多少电容？许多相关文献表明，必须使用大小不同的许多电容来降低功率传输系统(PDS)的阻抗，但这并不完全正确。相反，仅需选择正确大小和正确种类的电容就能降低 PDS 阻抗。

例如，考虑设计一个  $10\text{m}\Omega$  参考层，如图 4 所示。如红色曲线所示，系统电路板上使用许多不同值的电容， $0.001\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $0.1\mu\text{F}$  等等。这当然可以降低  $500\text{MHz}$  频率范围内的阻抗，但是，请看绿色曲线，同样的设计仅使用  $0.1\mu\text{F}$  和  $10\mu\text{F}$  电容。这证明，如果使用正确的电容，则不需要如此多的电容。这也有助于节省空间和物料(BOM)成本。

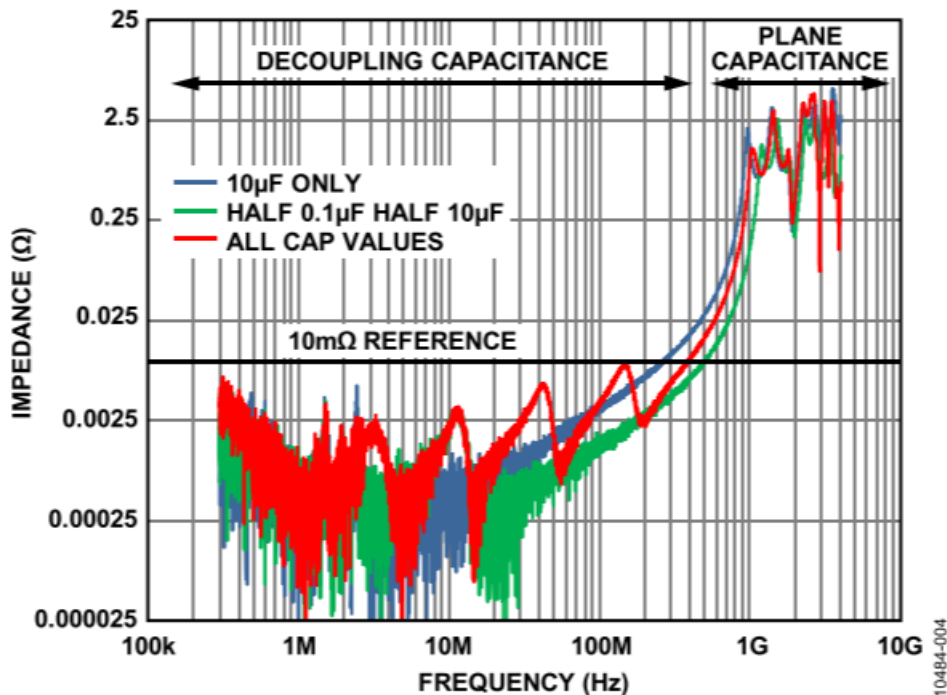


图 4. 电容示例。



注意，并非所有电容“生而平等”，即使同一供应商，工艺、尺寸和样式也有差别。如果未使用正确的电容，不论是多个电容还是几个不同类型，都会给 PDS 带来反作用。

结果可能是形成电感环路。电容放置不当或者使用不同工艺和型号的电容器（因而对系统内的频率做出不同响应），彼此之间可能会发生谐振（见图 5）。

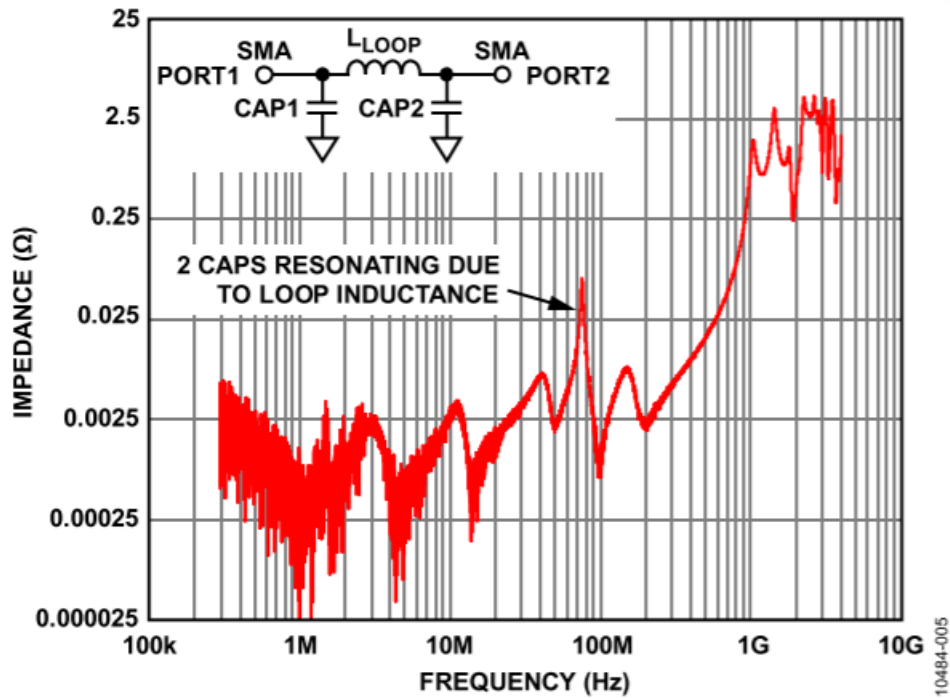


图 5. 谐振电容。

了解系统所用电容类型的频率响应很重要。随便选用电容，会让设计低阻抗 PDS 系统的努力付之东流。

## PDS 的高频层电容

要设计出合格的 PDS，需要使用各种电容（见图 4）。PCB 上使用的典型电容值只能将直流或接近直流频率至约 500MHz 范围的阻抗降低。高于 500MHz 频率时，电容取决于 PCB 形成的内部电容。注意，电源层和接地层紧密叠置会有帮助。

应当设计一个支持较大层电容的 PCB 层叠结构。例如，六层堆叠可能包含顶部信号层、第一接地层、第一电源层、第二电源层、第二接地层和底部信号层。规定第一接地层和

第一电源层在层叠结构中彼此靠近，这两层间距为 2 到 4 密尔，形成一个固有高频层电容。此电容的最大优点是它是免费的，只需在 PCB 制造笔记中注明。如果必须分割电源层，同一层上有多个 VDD 电源轨，则应使用尽可能大的电源层。不要留下空洞，同时应注意敏感电路。这将使该 VDD 层的电容最大。

如果设计允许存在额外的层（上例中，从六层变为八层），则应将两个额外的接地层放在第一和第二电源层之间。在核心间距同样为 2 到 3 密尔的情况下，此时层叠结构的固有电容将加倍（示例见图 6）。

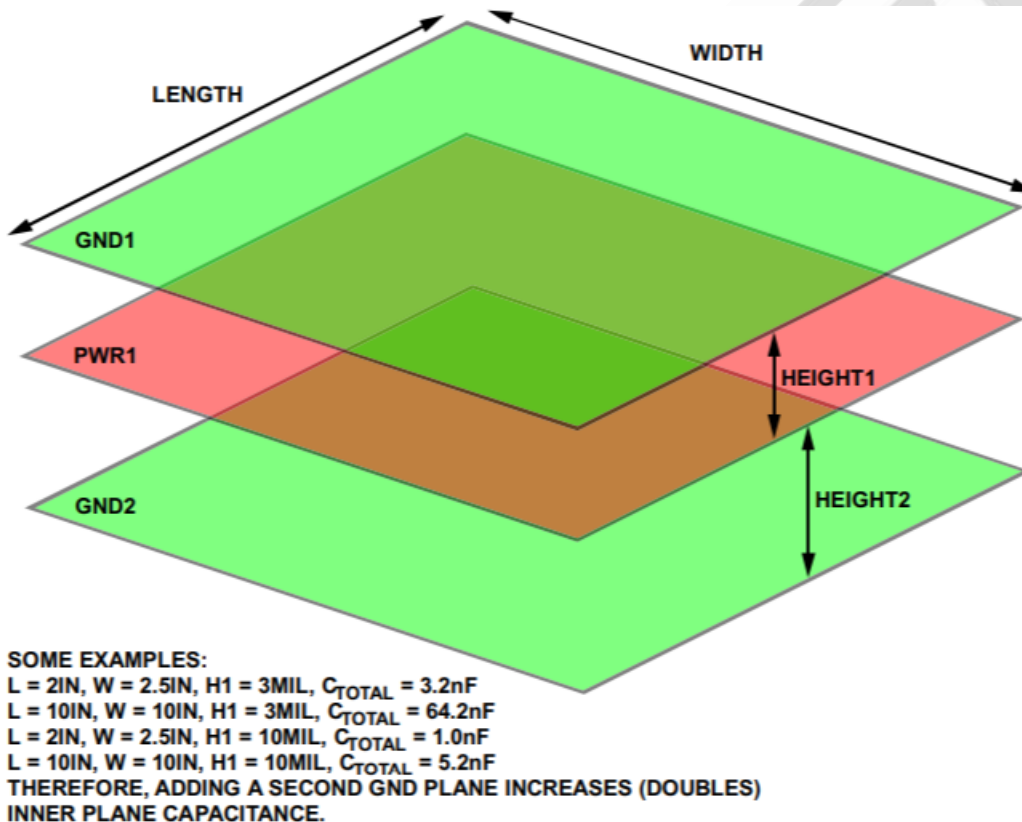


图 6. 高频层电容示例。

与添加更多分立高频电容以在高频时保持低阻抗相比，此结构更易于设计。

PDS 的任务是将响应电源电流需求而产生的电压纹波降至最低，这点很重要但常被忽略。所有电路都需要电流，有些电路需求量较大，有些电路则需要以较快的速率提供电流。采用充分去耦的低阻抗电源层或接地层以及良好的 PCB 层叠，有助于将因电路的电流

需求而产生的电压纹波降至最低。例如，根据所用的去耦策略，如果系统设计的开关电流为 1A，PDS 的阻抗为 10mΩ，则最大电压纹波为 10mV。计算很简单： $V=IR$ 。

凭借完美的 PCB 堆叠，可覆盖高频范围，同时在电源层起始入口点和高功率或浪涌电流器件周围使用传统去耦，可覆盖低频范围 (<500MHz)。这可确保 PDS 阻抗在整个频率范围内均最低。没有必要各处都配置电容；电容正对着每个 IC 放置会破坏许多制造规则。如果需要这种严厉的措施，则说明电路存在其它问题。

## 层耦合

一些布局不可避免地具有重叠电路层（见图 8）。有些情况下，可能是敏感模拟层（例如电源、接地或信号），下方的一层是高噪声数字层。

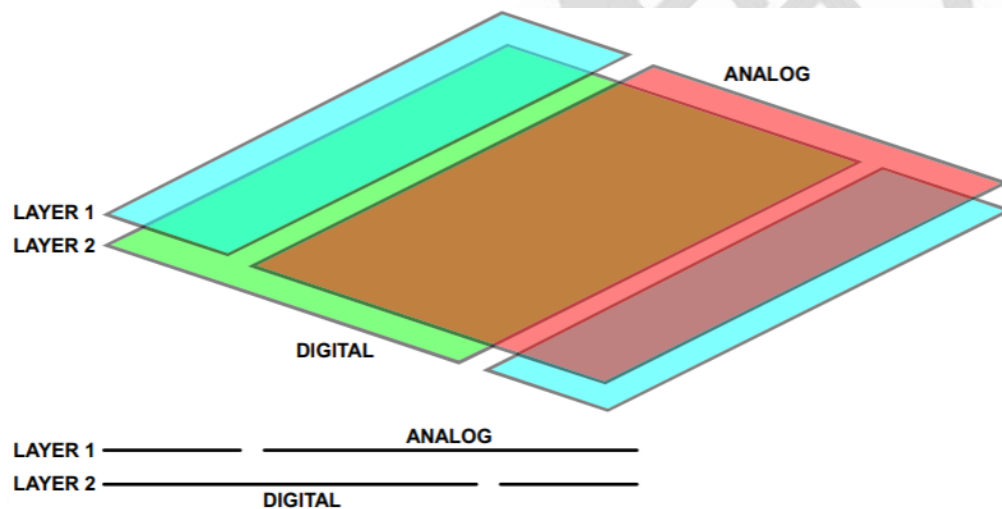


图 7. 交叉耦合层示例。

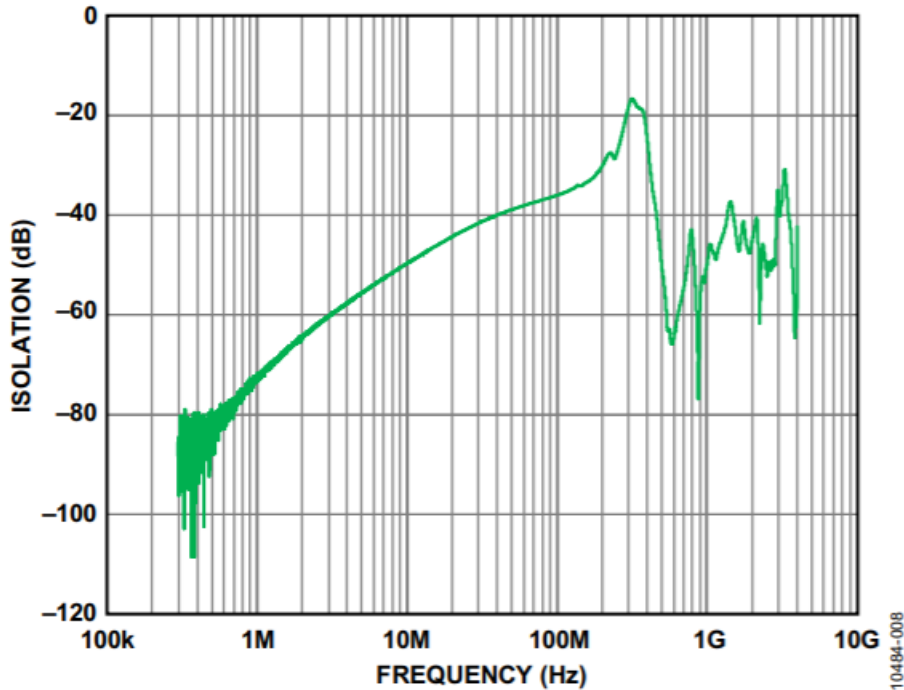


图 8. 交叉耦合层实测结果。

这常常被忽略，因为高噪声层是在另一层——在敏感的模拟层下方。然而，一个简单的实验就可以证明事实并非如此。以某一层面为例，在任一层注入信号。接着连接另一层，将该相邻层交叉耦合至频谱分析仪。耦合到相邻层的信号量如图 8 所示。即使间距 40 密尔，某种意义上它仍是电容，因此在某些频率下仍会耦合信号至相邻层。

图 8 显示了这样的例子。举例来说，假设一个层面上的高噪声数字层具有高速开关的 1V 信号。这意味着，另一层将看到 1mV 的耦合（约 60dB 隔离）。对具有 2-V p-p 满量程摆幅的 12 位 ADC，这是 2 LSB 的耦合。对于特定的系统这可能不成问题，但应注意，如果系统的灵敏度提升两位，从 12 位增至 14 位，此耦合的灵敏度只会提高四倍，即 8 LSB。

忽略此类型的交叉层耦合可能使系统失效，或者削弱设计。必须注意，两层之间存在的耦合可能超出想象。在目标频谱内发现噪声杂散耦合时应注意这一点。有时布局决定了非预期信号或层应交叉耦合至不同层。同样，调试敏感系统时应注意这一点。该问题可能出现在下面一层。



## 分离接地

模拟信号链设计人员最常提出的问题是：使用 ADC 时是否应将接地层分为 AGND 和 DGND 接地层？简单回答是：视情况而定。

详细回答则是：通常不分离。为什么不呢？因为在大多数情况下，盲目分离接地层只会增加返回路径的电感，它所带来的坏处大于好处。

从公式  $V=L(di/dt)$  可以看出，随着电感增加，电压噪声会提高。随着电感增加，设计人员一直努力压低的 PDS 阻抗也会增加。随着提高 ADC 采样速率的需求继续增长，降低开关电流( $di/dt$ )的方式却很有限。因此，除非需要分离接地层，否则请保持这些接地连接。

关键是电路分割要合理，这样就不必分离接地层，如图 9 所示。注意，如果布局允许您将电路保持在各自区域内，便不需要分离接地层。如此分割可提供星型接地，从而将返回电流局限在特定电路部分。

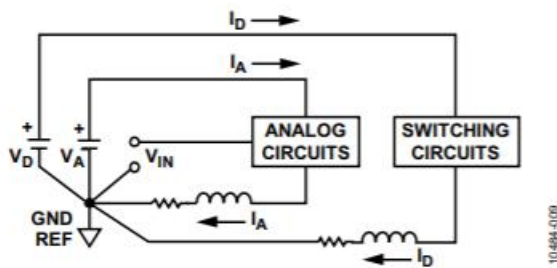
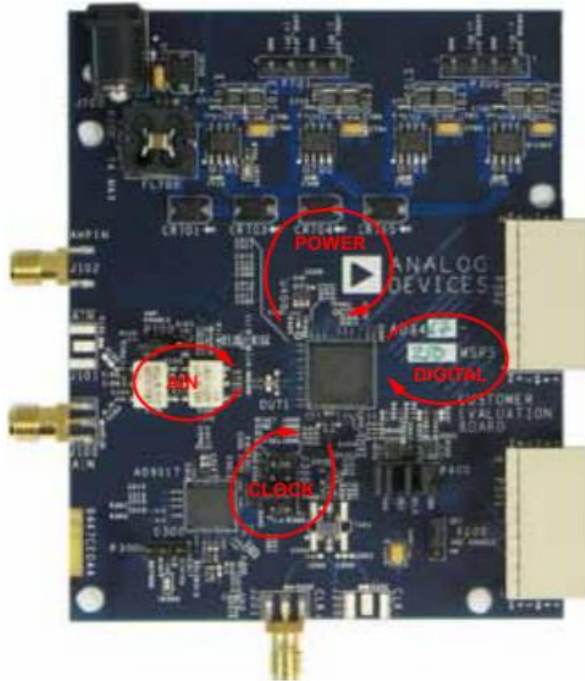


图 9. 良好电路分割示例。

例如，受尺寸限制的影响，电路板无法实现良好的布局分割时，就需要分离接地层。这可能是为了符合传统设计要求或尺寸，必须将脏乱的总线电源或高噪声数字电路放在某些区域。这种情况下，分离接地层是实现良好性能的关键。然而，为使整体设计有效，必须在电路板的某个地方通过一个电桥或连接点将这些接地层连在一起。因此，应将连接点均匀地分布在分离的接地层上。

最终，PCB 上往往会有一个连接点成为返回电流通过而不会导致性能降低或强行将返回电流耦合至敏感电路的最佳位置。如果此连接点位于转换器、其附近或下方，则不需要分离接地。

## 结束语

由于最佳选项太多，布局考虑总是令人困惑。工程师喜欢借鉴以前设计中的经验，同时产品上市压力使设计人员不愿更改或尝试新技术。他们拘泥于风险权衡，直至系统内出现重大问题。

在评估板、模块和系统级别，简单的单一接地最佳。良好的电路分割是关键，这也影响到层和相邻层布局。如果敏感层在高噪声数字层以上，请注意可能会发生交叉耦合。组装也很重要；提供给 PCB 车间或组装车间的制造笔记应善加利用，确保 IC 裸露焊盘和 PCB 之间具有可靠连接。

组装不良常常导致系统性能欠佳。靠近电源层入口点和转换器或 IC 的 VDD 引脚的去耦总是有利的。然而，为了增加固有高频去耦电容，应使用紧密叠置的电源和接地层（间距 $\leq 4$  密尔）。此方法不会带来额外成本，只需花几分钟更新 PCB 制造笔记。

设计高速、高分辨率转换器布局时，很难照顾到所有的具体特性。每个应用都是独一无二的。希望本文中所述的几个要点有助于设计工程师更好地了解未来的系统设计。

## 高速数据转换器电路设计及布板指南

本文详细介绍了通常应用于 IF 和基带的高速模数转换器(ADC)的正确布板、元件选择及元件布局。以高分辨率、高速数据转换器 MAX12553、MAX12554 和 [MAX12555](#) 系列为例，介绍了优化电路设计、正确高速布板、旁路和去耦技巧、热管理、元件选择及布局。

## 引言

本文可作为高速转换器电路设计和布板建议的简明资源，是对高速数据转换器及其评估板数据资料中电路设计和 PCB 布板信息的补充。用户应根据其特定应用，仔细阅读所有可用资源，以使器件在特定应用中实现最优性能。文中以 ADI 公司的 14 位模数转换

器(ADC)MAX12553、MAX12554 和 [MAX12555](#) 为例，这些型号分别针对 65Mps/80Mps/95Mps 的采样速率进行了优化，适合所有 IF 和基带应用。

本文分为三部分：**一般性建议**、**电路设计建议**、**布板建议**。一般性建议概要介绍了如何在应用中发挥器件的最佳总体性能，讨论了一般情况下器件外围元件的最佳布局，提出了有关物理 PCB 本身的建议。电路设计建议介绍了最关键和最敏感引脚处元件的推荐值。最后，在布板建议中详细介绍了外围元件布局，指出哪些元件应放在顶层，哪些应放在底层，同时还提供了有关 PCB 的附加信息。

请参考：

该系列 ADC 引脚排列见图 1，引脚功能说明见表 1。评估(EV)板提供多种选择，允许单端或差分时钟输入、单端或差分模拟信号输入、内部/外部基准等，所以评估板（见图 2 和图 3）使用的外围元件和配置比正常应用中多。图 4 和图 5 为评估板顶层和底层的丝印及元件布局。

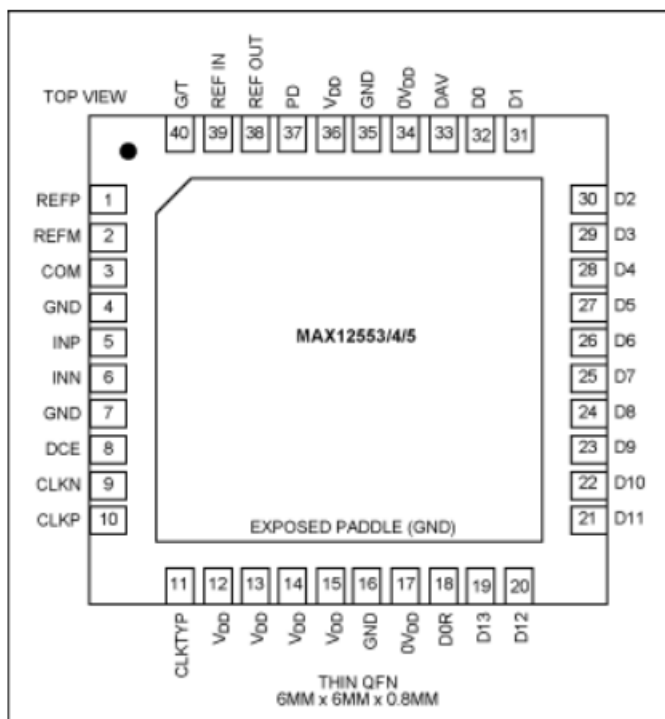


图 1. MAX12553、MAX12554 和 [MAX12555](#) 的引脚排列。



表 1. 引脚说明

引脚 名称	功能
1	REFP 正基准I/O。满幅模拟输入范围为 $\pm(V_{REFP} - V_{REFN}) \times 2/3$ ，REFP通过一个0.1 $\mu$ F电容旁路至GND。REFP与REFN之间并联一个1 $\mu$ F的电容和一个10 $\mu$ F电容。REFP和REFN间的1 $\mu$ F电容应与器件位于同一侧，并尽可能靠近器件。
2	REFN 负基准I/O。满幅模拟输入范围为 $\pm(V_{REFP} - V_{REFN}) \times 2/3$ ，REFN通过一个0.1 $\mu$ F电容旁路至GND。REFP与REFN之间并联一个1 $\mu$ F的电容和一个10 $\mu$ F电容。REFP和REFN间的1 $\mu$ F电容应与器件位于同一侧，并尽可能靠近器件。
3	COM 共模电压I/O。COM通过一个2.2 $\mu$ F电容旁路至GND。将2.2 $\mu$ F COM至GND的旁路电容尽可能靠近器件，可以放置在PCB另外一侧，通过1个过孔与MAX12553连接。
4, 7, 16, 35	GND 地。所有地引脚与EP相连。
5	INP 同相模拟输入。
6	INN 反相模拟输入。
8	DCE 占空比均衡器输入。DCE接低电平(GND)禁止内部占空比均衡器。DCE接高电平(OV <sub>DD</sub> 或V <sub>DD</sub> )使能内部占空比均衡器。
9	CLKN 反相时钟输入。在差分时钟模式(CLKTYP = OV <sub>DD</sub> 或V <sub>DD</sub> )，差分时钟信号接在CLKP与CLKN之间。在单端时钟模式(CLKYP = GND)，单端时钟信号接CLKP，CLKN接GND。
10	CLKP 同相时钟输入。在差分时钟模式(CLKTYP = OV <sub>DD</sub> 或V <sub>DD</sub> )，差分时钟信号接在CLKP与CLKN之间。在单端时钟模式(CLKYP = GND)，单端时钟信号接CLKP，CLKN接GND。
11	CLKTYP 时钟模式定义输入，CLKTYP接GND时为单端时钟输入。CLKTYP接OV <sub>DD</sub> 或V <sub>DD</sub> 时为差分时钟输入。
12-15, 36	V <sub>DD</sub> 模拟电源输入。V <sub>DD</sub> 连至3.15V至3.60V电源。V <sub>DD</sub> 通过一个 $\geq 2.2\mu$ F的电容并联一个0.1 $\mu$ F电容旁路至GND。所有V <sub>DD</sub> 引脚连至相同电位。
17, 34	OV <sub>DD</sub> 输出驱动器电源输入。OV <sub>DD</sub> 可连至1.7V至V <sub>DD</sub> 的电源。OV <sub>DD</sub> 通过一个 $\geq 2.2\mu$ F的电容并联一个0.1 $\mu$ F电容旁路至GND。
18	DOR 数据超量程指示。DOR输出用来指示模拟输入电压超量程。DOR为高电平时，表明模拟输入电压超出范围。DOR为低电平时，表明模拟输入电压在量程以内。
19	D13 CMOS数字输出，第13位(MSB)。
20	D12 CMOS数字输出，第12位。
21	D11 CMOS数字输出，第11位。
22	D10 CMOS数字输出，第10位。
23	D9 CMOS数字输出，第9位。
24	D8 CMOS数字输出，第8位。
25	D7 CMOS数字输出，第7位。
26	D6 CMOS数字输出，第6位。
27	D5 CMOS数字输出，第5位。
28	D4 CMOS数字输出，第4位。
29	D3 CMOS数字输出，第3位。
30	D2 CMOS数字输出，第2位。
31	D1 CMOS数字输出，第1位。
32	D0 CMOS数字输出，第0位(LSB)。
33	DAV 数据有效输出。DAV是输入时钟经占空比补偿校正后的单端输出，DAV的典型应用是将MAX12553的输出数据锁存至后端的数字电路。
37	PD 关断输入。将PD强制置高，器件进入关断模式。正常工作时PD置低。
38	REFOUT 内部基准电压输出。采用内部基准电压时，REFOUT直接连至REFIN，或通过一个电阻分压器设定REFIN输入电压。REFOUT通过一个 $\geq 0.1\mu$ F的电容旁路至GND。
39	REFIN 基准电压输入。在内部基准模式和带缓冲的外部基准模式，REFIN通过一个 $\geq 0.1\mu$ F的电容旁路至GND。此时， $V_{REFP} - V_{REFN} = V_{REFIN} \times 3/4$ 。在无缓冲的外部基准模式下，REFIN连至GND。
40	G/ /T 输出格式选择输入。G/ /T接GND为二元补码格式输出。G/ /T接与OV <sub>DD</sub> 或V <sub>DD</sub> 为格雷码格式输出。
-	EP 裸焊盘。MAX12553通过裸焊盘实现与地的低电感连接。将EP连至GND以保证设计性能。PCB顶层和底层的地平面通过多个过孔连接。



## 一般性建议

- 一般而言，采用带整体地层和电源层的多层 PCB 可获得最佳信号完整性。
- MAX12553、MAX12554 和 [MAX12555](#) 需要高速布板技术，包括裸焊盘可靠接地。
- 保持 MAX12553、MAX12554 和 [MAX12555](#) 模拟部分的内层地平面完整性，空隙(void)必须最少。过孔交错排列，保持非常小的过孔间隙，将空隙减少到最低程度。另外，在关键元件下方应布设完整的地，尤其是接引脚 1 和引脚 2 的 REF 电容、接引脚 3 的 COM 旁路电容、接模拟信号输入引脚 5 和引脚 6 的小电容。
- 将不同的输入和输出信号限定在不同的 PCB 层，如：所有模拟信号输入位于 X 层、所有数字信号输出位于 Y 层、所有时钟信号位于 Z 层等。尽量将每一层夹在两层地之间或使用微带线。
- 使用与地相对电源平面来减小信号感应，将总体噪声降至最低。功率走线应宽一些，以降低 IR 压降和电感。
- 对于 GND 和  $V_{DD}$  (电源线)，建议采用多个 18mil 规格的过孔。
- MAX12553、MAX12554 和 [MAX12555](#) 的所有 GND 和裸焊盘(EP)必须连至同一地平面。MAX12553、MAX12554 和 [MAX12555](#) 依靠 EP 实现与地的低电感连接，通过多个过孔连至指定地层。所需的过孔数量取决于孔的尺寸。作为指导原则，ADI 建议采用 5×5 (总共 25 个) 矩阵的 13mil 规格的过孔。最少需要 12 个过孔。
- MAX12553、MAX12554 和 [MAX12555](#) 最关键的输入、输出是模拟信号输入、基准引脚、时钟和数字输出。最关键的引脚是 1、2、3、5、6、9、10、38 和 39。
- ADC 周围连接旁路电容和关键电容的走线应尽可能的宽，以减小电阻和电感。建议采用宽度大于或等于 10mil 的走线。如果元件无法直接连至地平面，则其接地线应尽可能宽。这还应包括 PCB 设计中的接地热焊盘。

- 如果旁路电容使用热焊盘与 GND 连接，每个旁路电容使用两个热焊盘，GND 端使用过孔以减小电感。
- 高速数字信号走线应远离敏感的模拟信号线、时钟线、REFP (引脚 1) 和 REFN (引脚 2) 。
- 所有信号线 (包括 REFP 和 REFN) 都应尽可能短并且避免 90°折线。
- 确保差分模拟输入网络对称，并且所有寄生效应是均衡的。
- 所有旁路电容应尽可能靠近器件，最好在 PCB 同侧，可采用表贴器件减小电感 (在下面的布板建议中有更详细的介绍) 。
- 通常所有 GND 旁路过孔尺寸应为 18mil。
- 为实现最佳性能，需要独立的模拟和数字电源。
- MAX12553、MAX12554 和 [MAX12555](#) 可接受差分或单端时钟输入。
- MAX12553、MAX12554 和 [MAX12555](#) 可接受差分或单端模拟输入，差分输入可提供最佳性能。
- EP 作为器件的主要接地途径，必须正确连接到指定地平面。
- 使用地线“隔离”ADC 电路和 PCB 上的其它任何相邻电路。例如：一个 PCB 上有多个 ADC 时，利用地平面将每个 ADC 的相关电路隔离开来。

## 电路设计建议

(参见图 2 和图 3)

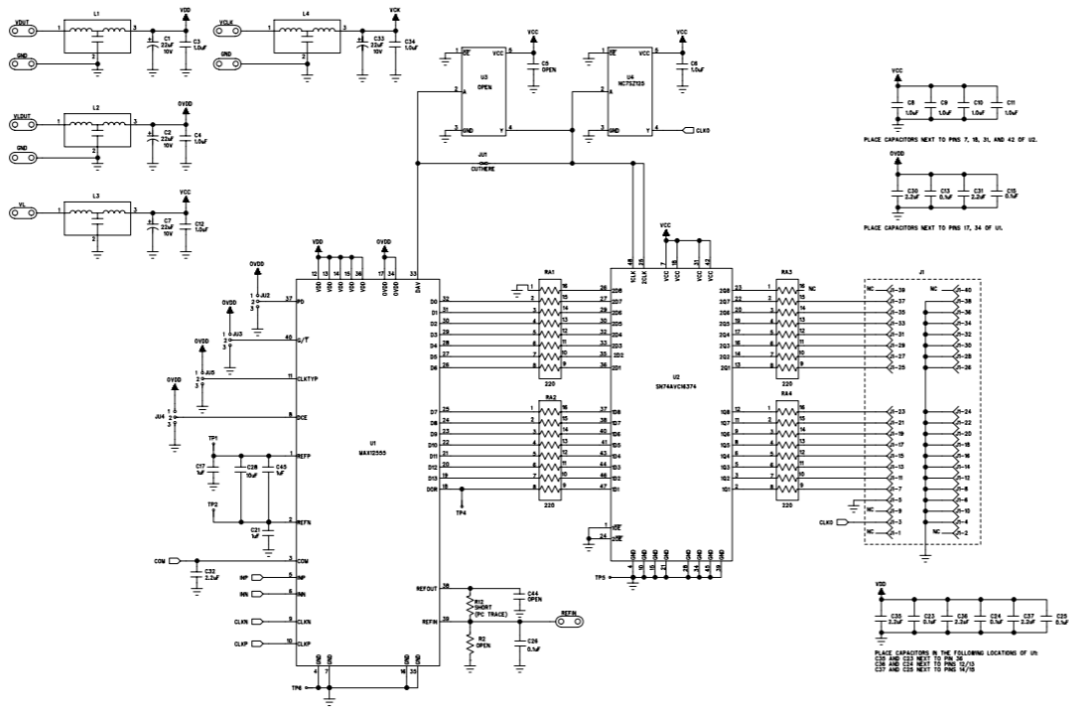


图 2. 评估板器件原理图。

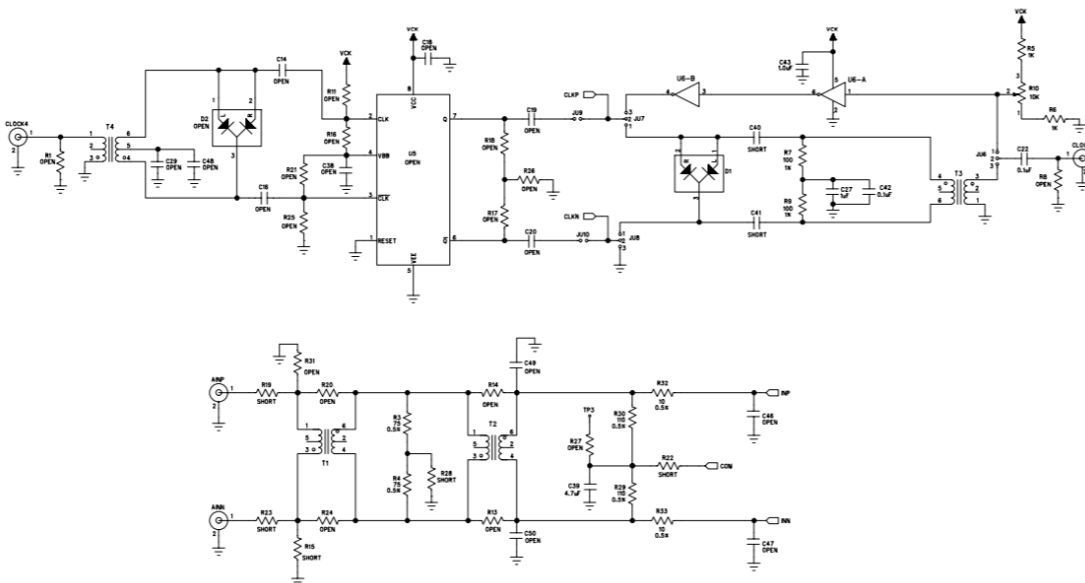


图 3. 评估板模拟部分原理图。

- (引脚 1, REFP) : 通过一个位于 PCB 顶层的高频陶瓷电容 (最大 1.0 $\mu$ F) 将 REFP 旁路至 GND。所有 REFP 走线应尽可能短。
- (引脚 2, REF<sub>n</sub>) : 通过一个位于 PCB 顶层的高频陶瓷电容 (最大 1.0 $\mu$ F) 将 REFP 旁路至 GND。所有 REFP 走线应尽可能短。
- (引脚 1, REFP 和引脚 2, REF<sub>N</sub>) : REFP 和 REF<sub>N</sub> 之间并联两个容值分别为 10 $\mu$ F 和 1 $\mu$ F 的高频陶瓷电容。与引脚 1 和引脚 2 连接的任何电容都必须具有良好的高频性能。
- (引脚 3, COM) : COM 通过一个高频性能良好的 2.2 $\mu$ F 陶瓷旁路至 GND。
- (引脚 5 & 6, INP & INN) : 为获得最佳总体 AC 性能, 这些引脚与地之间都应接并联电容, 容值依应用而定, 范围为 5.6pF 到 12pF。这些电容值可被包含在任何驱动 ADC 的抗混叠滤波器谐振电路中, 并且应被放在电路板顶层。
- (引脚 12-15, 36, V<sub>DD</sub>) : 使用高频性能良好的 0.1 $\mu$ F 和 2.2 $\mu$ F 陶瓷电容各一个并联, 将 V<sub>DD</sub> 旁路至 GND。
- (引脚 17, 34, 0V<sub>DD</sub>) : 使用高频性能良好的 0.1 $\mu$ F 和 >2.2 $\mu$ F 陶瓷电容各一个并联, 将 0V<sub>DD</sub> 旁路至 GND。
- (引脚 19-32, D13-D0) : 包括数据输出引脚与各自负载的串联电阻。这些电阻可限制从输出逻辑驱动器进入芯片内部 GND 的高频边沿电流。选定的阻值与负载电容一起产生的 RC 时间常数约为 1ns。ADI 公司采用非常小而且低成本的电阻阵列, 基本是多只 0402 电阻构成一组。评估板使用的是 Panasonic 公司的 EXB-2HV-221J。
- (引脚 38, REFOUT) : 采用内部基准时, REFOUT 直接与 REFIN 连接, 或通过一个电阻分压器设定 REFIN 输入电压。REFOUT 通过一个高频性能良好、 $\geq 0.1\mu$ F 的陶瓷电容旁路至 GND。

- (引脚 39, REFIN) : 在内部基准模式和带缓冲的外部基准模式, REFIN 通过一个  $\geq 0.1\mu\text{F}$  的电容旁路至 GND。在无缓冲的外部基准模式下, REFIN 连至 GND。

## 布板建议

(参见图 4 和图 5)

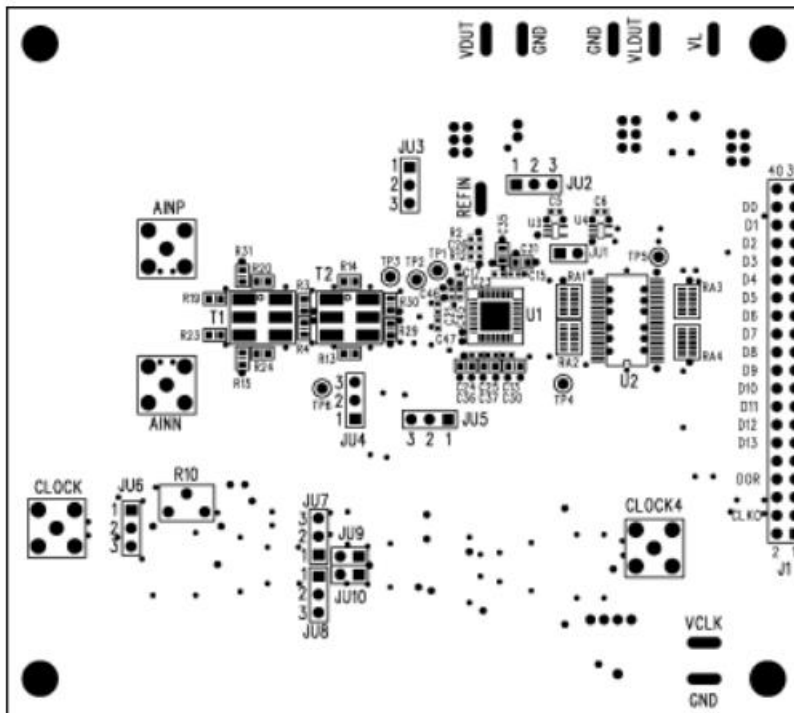


图 4. 评估板顶层丝印和元件布局。



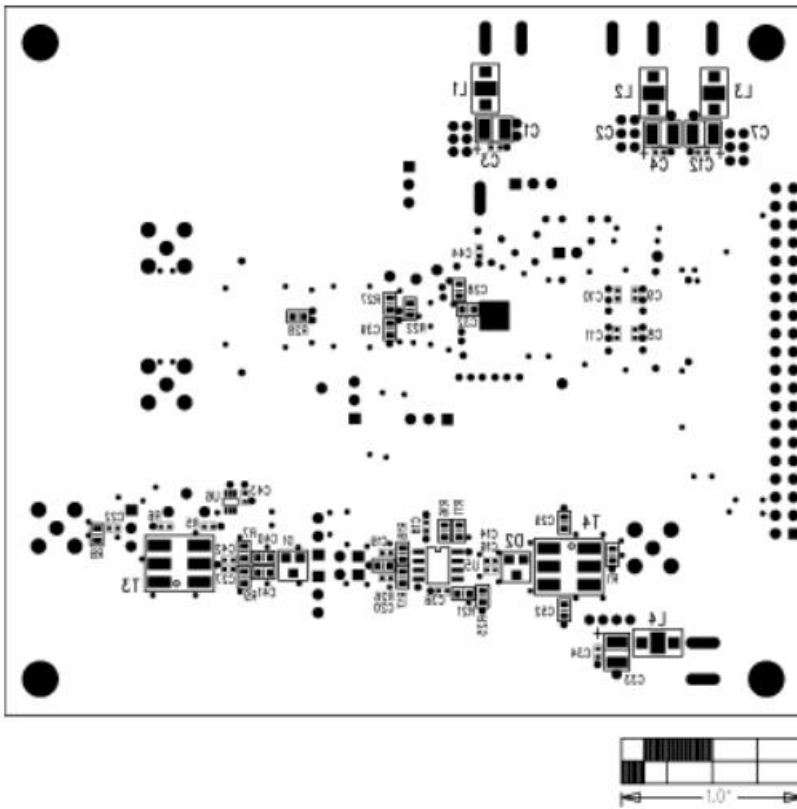


图 5. 评估板底层丝印和元件布局。

- 将 MAX12553、MAX12554 和 [MAX12555](#) 放置在 PCB 顶层。
- 接着，在引脚 1 与引脚 2 之间放置一个  $1\mu\text{F}$  电容。该电容应位于 PCB 顶层，并且尽量靠近这两个引脚。REFP 和 REFN（引脚 1、2）之间跨接的电容应在制造公差允许范围内尽量靠近 DUT。
- 下一步，放置引脚 1 至地和引脚 2 至地的旁路电容。这些电容应尽可能靠近共用的  $1\mu\text{F}$  电容，同时用过孔将电容的 GND 一端与指定模拟地相连（也与器件 EP 相连）。如果第二层有一个地平面，则该地平面应延伸到这三个器件的下方以减少引脚 1 和引脚 2 上的电感。对于 REFP 和 REFN 旁路电容的接地过孔，ADI 公司采用 18mil 的钻孔直径，选择较大尺寸是因为过孔电镀后会减小 3mil。孔的最终尺寸应为约为 15mil。
- 接下来，在引脚 1 与引脚 2 之间放置一个  $10\mu\text{F}$  电容。如果顶层没有足够空间安装此

电容，也可以像评估板那样把它放在 PCB 底层，利用过孔传输信号。该电容与器件引脚间的走线总长应减至最小。

- 与引脚 1 和引脚 2 连接的走线应尽可能短，并且应当是匹配的。即：它们应当是对称的，而且长度应相同。
- 接着，放置引脚 3 至 GND 的 2.2 $\mu$ F 电容，尽可能靠近器件。如果需要，该电容可放在 PCB 底层，采用 13mil 过孔与引脚 3 连接。走线应尽可能短。
- 所有 GND 引脚（引脚 4、7、16 和 35）应与 MAX12553、MAX12554 和 [MAX12555](#) 器件下方的覆铜相连。
- 应遵循以下原则：正确连接 MAX12553、MAX12554 和 [MAX12555](#) 的 EP 与指定接地层（最好是第二层），需要使用足够多的过孔以降低电感，过孔数量取决于孔的尺寸。作为指导原则，ADI 公司建议采用 5 $\times$ 5（总共 25 个）的 13mil 过孔矩阵，最小过孔尺寸应为 12mil。
- 模拟输入应是均衡的。也就是说，从驱动源（放大器和滤波器等）到差分输入端的走线应该等长，元件布局应相互对称，这样，所有的寄生参数才会均衡。走线长度应尽可能短，以降低电感、减小干扰。
- 将输入引脚 5 和引脚 6 的旁路电容放置在 PCB 顶层靠近器件引脚的位置，尽量减小走线长度。
- 应使用某一层（最好是第二层）作为可靠的模拟接地层，推荐使用过孔阵列将其与 MAX12553、MAX12554 和 MAX12555 的 EP 连接。
- 时钟布线建议（引脚 9 和引脚 10）：

时钟输入与模拟输入和基准一样敏感。应像对待模拟信号那样对待时钟信号。避免将时钟线靠近任何数字输出信号线。如果板上有多于一个 ADC，则需隔离时钟线对，以尽量降

低噪声并减小来自其它 ADC 的干扰。时钟信号线不应与数字输出信号线布在同一层。如果布在同一层，应尽量使这两类信号线之间保持较大间距，并在这两类信号线之间布隔离的 GND，以降低可能产生的任何耦合。

建议采用典型值为 1.4V P-P 的差分时钟输入，这是器件的特性之一。但时钟输入信号摆幅的峰值并不是最重要的，保证快速上升和下降时间的摆率更重要。另外，内部差分放大器可提供增益，对信号进一步整形。评估板采用一个中心抽头变压器放大时钟输入，以确保快速上升和下降时间，然后再用二极管将摆幅限制在 1.4V P-P。对于单端时钟信号来说，边沿应较陡，并且满足数据资料规定的最高和最低电压要求，即逻辑高电平最低为  $0.8V_{DD}$ ，逻辑低电平最高为  $0.2V_{DD}$ 。时钟共模电压( $1/2V_{DD}$ )由内部提供。推荐的接口电路/驱动器逻辑：任何逻辑输入，包括 CMOS、LVPECL、LVDS 都可用于驱动时钟输入。对于高频输入信号的应用，建议采用非常高速的 LVPECL 时钟分配电路，如 [MAX9320](#) PECL 缓冲器。

- 引脚 12-15, 36,  $V_{DD}$ ：最好将  $0.1\mu\text{F}$  的旁路电容放在器件引脚旁。
- 引脚 17, 34,  $0V_{DD}$ ：最好将  $0.1\mu\text{F}$  的旁路电容放在器件引脚旁。
- 数据线（引脚 19 至引脚 32）：对于输出数据引脚，从 ADC 到缓冲器或负载 IC 的走线应尽量短。串联电阻尽可能靠近 ADC，为确保最佳性能，总负载电容应等于  $10\text{pF}$ 。而保证缓冲器或负载 IC 的地与 MAX12553、MAX12554 和 [MAX12555](#) 的 EP 可靠连接，对于实现最佳的 AC 性能非常重要。如果将数据线布在顶层或底层（采用微带线技术），则相邻层必须是地层，以形成有效传输线。如果将数据线布在内层（采用带状线技术），则其相邻各层必须为地电位以形成有效传输线。数字信号输出应紧密排列在单一总线内以控制电流回路。另外，尽量减小 MAX12553、MAX12554、[MAX12555](#) 与数字负载间的接地层空隙（由数字信号过孔产生），当数据线进入内层时，过孔应交错排列。

- REFOUT 和 REFIN（引脚 38 和引脚 39）的旁路电容必须靠近器件引脚，使用短的走线直接与器件接地层相连。

## 结论

本文是器件和评估板数据资料的补充，用户可在应用中根据提供的建议优化器件性能。

# RF 和混合信号 PCB 的一般布局指南

本文提供关于射频(RF)印刷电路板(PCB)设计和布局的指导及建议，包括关于混合信号应用的一些讨论，例如相同 PCB 上的数字、模拟和射频元件。内容按主题进行组织，提供“最佳实践”指南，应结合所有其它设计和制造指南加以应用，这些指南可能适用于特定的元件、PCB 制造商以及材料。

## 射频传输线

许多 ADI 射频元件要求阻抗受控的传输线，将射频功率传输至 PCB 上的 IC 引脚（或从其传输功率）。这些传输线可在外层（顶层或底层）实现或埋在内层。关于这些传输线的指南包括讨论微带线、带状线、共面波导（地）以及特征阻抗。也介绍传输线弯角补偿，以及传输线的换层。

## 微带线

这种类型的传输线包括固定宽度金属走线（导体）以及（相邻层）正下方的接地区域。例如，第 1 层（顶部金属）上的走线要求在第 2 层上有实心接地区域（图 1）。走线的宽度、电介质层的厚度以及电介质的类型决定特征阻抗（通常为 50Ω 或 75Ω）。

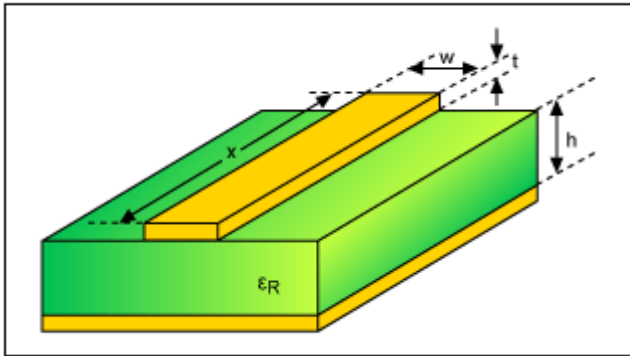


图 1. 微带线示例（立体图）。

## 带状线

这种线包括内层固定宽度的走线，和上方和下方的接地区域。导体可位于接地区域中间（图 2）或具有一定偏移（图 3）。这种方法适合内层的射频走线。

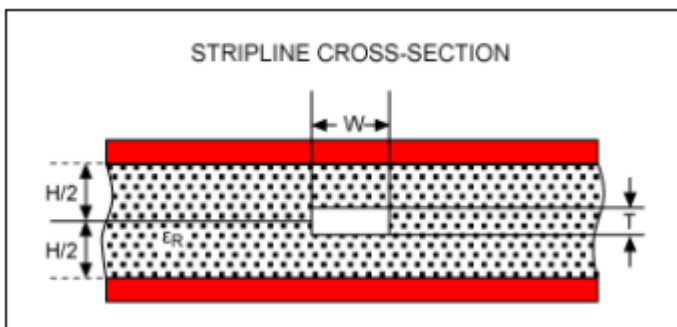


图 2. 带状线（端视图）。

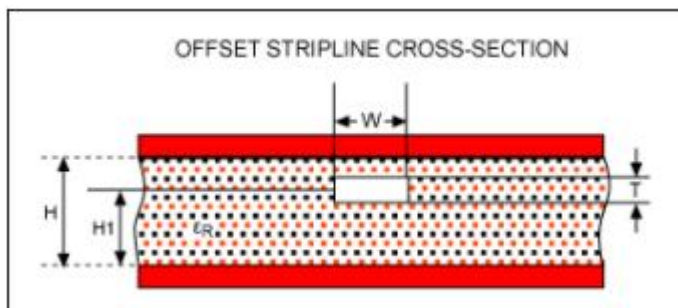


图 3. 偏移带状线。带状线的一种变体，适用于层厚度不相同的 PCB（端视图）。



## 共面波导（接地）

共面波导提供邻近射频线之间以及其它信号线之间较好的隔离（端视图）。这种介质包括中间导体以及两侧和下方的接地区域（图 4）。

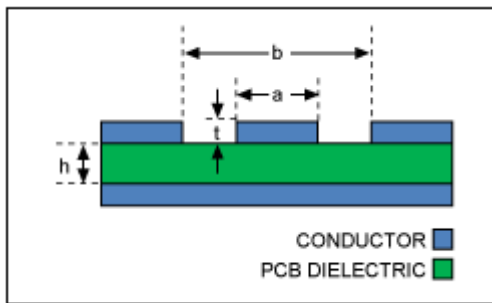


图 4. 共面波导提供邻近射频线以及其它信号线之间较好的隔离。

建议在共面波导的两侧安装过孔“栅栏”，如图 5 所示。该顶视图提供了在中间导体每侧的顶部金属接地区域安装一排接地过孔的示例。顶层上引起的回路电流被短路至下方的接地层。

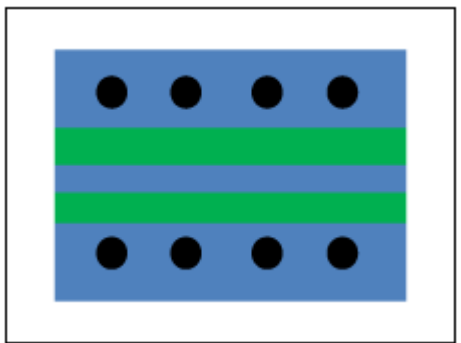


图 5. 建议在共面波导的两侧安装过孔栅栏。

## 特征阻抗

有多种计算工具可用于正确设置信号导体线宽，以实现目标阻抗。然而，在输入电路板层的介电常数时应小心。典型 PCB 外基板层包含的玻璃纤维成分小于内层，所以介电常数较低。例如，FR4 材质介电常数一般为  $\epsilon_R=4.2$ ，而外基板（半固化板）层一般

为  $\epsilon R=3.8$ 。下边的例子仅供参考，其中金属厚度为 1oz 铜 (1.4mils、0.036mm)。

**表 1. 特性阻抗示例**

介质	电介质	层厚, mil (mm)	中间导体, mil (mm)	空隙	特征阻抗
微带	预浸料 (3.8)	6 (0.152)	11.5 (0.292)	N/A	50.3
		10 (0.254)	20 (0.508)		50.0
差分线对	预浸料 (3.8)	6 (0.152)	25 (0.635)	6 (0.152)	50.6
带状线	FR4 (4.5)	12 (0.305)	3.7 (0.094)	N/A	50.0
偏移带状线	预浸料 (3.9)	6 (0.152) upper,	4.8 (0.122)	N/A	50.1
		10 (0.254) lower			
共面波导	预浸料 (3.8)	6 (0.152)	14 (0.35)	20 (0.50)	49.7

## 传输线弯角补偿

由于布线约束而要求传输线弯曲时 (改变方向)，使用的弯曲半径应至少为中间导体宽度的 3 倍。也就是说：

$$\text{弯曲半径} \geq 3 \times (\text{线宽})$$

这将弯角的特征阻抗变化降至最小。

如果不可能实现逐渐弯曲，可将传输线进行直角弯曲 (非曲线)，见图 6。然而，必须对此进行补偿，以减小通过弯曲点时本地有效线宽增大引起的阻抗突变。标准补偿方法为角斜接，如下图所示。最佳的微带直角斜接由杜维尔和詹姆斯(Douville and James)公式给出：

$$M = 100 \frac{x}{d} \% = \left( 52 + 65e^{-\frac{27w}{20h}} \right) \%$$

式中, M 为斜接与非斜接弯角之比(%). 该公式与介电常数无关, 受约束条件为  $w/h \geq 0.25$ 。

其它传输线可采用类似的方法。如果对正确补偿方法存在任何不确定性, 并且设计要求高性能传输线, 则应利用电磁仿真器对弯角建模。

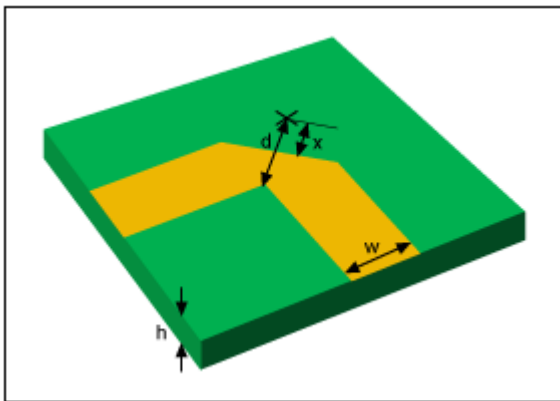


图 6. 如果不可能实现逐渐弯曲, 可将传输线进行直角弯曲。

## 传输线的换层

如果布局约束要求将传输线换至不同的电路板层, 建议每条传输线至少使用两个过孔, 将过孔电感负载降至最小。一对过孔将传输电感有效减小 50%, 应该使用与传输线宽相当的最大直径过孔。例如, 对于 15-mil 微带线, 过孔直径 (抛光镀层直径) 应为 15mil 至 18mil。如果空间不允许使用大过孔, 则应使用三个直径较小的过渡过孔。

## S 信号线隔离

必须小心防止信号线之间的意外耦合。以下是潜在耦合及预防措施示例:

- 射频传输线: 传输线之间的距离应该尽量大, 不应该在长距离范围内彼此接近。彼此间隔越小、平行走线距离越长, 平行微带线之间的耦合越大。不同层上的走线应该有接地区域将其保持分开。承载高功率的传输线应尽量远离其它传输线。接地的

共面波导提供优异的线间隔离。小 PCB 上射频线之间的隔离优于大约-45dB 是不现实的。

- 高速数字信号线：这些信号线应独立布置在与射频信号线不同的电路板层上，以防止耦合。数字噪声（来自于时钟、PLL 等）会耦合到 RF 信号线，进而调制到射频载波。或者，有些情况下，数字噪声会被上变频/下变频。
- VCC/电源线：这些线应布置在专用层上。应该在主 VCC 分配节点以及 VCC 分支安装适当的去耦/旁路电容。必须根据射频 IC 的总体频率响应以及时钟和 PLL 引起的数字噪声的预期频率分布选择旁路电容。这些走线也应与射频线保持隔离，后者将发射较大的射频功率。

## 接地区域

如果第 1 层用于射频元件和传输线，建议在第 2 层使用实心（连续）接地区域。对于带状线和偏移带状线，中间导体上、下要求接地区域。这些区域不得共用也不得分配给信号或电源网络，而必须全部分配给地。有时候受设计条件限制，某一层上有局部接地区域，则必须位于全部射频元件和传输线下方。接地区域不得在传输线下方断开。

应在 PCB 的 RF 部分的不同层之间布置大量的接地过孔。这有助于防止接地电流回路造成寄生接地电感增大。过孔也有助于防止 PCB 上射频信号线与其它信号线的交叉耦合。

## 电源层和接地层的特殊考虑事项

对于分配给系统电源（直流电源）和接地的电路板层，必须考虑元件的回路电流。总的原则是避免将信号线布置在电源层和接地层之间的电路板层上。

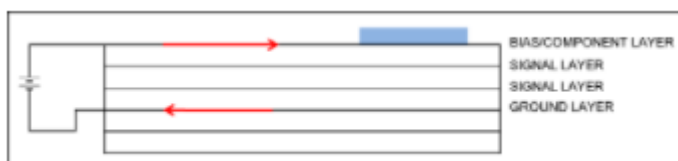


图 7. 不正确的电路板层分配：电源层和接地层上的接地电流回路之间有信号层。偏压线噪声会耦合到信号层。



图 8. 较好的电路板层分配：电源层和接地层之间没有信号层。

## 电源（偏压）走线和电源去耦

如果元件有多个电源连接，常见做法是采用“星”型配置电源布线（图 9）。在星型配置的“根”节点安装较大的去耦电容（几十  $\mu\text{F}$ ），在每个分支上安装较小的电容。这些小电容的值取决于射频 IC 的工作频率及其具体功能（即级间与主电源去耦）。下图所示为一个示例。

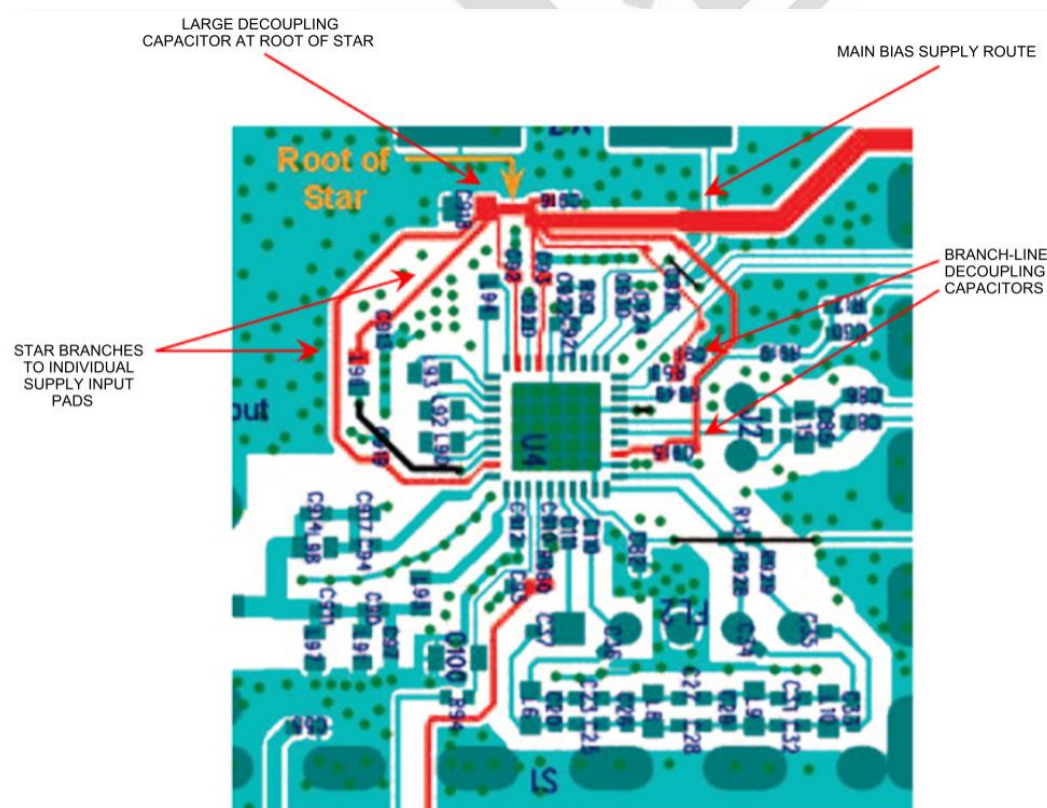


图 9. 如果元件有多个电源连接，电源布线可采用星型配置。



相对于连接至相同电源网络的所有引脚串联的配置，“星”型配置避免了长接地回路。长接地回路将引起寄生电感，会造成意外的反馈环路。电源去耦的关键考虑事项是必须将直流电源连接在电气上定义为交流地。

## 去耦和旁路电容的选择

由于存在自谐频率(SRF)，现实中电容的有效频率范围是有限的。可以从制造商处获得 SRF，但有时候必须通过直接测量进行特征分析。SRF 以上时，电容呈现感性，因此不具备去耦或旁路功能。如果需要宽带去耦，标准做法是使用多个（电容值）增大的电容，全部并联。小电容的 SRF 一般较大（例如，0.2pF、0402 SMT 封装电容的 SRF=14GHz），大电容的 SRF 一般较小（例如，相同封装 2pF 电容的 SRF=4GHz）。表 2 所列为典型配置。

**表 2. 电容的有效频率范围**

元件	电容	封装	SRF	有效频率范围*
超高范围	20pF	0402	2.5GHz	800MHz至 2.5GHz
极高范围	100pF	0402	800MHz	250MHz至 800MHz
高范围	1000pF	0402	250MHz	50MHz至 250MHz
中等范围	1 $\mu$ F	0402	60MHz	100kHz至 60MHz
低范围	10 $\mu$ F	0603	600kHz	10kHz至 600kHz

\*有效频率范围的低端定义为低于 5 $\Omega$  容抗。

## 旁路电容布局考虑事项

由于电源线必须为交流地，最大程度减小交流地回路的寄生电感非常重要。元件布局或摆放方向可能会引起寄生电感，例如去耦电容的地方向。旁路电容有两种摆放方法，分别如图 10 和图 11 所示：

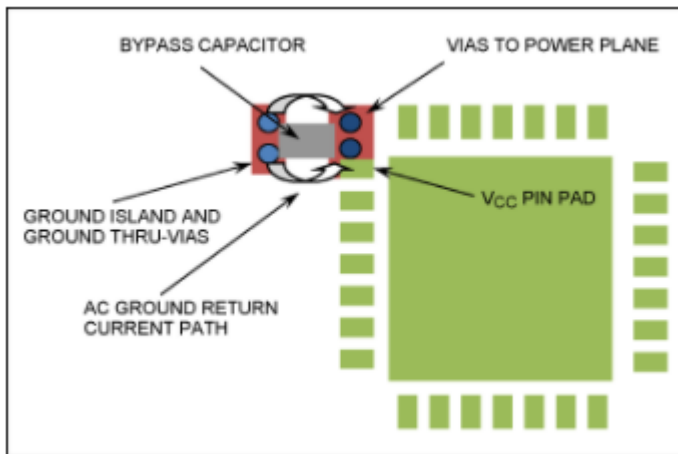


图 10. 该配置下，旁路电容和相关过孔的总占位面积最小。

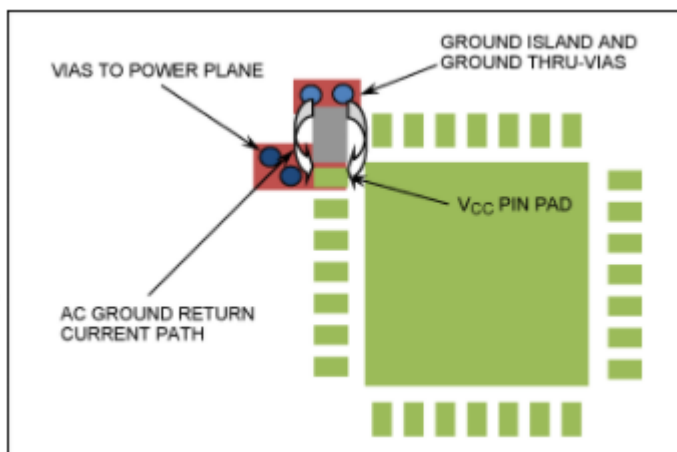


图 11. 该配置要求较大的 PCB 面积。

这种配置下，将顶层上的 VCC 焊盘连接至内层电源区域（层）的过孔可能妨碍交流地电流回路，强制形成较长的回路，造成寄生电感较高。流入 VCC 引脚的任何交流电流都通过旁路电容，到达其接地侧，然后返回至内接地层。这种配置下，旁路电容和相关过孔

的总占位面积最小。

另外一种配置下，交流地回路不受电源区域过孔的限制。一般而言，这种配置要求的 PCB 面积稍大。

## 短路器连接元件的接地

对于短路器连接（接地）的元件（例如电源去耦电容），推荐做法是每个元件使用至少两个接地过孔（图 12），这可降低过孔寄生电感的影响。短路连接元件组可使用过孔接地“孤岛”。

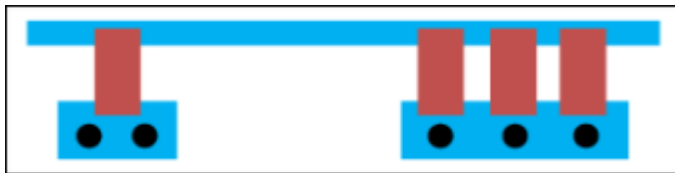


图 12. 每个元件使用至少两个接地过孔可降低过孔寄生电感的影响。

## IC 接地区域（“焊盘”）

大多数 IC 要求在元件正下方的元件层（PCB 的顶层或底层）上的实心接地区域。该接地区域将承载直流和射频回流，通过 PCB 流向分配的接地区域。该元件“接地焊盘”的第二功能是提供散热器，所以焊盘应在 PCB 设计规则允许的情况下包括最大数量的过孔。下图所示的例子中，在射频 IC 正下方的中间接地区域（元件层上）安装有  $5 \times 5$  过孔阵列（图 13）。在其它布局考虑允许的情况下，应使用最大数量的过孔。这些过孔是理想的通孔（穿透整个 PCB）。这些过孔必须电镀。如果可能，使用导热胶填充过孔，以提高散热性能（在电镀过孔之后、最后电镀电路板之前填充导热胶）。

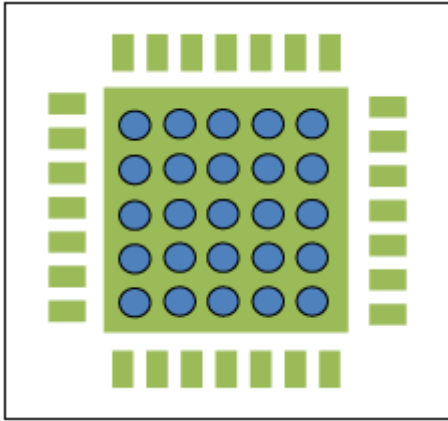


图 13. 在射频 IC 正下方的中间接区域上安放 5 × 5 过孔阵列。

## 多轨电源设计中电路板布局的细节

紧迫的时间表有时会让工程师忽略除了 VIN、VOUT 和负载要求等以外的其他关键细节，将 PCB 应用的电源设计放在事后再添加。遗憾的是，后续生产 PCB 时，之前忽略的这些细节会成为难以诊断的问题。例如，在经过漫长的调试过程后，设计人员发现电路会随机出现故障，比如，因为开关噪声，导致随机故障的来源则很难追查。

此专题分两部分讨论，本文是第一部分，主要介绍在设计多轨电源时可能会忽略的一些问题。第一部分着重介绍策略和拓扑，第二部分重点讨论功率预算和电路板布局的细节，以及一些设计技巧。许多应用电路板都使用电源来偏置多个逻辑电平，本系列文章将探讨多电源电路板解决方案。旨在实现首次即正确的设计拓扑或策略。

### 第一部分：策略

对于特定的电源设计，可能有多种可行的解决方案。在下面的示例中，我们将介绍多种选择，例如单芯片电源与多电压轨集成电路(IC)。我们将评估成本和性能取舍。探讨低压差(LDO)稳压器与开关稳压器（一般称为降压或升压稳压器）之间的权衡考量。还将介绍混合方法（即 LDO 稳压器和降压稳压器的混合与匹配），包括电压输入至输出控制(VIOC)稳压器解决方案。

在本文中，我们将分析开关噪声，以及在开关电源设计无法充分滤波时，PCB 电路会受哪些影响。从总体设计角度来看，还需考虑成本、性能、实施和效率等因素。

例如，如何根据给定的一个或多个电源实现多电源拓扑优化设计？我们将藉此深入探讨设计、IC 接口技术、电压阈值电平，以及哪类稳压器噪声会影响电路。我们将分析一些基本逻辑电平，例如 5V、3.3V、2.5V 和 1.8V 晶体管-晶体管逻辑(TTL)、互补金属氧化物半导体(CMOS)，及其各自的阈值要求。

本文还会提及正发射极耦合逻辑(PECL)、低压 PECL (LVPECL)和电流模式逻辑(CML)等先进逻辑，但不会详细介绍。这些都是超高速接口，对于它们来说，低噪声电平非常重要。设计人员需要知道如何避免信号摆幅引起的这些问题。

在电源设计中，成本和性能要求并存，所以设计人员必须仔细考虑逻辑电平和对于净电源的要求。在公差和噪声方面，通过设计实现可靠性并提供适当裕量，也可以避免生产问题。

设计人员需要了解与电源设计相关的权衡考量：哪些可实现？哪些可接受？如果设计达不到要求的性能，那么设计人员必须重新审视选项和成本，以满足规格要求。例如，多轨器件（例如 [ADP5054](#)）可以在保持成本高效的同时提供所需的性能优势。

## 典型设计示例

我们先来举个设计示例。图 1 显示将 12V 和 3.3V 输入电源作为主电源的电路板框图。主电源必须降压，以便针对 PCB 应用产生 5V、2.5V、1.8V，甚至 3.3V 电压。如果外部 3.3V 电源能够提供足够的电源和低噪声，那么可以直接使用 3.3V 输入电轨，无需额外调节，以免产生额外成本。如果不能，则可以使用 12V 输入电轨，通过降压至 PCB 应用所需的 3.3V 来满足电源要求。



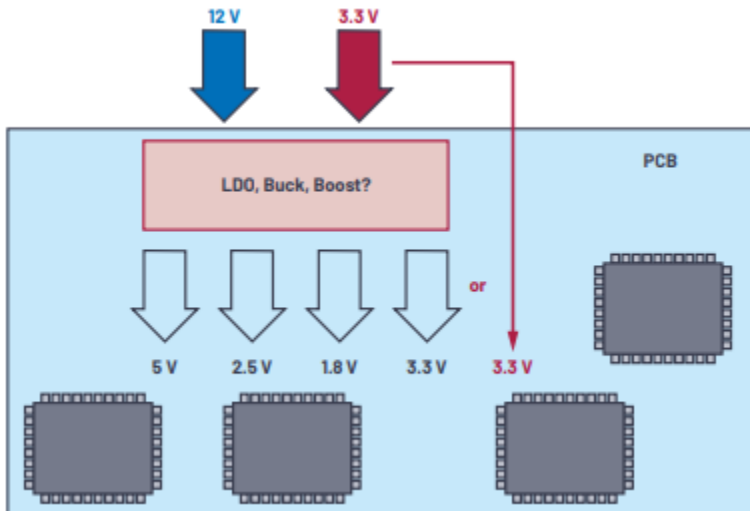


图 1. 需要多轨电源解决方案的应用电路板概览。

逻辑接口概述 PCB 一般使用多个电源。IC 可能仅使用 5V 电源；或者，它可能要求多个电源，输入/输入接口使用 5V 和 3.3V，内部逻辑使用 2.5V，低功耗休眠方式使用 1.8V。低功耗模式可能始终开启，用于定时器功能、管理等逻辑，或用于中断时启用唤醒模式，或者用于 IRQ 引脚，以启用 IC 功能并为其供电，也就是 5V、3.3V 和 2.5V 电源。所有这些或其中部分逻辑接口通常都在 IC 内部。

图 2 显示了标准逻辑接口电平，包括各种 TTL 和 CMOS 阈值逻辑电平，以及它们可接受的输入和输出电压逻辑定义。在本文中，我们将讨论何时将输入逻辑驱动至低电平（用输入电压低(VIL)表示），何时驱动至高电平（用输入逻辑电平高(VIH)表示）。我们将重点分析 VIH，即图 2 中标记为“Avoid”的阈值不确定区域。

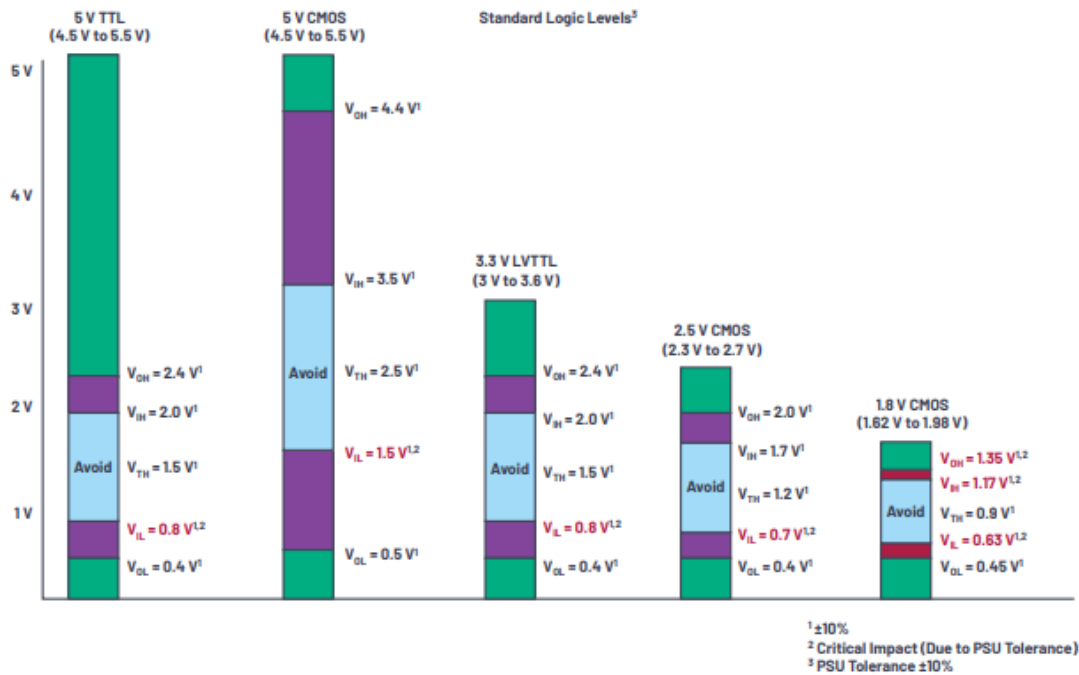


图 2. 标准逻辑接口电平。

在所有情况下，必须考虑 ±10% 的电源公差。图 3 显示了高速差分信号。本文将着重探讨图 2 所示的标准逻辑电平。

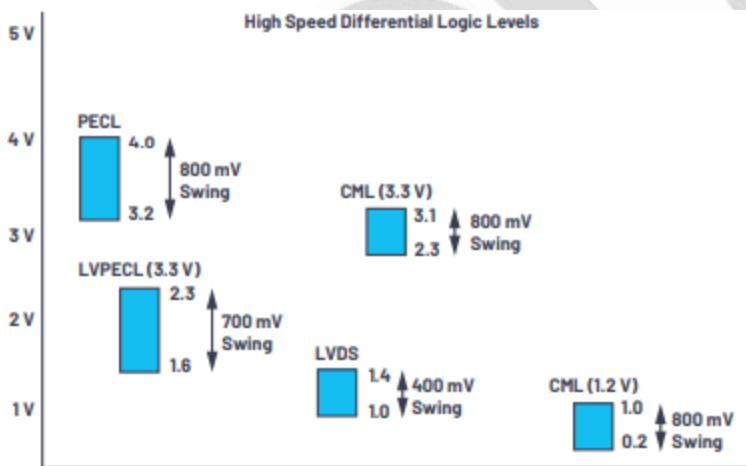


图 3. 高速差分逻辑接口电平。

## 开关噪声

未经过充分滤波时，开关稳压器降压或升压电源设计可能产生几十毫伏至几百毫伏的开关噪声，尖峰可能达到 400mV 至 600mV。所以，了解开关噪声是否会给使用的逻辑电

平和接口造成问题非常重要。安全裕度为确保提供合适的安全裕度，实现可靠的 PSU，一条设计经验法则是采用最糟糕情况下的-10%公差。例如，对于 5V TTL，0.8V 的  $V_{IL}$  变成 0.72V，对于 1.8V CMOS，0.63V 的  $V_{IL}$  变成 0.57V，阈值电压( $V_{TH}$ )也相应降低 (5V TTL  $V_{TH}=1.35V$ ，1.8V CMOS  $V_{TH}=0.81V$ )。开关噪声( $V_{NS}$ )可能为几十毫伏到几百毫伏。此外，逻辑电路本身也会产生信号噪声( $V_N$ )，即干扰噪声。总噪声电压( $V_{TN}=V_N+V_{NS}$ )可能在 100mV 至 800mV 之间。将  $V_{TN}$  添加至标称信号中，以生成总信号电压( $V_{TSIG}$ )；实际的总信号 ( $V_{TSIG}=V_{SIG}+V_{TN}$ )会影响阈值电压( $V_{TH}$ )，进一步扩大了 avoid 区域。 $V_{TH}$  区域内的信号电平是不确定的，在该区域内，逻辑电路可以任意随机翻转；例如，在最糟糕的情形下，会错误触发逻辑 1，而不是逻辑 0。

## 多轨 PSU 注意事项和提示

通过了解接口输入和 IC 内部逻辑的阈值电平，我们现在知道哪些电平会触发正确的逻辑电平，哪些会（意外）触发错误的逻辑电平。问题在于：要满足这些阈值，电源的噪声性能需要达到什么水平？低压差线性稳压器噪声很低，但在高压降比下却并不一定高效。开关稳压器可以有效降压，但会产生一些噪声。高效低噪的电源系统应包含这两种电源的组合。本文着重介绍各种组合，包括在开关稳压器后接 LDO 稳压器的混合方法。

### （在需要时）最大化效率和最小化噪声的方法

从图 1 所示的设计示例可以看出，为了充分提高 5V 稳压的效率并尽可能降低开关噪声，需要分接 12V 电路并使用降压稳压器，例如 [ADP2386](#)。从标准逻辑接口电平来看，5V TTL  $V_{IL}$  和 5V CMOS  $V_{IL}$  分别是 0.8V 和 1.5V，仅使用开关稳压器时，也具备适当的裕度。对于这些电轨，通过使用降压拓扑可实现效率最大化，而开关噪声则低于采用 5V (TTL 和 CMOS) 技术时的  $V_{IL}$ 。通过使用降压稳压器（例如图 4a 所示的 [ADP2386](#) 配置），效率可以高达 95%，如 [ADP2386](#) 的典型电路和效率曲线图所示（见图 4b）。如果在此设计中使用噪声较低的 LDO 稳压器，从  $V_{IN}$  到  $V_{OUT}$  的 7V 压降会导致消耗大量内部功率，

一般表现为产生热量和损失效率。为了以少量额外成本实现可靠设计，在降压稳压器后接 LDO 稳压器来产生 5V 电压也是一项额外优势。

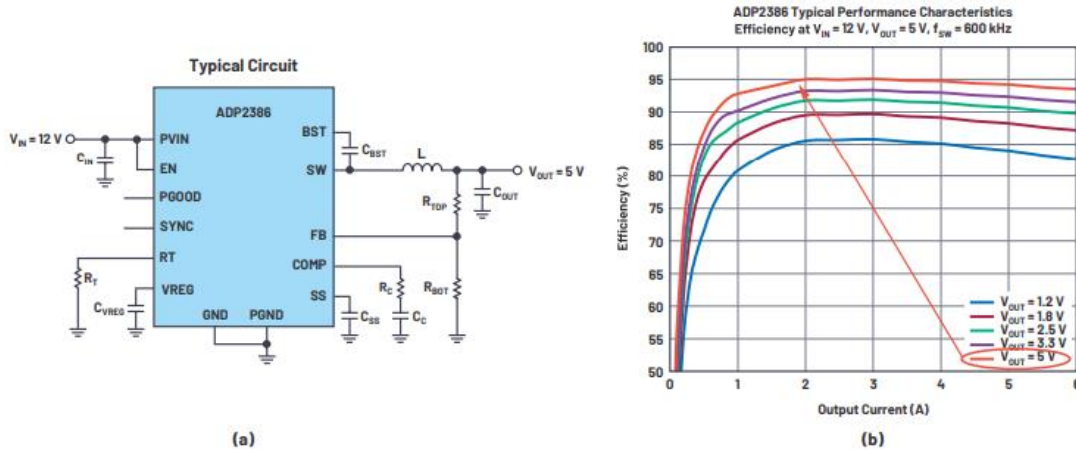


图 4. [ADP2386](#) 的(a)典型电路和(b)效率曲线图。

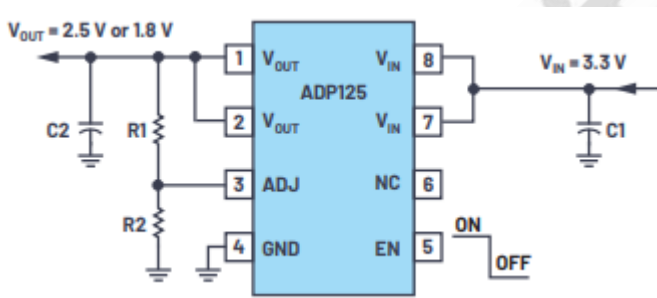


图 5. 典型的 [ADP125](#) 应用。

2.5V 和 1.8V CMOS 的  $V_{IL}$  分别是 0.7V 和 0.63V。遗憾的是，此逻辑电平的安全裕度尚不足以避免开关噪声。要解决此问题，有两种方案可选。

- 第一种：如果图 1 所示的外部 3.3V 电源具备足够功率且噪声极低，则分接这个外部 3.3V 电源，并使用线性稳压器（LDO 稳压器），例如 [ADP125](#)（图 5）或 [ADP1740](#) 来获得 2.5V 和 1.8V 电源。注意，从 3.3V 到 1.8V 有 1.5V 压降。如果此压降会导致问题，则可以使用混合方法。
- 第二种：如果外部 3.3V 电源的噪声不低，或不能提供足够功率，则分接 12V 电源，通过降压稳压器后接 LDO 稳压器来产生 3.3V、2.5V 和 1.8V 电源；混合方法如图 6

所示。

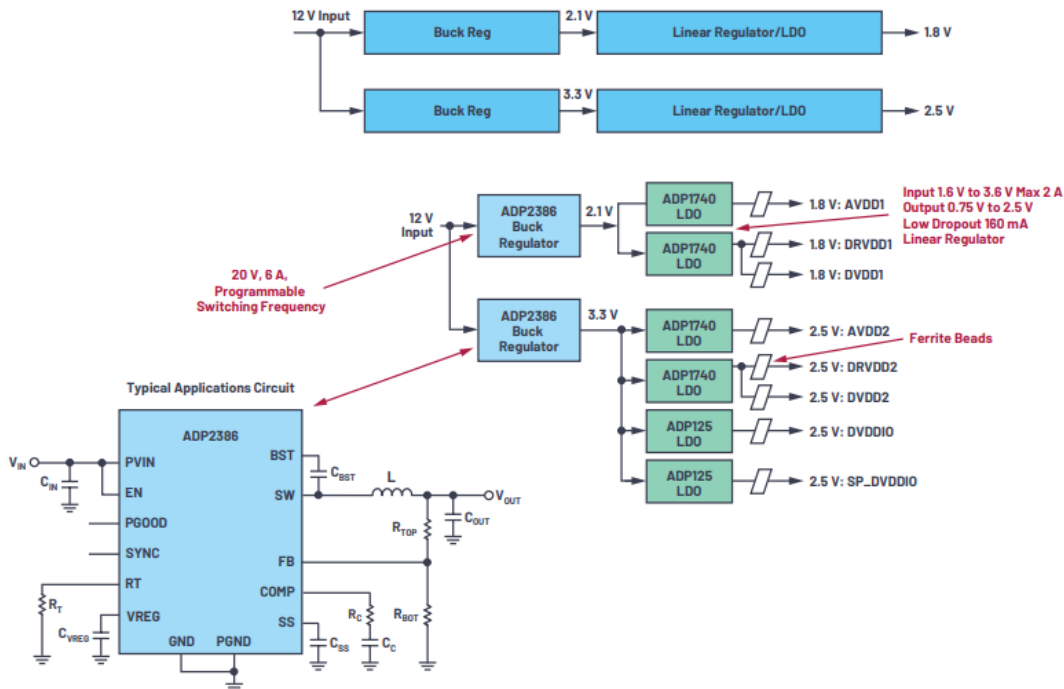


图 6. 使用 [ADP2386](#) 和 [ADP1740](#) 组合的混合拓扑。

加入 LDO 稳压器会稍微增加成本和板面积以及少量散热，但要实现安全裕度，有必要作出这些取舍。使用 LDO 稳压器会小幅降低效率，但可以通过保持  $V_{IN}$  至  $V_{OUT}$  的少量压降，使这种效率降幅达到最低：3.3V 至 2.5V，保持 0.8V，或 3.3V 至 1.8V，保持 1.5V。可以使用带  $V_{IOC}$  功能的稳压器尽可能提高效率和瞬变性能。 $V_{IOC}$  可以调节上游开关稳压器的输出，从而在 LDO 稳压器两端保持合理的压降。带  $V_{IOC}$  功能的稳压器包括 [LT3045](#)、[LT3042](#) 和 [LT3070-1](#)。

[LT3070-1](#) 是一款 5A、低噪声、可编程输出、85mV 低压差线性稳压器。如果必须使用 LDO 稳压器，则存在散热问题，其中功耗= $V_{DROP} \times I$ 。例如，[LT3070-1](#) 支持 3A，稳压器两端的功率降幅（或功耗）典型值为  $3A \times 85mV=255mW$ 。相比压差为 400mV，输出电流同样为 3A，功耗为 1.2W 的一些典型 LDO 稳压器，[LT3070-1](#) 的功耗仅为其五分之一。或者，我们可以使用混合方法，以牺牲成本为代价来提高效率。图 6 中效率和性能均得到优化，其中先使用降压稳压器([ADP2386](#))将电压降至允许的最低电压，尽量提高效率，



后接一个 LDO 稳压器([ADP1740](#))。

此练习提供一个通用设计示例，用于显示一些拓扑和技术。但是，也不能忘记考虑其他因素，例如 IMAX、成本、封装、压降等。

也提供低噪声降压和升压稳压器选项，例如 [Silent Switcher®](#) 稳压器，它具备极低的噪声和低 EMI。例如，从性能、封装、尺寸和布局区域来看，[LT8650S](#) 和 [LTC3310S](#) 具有成本高效特性。

### 封装、功率、成本、效率和性能取舍

量产 PCB 设计通常要求使用紧凑的多轨电源，以实现高功率、高效率、出色的性能和低噪声。例如，[ADP5054](#) 四通道降压稳压器为 FPGA 等应用提供高功率(17A)单芯片多轨电源解决方案，如图 7 所示。整个电源解决方案约 41mm × 20mm 大小。[ADP5054](#) 本身的大小仅为 7mm × 7mm，可以提供 17A 总电流。要在紧凑空间内实现极高的功率电平，可以考虑使用 [ADI 的 μModule®](#) 稳压器，例如 [LTM4700](#)，可以在 15mm × 22mm 的封装大小内提供高达 100A 电流。

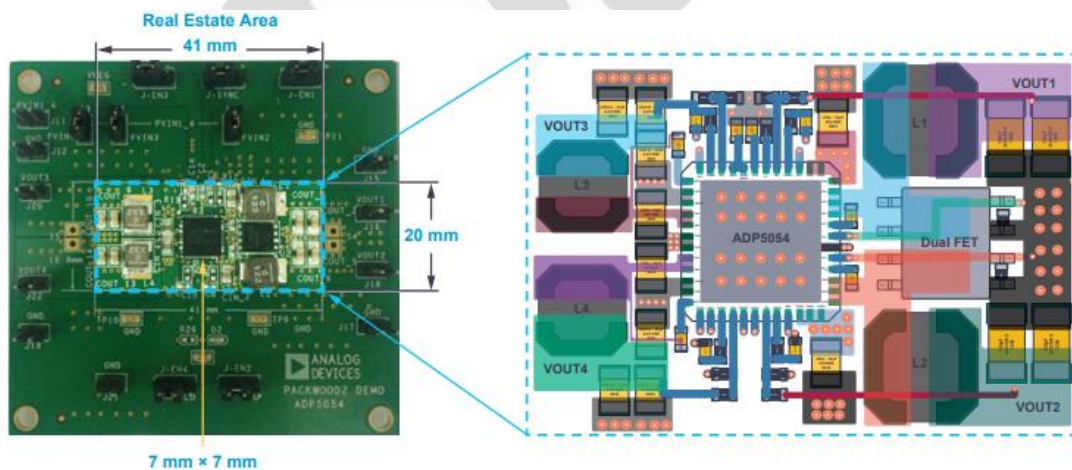


图 7. 适合 FPGA 应用的 [ADP5054](#) 单芯片多轨电源解决方案。

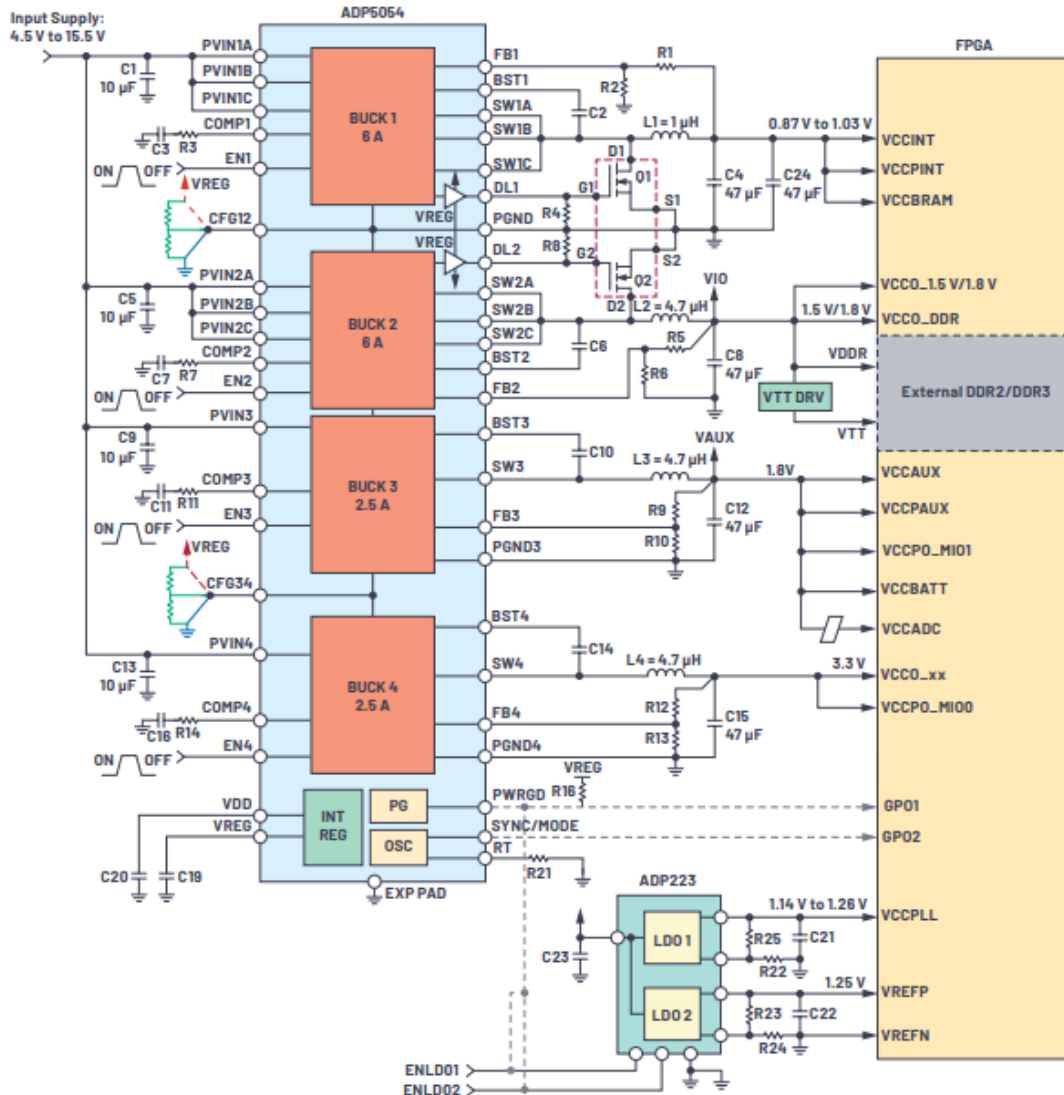


图 8. [ADP5054](#) 原理图。

## 第 2 部分：布局技巧

电源设计可以分为三个阶段：(a)设计策略和 IC 选择，(b)原理图设计、仿真和测试，以及(c)器件布局和布线。在(a)设计和(b)仿真阶段投入时间可以证明设计概念的有效性，但真正测试时，需要将所有一切组合在一起，在测试台上测试。在本文中，我们将直接跳到步骤(c)，因为目前已有大量资料介绍 ADI 的模拟和设计电源工具，都可免费下载，例如 [LTpowerPlanner®](#)、[LTpowerCad®](#)、[LTspice®](#)和 [LTpowerPlay®](#)。

本部分主要介绍在设计多轨电源时可能会忽略的一些问题。第一部分着重介绍策略和拓

扑，本文则重点讨论功率预算和电路板布局的细节。由于许多应用电路板需要多个电源轨道，所以这个分两部分介绍的专题详细介绍多电源电路板解决方案。目标是通过合理的器件定位和路由来实现高质量的初始设计，以重点突出一些功率预算和路由技巧。

在电源设计中，精心的布局和布线对于能否实现出色设计至关重要，要为尺寸、精度、效率留出足够空间，以避免在生产中出现问题。我们可以利用多年的测试经验，以及布局工程师具备的专业知识，最终完成电路板生产。

## 精心的设计的效率

设计从图纸上看起来可能毫无问题（也就是说，从原理图角度），甚至在模拟期间也没有任何问题，但真正的测试其实是在布局、PCB 制造，以及通过载入电路实施原型制作应力测试之后。这部分使用真实的设计示例，介绍一些技巧来帮助避开陷阱。我们将介绍几个重要概念，以帮助避开设计缺陷和其他陷阱，以免未来需要重新设计和/或重新制作 PCB。图 1 显示在没有进行细致测试和余量分析的情况下，在设计进入生产之后会如何造成成本急速上涨。

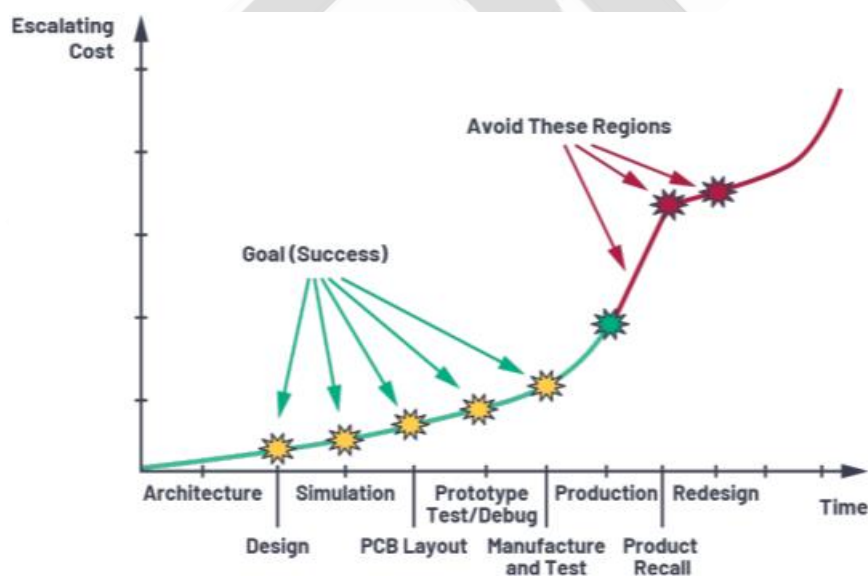


图 1. 生产的电路板出现问题时，成本可能急速上涨。

## 功率预算

您需要注意在正常情况下按预期运行，但在全速模式或不稳定数据开始出现时（已排除噪声和干扰之后）不能按预期运行的系统。

退出级联阶段时，要避免限流情况。图 2 所示为一个典型的级联应用：(A)显示由产生 3.3V 电源，电流最大 500mA 的 [ADP5304](#) 降压稳压器(PSU1)构成的设计。为了提高效率，设计人员应分接 3.3V 电轨，而不是 5V 输入电源。3.3V 输出被进一步切断，以为 PSU2 ([LT1965](#))供电，这款 LDO 稳压器用于进一步将电压降低至 2.5V，且按照板载 2.5V 电路和 IC 的要求，将最大输出电流限制在 1.1A。

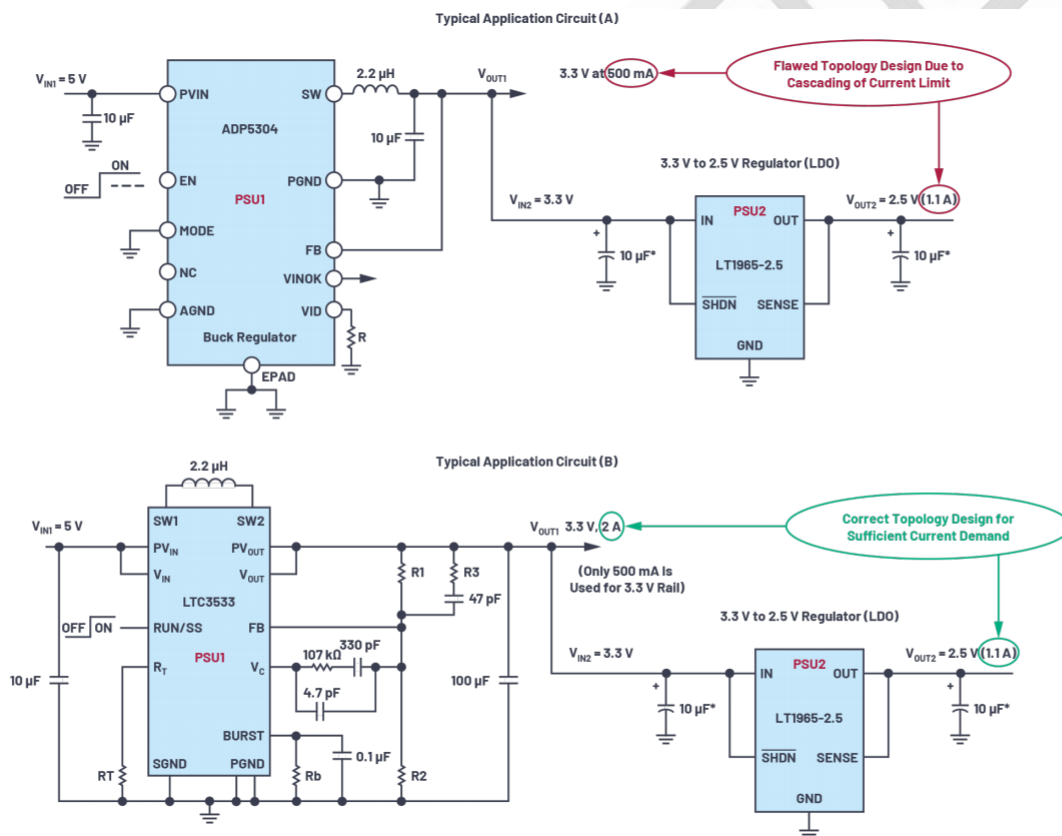


图 2. 避开电力树中的限流设计缺陷。

这种系统存在一些很典型的隐藏问题。它在正常情况下能够正常运行。但是，当系统初始化并开始全速运行时——例如，当微处理器和/或 ADC 开始高速采样时——问题就出



现了。由于没有稳压器能在输出端生成高于输入端的电压，在图 2a 中，用于为合并电路  $V_{OUT1}$  和  $V_{OUT2}$  供电的  $V_{OUT1}$  最大功率( $P=V \times I$ )为  $3.3V \times 0.5A=1.65W$ 。得出此数值的前提是效率为 100%，但是因为供电过程中会出现损耗，所以实际功率要低于该数值。假定 2.5V 电源轨道的最大可用功率为 2.75W。如果电路试图获取这么多的功率，但这种要求得不到满足，就会在 PSU1 开始限流时出现不规律行为。电流可能由于 PSU1 而开始限流，更糟的是，有些控制器因过流完全关断。

如果图 2a 是在成功排除故障后实施，则可能需要更高功率的控制器。最理想的情况是使用与引脚兼容、电流更高的器件进行替换；最糟糕的情况下，则需要完全重新设计和制造 PCB。如果能在概念设计阶段开始之前考虑功率预算，则可以避免潜在的项目计划延迟（参见图 1）。

在考虑这一点的情况下，先创建真实的功率预算，然后选择控制器。包括您所需的所有电源电轨：2.5V、3.3V、5V 等。包括所有会消耗每个电轨功率的上拉电阻、离散器件和 IC。使用这些值反向工作，以如图 2b 所示，估算您需要的电源。使用电力树系统设计工具，例如 [LTpowerPlanner](#)（图 3）来轻松创建支持所需的功率预算的电力树。

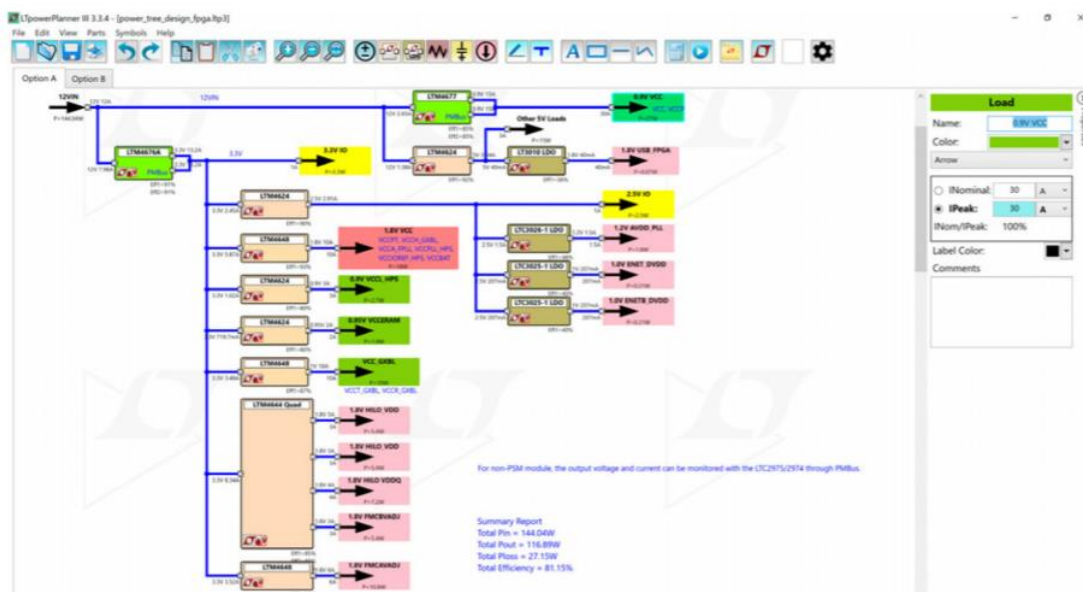


图 3. [LTpowerPlanner](#) 电源树。



## 布局和布线

正确的布局和布线可以避免因错误的走线宽度、错误的通孔、引脚（连接器）数量不足、错误的接触点大小等导致轨道被烧毁，进而引发电流限制。下面章节介绍了一些值得注意的地方，也提供几个 PCB 设计技巧。

### • 连接器和引脚接头

将图 2 中所示的示例的总电流扩展至 17A，那么设计人员必须考虑引脚的电流处理接触能力，如图 4 所示。一般来说，引脚或接触点的载流能力受几个因素影响，例如引脚的大小（接触面积）、金属成分等。直径为 1.1mm 的典型过孔凸式连接引脚的电流约为 3A。如果需要 17A，那么应确保您的设计具有足够多的引脚，足以处理总体的载流容量。这可以通过增大每个导体（或触点）的载流能力来轻松实现，并保留一些安全裕度，使其载流能力超过 PCB 电路的总电流消耗。

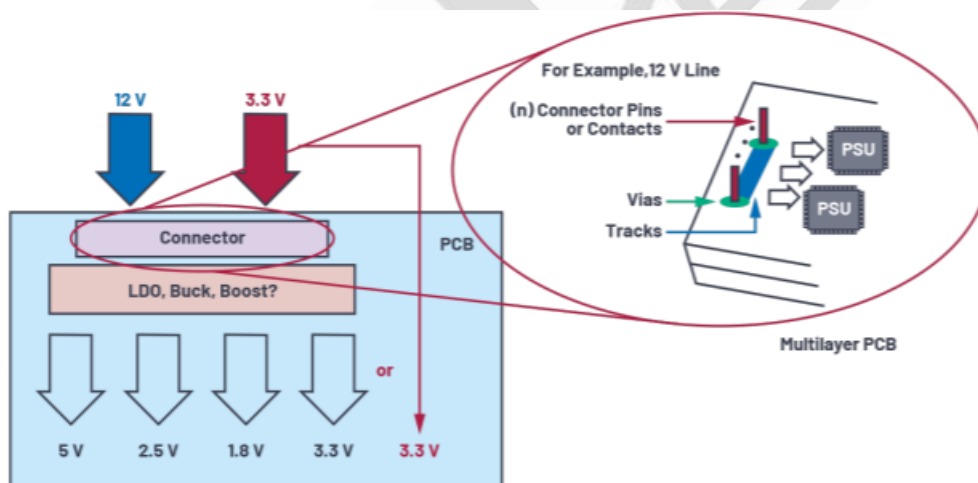


图 4. 物理接触和电流处理能力。

在本例中，要实现 17A 需要 6 个引脚（且具备 1A 余量）。VCC 和 GND 一共需要 12 个引脚。要减少触点个数，可以考虑使用电源插座或更大的触点。

## • 布线

使用可用的线上 PCB 工具来帮助确定布局的电流能力。一盎司电轨宽度为 1.27mm 的铜质 PCB 的载流能力约为 3A，电轨宽度为 3mm 时，载流能力约为 5A。还要留出一些余量，所以 20A 的电轨的宽度需要达到 19mm（约 20mm）（请注意，本例未考虑温度升高带来的影响）。从图 4 可以看出，因为受 PSU 和系统电路的空间限制，无法实现 20mm 电轨宽度。要解决这个问题，一个简单的解决方案是使用多层 PCB。将布线宽度降低到（例如）3mm，并将这些布线复制到 PCB 中的所有层上，以确保（所有层中的）布线的总和能够达到至少 20A 的载流能力。

## • 过孔和连接

图 5 显示一个过孔示例，该过孔正在连接控制器的 PCB 的多个电源层。如果您选择 1A 过孔，但需要 2A 电流，那么电轨宽度必须能够携带 2A 的电流，且过孔连接也要能够处理这个电流。图 5 所示的示例至少需要两个过孔（如果空间允许，最好是三个），用于将电流连接至电源层。这个问题经常被忽略，一般只使用一个过孔来进行连接。连接完成后，这个过孔会作为保险丝使用，它会熔断，并断开与相邻层的电源连接。设计不良的过孔后期很难改善和解决，因为熔断的过孔很难注意到，或者被其他器件遮住。

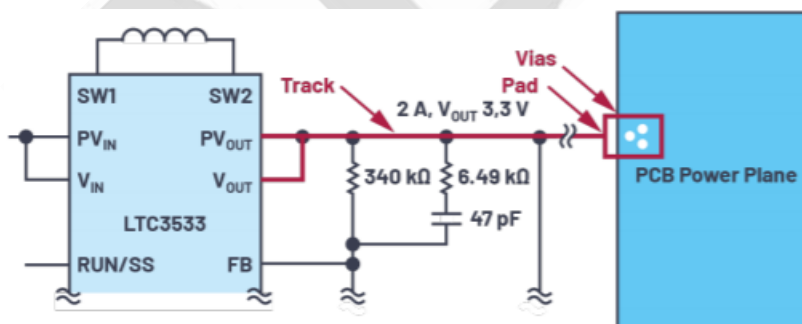


图 5. 过孔连接。

请注意关于过孔和 PCB 电轨的下列参数：电轨宽度、过孔尺寸和电气参数受几个因素影响，例如 PCB 涂层、路由层、工作温度等，这些因素最终会影响载流能力。以前的

PCB 设计技巧没有考虑这些依赖关系，但是，设计人员在确定布局参数时，需要注意到这些。目前许多 PCB 电轨/过孔计算器都可在线使用。设计人员在完成原理图设计后，最好向 PCB 制造商或布局工程师咨询这些细节。

## 避免过热

有许多因素会导致生热，例如外壳、气流等，但本节主要讲述外露的焊盘。带有外露焊盘的控制 IC，例如 [LTC3533](#)、[ADP5304](#)、[ADP2386](#)、[ADP5054](#) 等，如果正确连接至电路板，其热阻会更低。一般来说，如果控制 IC 的功率 MOSFET 是置于裸片之中（即是整片式的），该 IC 的焊盘通常外露，以便散热。如果转换器 IC 使用外部功率 MOSFET 运行（为控制 IC），那么控制 IC 通常不需要使用外露焊盘，因为它的主要制热源（功率 MOSFET）本身就在 IC 外部。

通常，这些外露的焊盘必须焊接到 PCB 接地板上才有效。根据 IC 的不同，也有一些例外，有些控制器会指明，它们可以连接至隔离的焊盘 PCB 区域，以作为散热器进行散热。如果不确定，请参阅有关部件的数据表。

当您将外露的焊盘连接到 PCB 平面或隔离区域时，(a)确保将这些孔（许多排成阵列）连接到地平面以进行散热（热传递）。对于多层 PCB 接地层，建议利用过孔将焊盘下方所有层上的接地层连在一起。如需更多信息，请参阅技术文章 [《散热设计基础》](#)、[《非隔离开关电源的 PCB 布局考量》](#) 以及 [《电源布局和 EMI》](#)。

请注意，关于外露焊盘的讨论是与控制器相关。在其他 IC 中使用外露焊盘可能需要使用极为不同的处理方法。如需了解更多与使用外露焊盘相关的讨论，请访问 [EngineerZone®](#)。

## 结论与汇总

要设计低噪声、不会因为电轨或过孔烧毁而影响系统电路的电源，从成本、效率、效率

和 PCB 面积大小各方面来说都是一项挑战。本文强调了一些设计人员可能会忽略的地方，例如使用功率预算分析来构建电力树，以支持所有的后端负载。原理图和模拟只是设计的第一步，之后是谨慎的器件定位和路由技术。过孔、电轨和载流能力都必须符合要求，并接受评估。如果接口位置存在开关噪声，或者开关噪声到达 IC 的功率引脚，那么系统电路会失常，且难以隔离并排除故障。

## 开关模式电源电路板布局的黄金法则

本文介绍有关实现优化电路板布局的基础知识，在设计开关模式电源时，优化电路板布局是一个重要方面。合理布局可以确保开关稳压器保持稳定工作，并尽可能降低辐射干扰和传导干扰(EMI)。这一点电子开发人员都很清楚。但是，大家并不知道，开关模式电源的优化电路板布局应该是什么样子的。

图 1 所示为 [LT8640S](#) 评估板电路。这是一个降压开关稳压器，支持高达 42V 的输入电压，可提供高达 6A 的输出电流。所有元件都紧密排列在一起。一般建议将元件尽可能紧密地排列在电路板上。这种说法并无错处，但是，如果目标是获得优化电路板布局，可能就未必合适。在图 1 中，开关稳压器 IC 周围有数个 (11 个) 无源元件。在部署这些无源元件时，哪些元件应该优先部署？为什么呢？

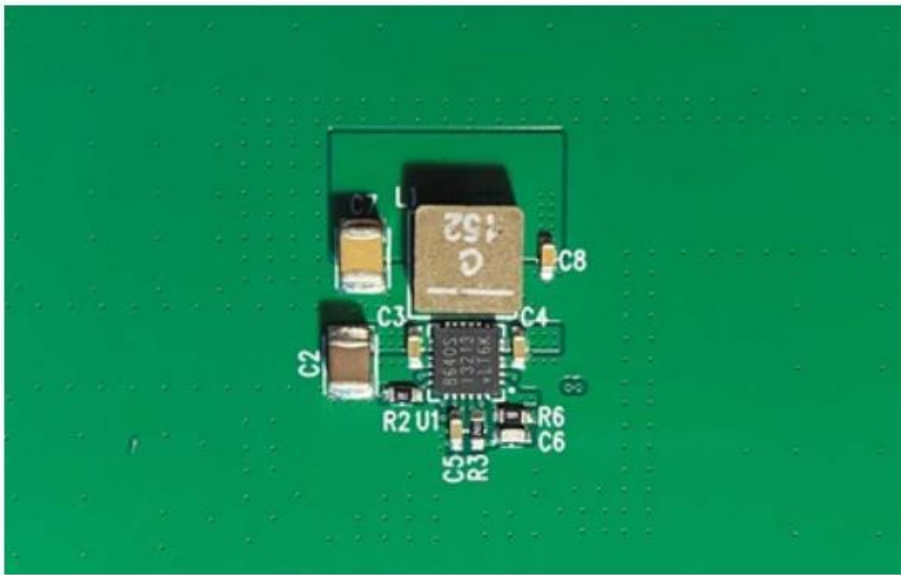


图 1. [LT8640S](#) 开关稳压器的电路板，元件布局紧密，所以电路板布局非常紧凑。

在开关稳压器 PCB 设计中，最重要的原则是：传输高开关电流的走线越短越好。如果能够成功实践这一原则，开关稳压器电路板的很大部分都能合理布局。

如何在电路板布局中轻松实现这条黄金法则呢？第一步，找出开关稳压器拓扑中的关键路径。在这些关键路径中，电流会随开关切换而变化。图 2 显示降压型转换器（降压拓扑）的典型电路。关键路径以红色显示。这些连接线路可能传输满电流，也可能不传输电流，具体取决于电源开关的状态。这些路径越短越好。在降压型转换器中，输入电容应尽可能靠近开关稳压器 IC 的  $V_{IN}$  引脚和 GND 引脚。

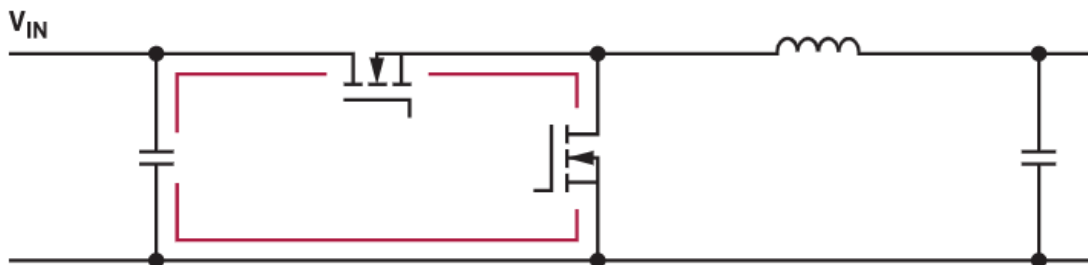


图 2. 降压型开关稳压器的原理图，其中电流快速变化的路径以红色显示。

图 3 显示升压拓扑电路的基本原理图。该电路将低压转换为更高电压。同样，电流会随



电源开关切换而变化的电流路径以红色显示。需要注意一点，输入电容的布局位置根本不重要。输出电容的布局位置才更为关键。它必须尽可能靠近反激二极管(或高侧开关)以及低侧开关的接地连接。

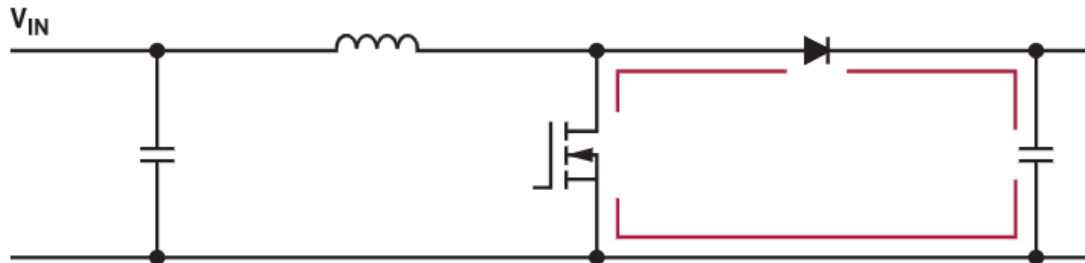


图 3. 升压型开关稳压器的原理图，其中电流快速变化的路径以红色显示。

然后，可以检测其他任意开关稳压器拓扑，以了解在切换电源开关时，电流如何变化。传统方法一般是打印出电路，然后用三种不同颜色的彩笔画出电流路径。用第一种颜色标出导通期间的电流路径，也就是，电源开关开启时的电流路径。用第二种颜色标出关断期间的电流路径，也就是，电源开关关闭时的电流路径。最后，用第三种颜色标出前面仅以第一种颜色和仅以第二种颜色标记过的所有电流路径。通过这种方式，就可以清晰地看出电流会随电源开关切换而变化的关键路径。

对于经验不足的电路设计人员而言，开关稳压器的电路板布局就像是一种黑魔法。其核心法则就是在设计电流会随开关切换变化的走线路径时，应尽可能短，尽可能紧凑。这解释起来很简单，很符合逻辑关系，也是开关模式电源设计中实现优化电路板布局的基础。

## 关于在开关模式电源印刷电路板上 放置电感的指南

线圈应该放在哪里？

用于电压转换的开关稳压器使用电感来临时存储能量。这些电感的尺寸通常非常大，必须在开关稳压器的印刷电路板(PCB)布局中为其安排位置。这项任务并不难，因为通过电感的电流可能会变化，但并非瞬间变化。变化只可能是连续的，通常相对缓慢。

开关稳压器在两个不同路径之间来回切换电流。这种切换非常快，具体切换速度取决于切换边缘的持续时间。开关电流流经的走线称为热回路或交流电流路径，其在一个开关状态下传导电流，在另一个开关状态下不传导电流。在 PCB 布局中，应使热回路面积小且路径短，以便较大限度地减小这些走线中的寄生电感。寄生走线电感会产生无用的电压失调并导致电磁干扰(EMI)。

图 1 所示为一个降压调节器，其中关键热回路显示为虚线。可以看出，线圈 L1 不是热回路的一部分。因此，可以假设该电感器的放置位置并不重要。使电感器位于热回路以外是正确的——因此在第一个实例中，安放位置是次要的。不过，应该遵循一些规则。

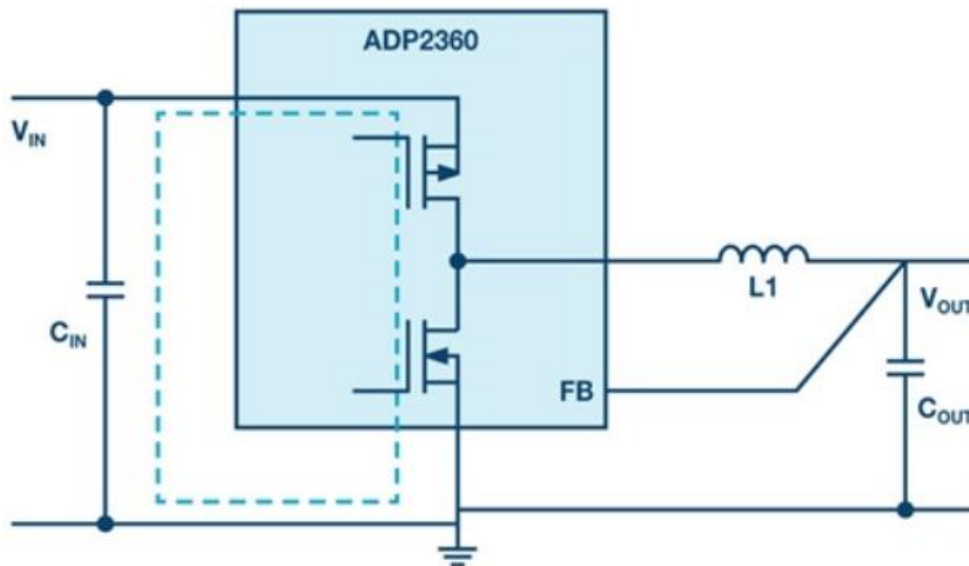


图 1. 用于降压转换的开关稳压器（带如虚线所示的关键热回路）。

不得在电感下方（PCB 表面或下方都不行）、在内层里或 PCB 背面布设敏感的控制走线。受电流流动的影响，线圈会产生磁场，结果会影响信号路径中的微弱信号。在开关稳压器中，一个关键信号路径是反馈路径，其将输出电压连接到开关稳压器 IC 或电阻

分压器。

还应注意，实际线圈既有电容效应，也有电感效应。第一个线圈绕组直接连接到降压开关稳压器的开关节点，如图 1 所示。结果，线圈里的电压变化与开关节点处的电压一样强烈而迅速。由于电路中的开关时间非常短且输入电压很高，PCB 上的其他路径上会产生相当大的耦合效应。因此，敏感的走线应该远离线圈。

图 2 所示为 [ADP2360](#) 的示例布局。在本图中，图 1 中的重要热回路标为绿色。从图中可见，黄色反馈路径离线圈 L1 有一定距离。它位于 PCB 的内层。

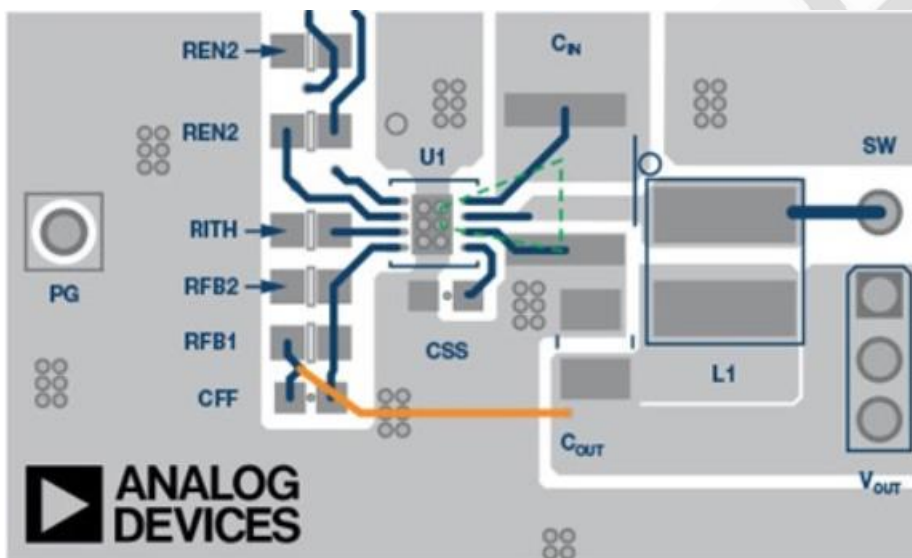


图 2. 带有线圈安放位置的 [ADP2360](#) 降压转换器的示例电路。

一些电路设计者甚至不希望线圈下的 PCB 中有任何铜层。例如，它们会在电感下方提供切口，即使在接地平面层中也是如此。其目标是防止线圈下方接地平面因线圈磁场形成涡流。这种方法没有错，但也有争论认为，接地平面要保持一致，不应中断：

- 用于屏蔽的接地平面在不中断时效果优质。
- PCB 的铜越多，散热越好。
- 即使产生涡流，这些电流也只能局部流动，只会造成很小的损耗，并且几乎不会影响接地平面的功能。

因此，我同意接地平面层，甚至是线圈下方，也应保持完整的观点。

总之，我们可以得出结论，虽然开关稳压器的线圈不是临界热回路的一部分，但不在线圈下方或靠近线圈处布敏感的控制走线却是明智的。PCB 上的各种平面——例如，接地平面或 VDD 平面（电源电压）——可以连续构造，无需切口。

## 在密集 PCB 布局中最大限度降低多个 isoPower 器件的辐射

集成隔离电源 isoPower®的 iCoupler®数字隔离器采用隔离式 DC-DC 转换器，能够在 125MHz 至 200MHz 的频率范围内切换相对较大的电流。在这些高频率下工作可能会增加对电磁辐射和传导噪声的担心。ADI 公司的应用笔记 [《isoPower 器件的辐射控制建议》](#) 提供了最大限度降低辐射的电路和布局指南。实践证明，通过电路优化（降低负载电流和电源电压）和使用跨隔离栅拼接电容（通过 PCB 内层电容实现），可把峰值辐射降低 25dB 以上。

倘若设计中具有多个 isoPower 器件并且布局非常密集，情况又将如何？是否仍然能够明显降低辐射？本文将针对此类情况提供一些一般指导原则。

由于内层拼接电容能够构建低电感结构，因此最具优势。在整体 PCB 区域受限的情况下，采用多层 PCB 就是很好的方式。采用尽可能多的层数切实可行，同时尽可能多的交叠电源层和接地层（参考层）。图 1 为一个堆叠示例。



图 1. PCB 层堆叠示例。

埋层（原边 3、4 层，副边 2 至 5 层）可承载电力和接地电流。跨越隔离栅的交叠（例如原边上的第 4 层 GND 和副边上的第 3 层 V Iso）可形成理想的拼接电容。通过多层 PCB 堆叠可形成多个交叠，从而提高整体电容。为使电容最大，还必须减小参考层之间 PCB 电介质材料的厚度。

另一个布局技巧就是交叠相邻的 isoPower 通道的各层。图 2 显示了一个具有四条相邻通道的示例。



图 2. 具有交叠拼接电容的四个相邻通道。

本示例中，每个输出域与其他域隔离，但是我们仍能利用一些交叠电容。图 3 显示了这种堆叠，可看到每个 isoPower 器件可增加电容以及相邻隔离区连接的情况。

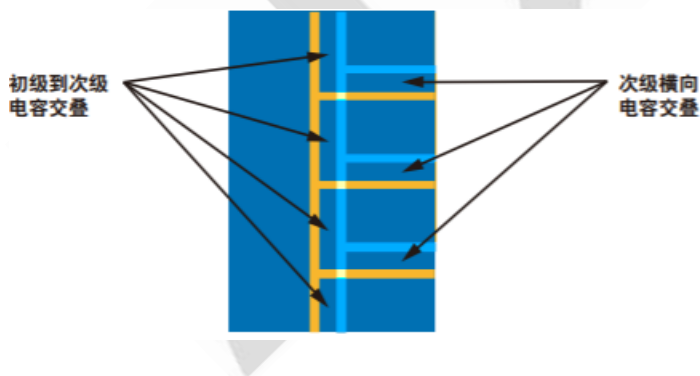


图 3. 具有交叠拼接电容的四个相邻通道。

必须确保内部和外部间隙要求符合最终应用。还可使用铁氧体磁珠在任意电缆连接上提供过滤，从而减少可能产生辐射的天线效应。



## 小结

- 最大程度降低每个通道的电源要求
- 在多个 PCB 层上构建拼接
- 采用尽可能多的 PCB 层切实可行
- 在各参考层间使用最薄的电介质
- 在相邻域之间进行连接
- 确保内部和外部爬电距离仍然符合要求
- 电缆连接上提供过滤

## 开关型调节器的电路板布局技术

本文介绍了开关型调节器的电路板布局的基本原则。尽管本文集中分析的是升压型开关型调节器，但它所包含的原理同样适合其它类型的开关调节器。本文讨论了接地方法、元器件布局、降低噪声辐射以及减少寄生电容和电感的重要性。

当考虑怎样才能最好地为开关电源设计电路板时，最好首先考虑一下它的最终目的，即提供一个特定数值的稳定电压。有经验的设计人员会谨慎考虑电路的接地方法，从而获得稳定的电压。他们知道很难获得完美的接地方案——因为这不仅仅是接地问题，任何接地工作都会直接影响到电路的性能，设计人员还要特别注意各种稳压元件的位置。

## 接地

让没有经验的工程师简单地画三条短线表示接地可能是一个误区，这个符号会给初学者一种错觉，简单认为接地是一种理想情况。如果用一条较长的引线把电路的各种元器件连接到电源或电池的负端，您可能从直觉上意识到这条地线并非理想的接地。这条引线

表明电流通过地层或地线的电阻、电感流回电源，在这个过程中会产生相应的压降。因此，接地回路不会稳定在一个理想的稳压值——即通常所说的 0V。

图 1 所示 boost 转换器说明了考虑接地的重要性，该调节器依靠控制器 IC 内部的基准电压和两个反馈电阻产生特定的输出电压。为了获得正确的反馈从而得到正确的输出电压，电压基准、电阻分压器以及输出电容必须处于同一电位。确切地说，控制器的模拟地引脚（电压基准的地）和电阻分压器的地电位必须与输出电容的地电位相等。输出电容接地端的电压至关重要，因为要求稳压器提供精确电压的负载通常紧靠着输出电容安装——这部分地是反馈电压的参考端。

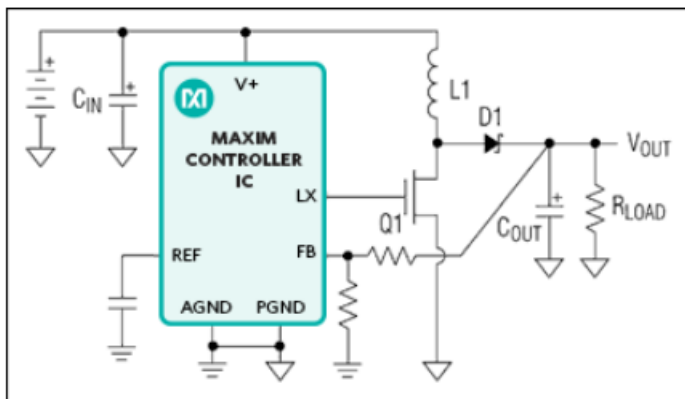


图 1. 升压型开关转换器的电路板布局设计原则同样适用于其它拓扑的开关型调节器。

另一原因是控制器需要精确的电压反馈，为了实现无抖动的开关操作，控制器需要在输出电压出现任何交流干扰时能够产生一个准确的取样，而这个精确的取样是通过反馈网络得到的。

## 元件布局

除了接地方案，合理的布局稳压元件也很重要。例如，控制器内部的电压基准必须通过紧靠 REF 引脚安装的电容旁路；基准电压的噪声会直接影响输出电压。同样，该旁路电容的地端必须连接到低噪声的参考地（与控制器的模拟地以及电阻分压器的地端相连），

远离嘈杂的功率地。这个低噪声参考地和嘈杂的功率地之间的隔离至关重要。

既然嘈杂的功率地和低噪声参考地最终还是要连接到一起，为何还必须将二者隔离呢？为了防止较大的开关电流通过模拟小信号的地回路进入电池或电源，这样的隔离是必需的。一旦出现这种状况，敏感信号的地回路遭到干扰；较大的开关电流流经地回路的电阻、电感，使地回路的电平沿着路径发生变化。

了解嘈杂的功率电路有助于找寻将它与其余电路隔离开的最佳方法。图 2 描述了调节器的功率电路，包括两条电流路径：当 MOSFET 导通时，电流流过输入回路；当 MOSFET 断开时，电流流过输出回路。将这两个环路的元件相互靠近布局，可以把大电流限制在调节器的功率电路部分（远离低噪声元件的地回路）。 $C_{IN}$ 、 $L1$  和  $Q1$  必须相互靠近放置， $C_{IN}$ 、 $L1$ 、 $D1$  和  $C_{OUT}$  也必须相互靠近。图 2 特别指明了这两个环路以及需要靠近安装的元件。

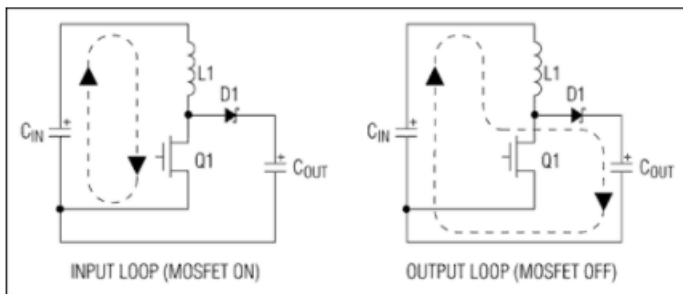


图 2. 在为本图所示的两个电流环路的元件布板时，需要特别谨慎。使用短且宽的引线实现如此密集的布线，可以提高效率，减小振铃，并可避免干扰低噪电路。

实际的电路板布局需要一些折中考虑，特别是在为上述两个大电流环路布局时。如果需要决定将哪些需要就近安装的元件真正地实现就近安装，则需确定每个环路中的哪些元件有不连续的电流流过。就近安装元件可以最大限度地减少寄生电感，而这些具有不连续电流的元件位置对于减少寄生电感非常重要。请参考将寄生电容和寄生电感减至最小。

## 其它考虑事项

不管是采用电池还是电源为升压型开关调节器供电，电源阻抗都不为零。这意味着当调节器从电源汲取快速变化的电流时，电源的电压将发生变化。为了改善这种效应，电路设计人员在靠近上述两个功率环路的位置安装了输入旁路电容（有时使用两个电容：一个陶瓷电容与一个有极性电容并联）。这一举措并非为了保持功率电路的电源稳定——即使电源电压发生变化，功率电路也能很好工作。然而，将旁路电容靠近功率电路安装可以限制大电流注入功率电路，避免对低噪电路的干扰。

干扰是如何产生的呢？有三个途径：首先，如上所述，如果功率电路的接地返回电流流经调节器模拟电路的部分地回路或全部地回路，由于地回路的寄生电阻、电感，该电流将在这部分地通道上产生开关噪声。地回路的噪声会降低稳压输出精度，这个电流还可能干扰同一电路板的其它敏感电路。其次，与地回路类似，电池或电源正端的开关噪声还可能耦合至用同一电源供电的其它元件。包括控制芯片，使基准电压发生抖动。若输入旁路电容两端的电压不稳定，在控制器的电源引脚前加一级 R/C 滤波器有助于稳定其供电电压。最后，交流电流流经的环路面积越大，所产生的磁场也越强，产生干扰的几率也大大增加。将输入旁路电容紧靠功率电路安装可以缩小环路面积，从而降低产生干扰的可能性。

如果输出端的两个分压电阻布局不合理，噪声也会引发其它问题。将这两个电阻靠近控制器的 FB 引脚放置，可以保证得到一个对噪声相对不敏感的电压反馈控制环路。这种布局可以使电阻分压器中点至开关调节器的 FB 引脚的引线最短。这是非常必要的，因为电阻分压器中点和控制器 FB 引脚的内部比较器输入都为高阻抗，连接二者的引线易于耦合（主要通过容性耦合）开关调节器的噪声。当然，必要的话，可以考虑延长电阻分压器与输出端相连的引线，以及电阻分压器与输出电容地端相连的引线，开关型调节器的低输出阻抗可抑制这些引线上的耦合噪声。

## 将寄生电容和寄生电感减至最小

找出图 1 电路中电压发生快速变化的节点,也就找出了需要将寄生电容减至最小的位置,这是因为电容两端的电压不能跃变。在该电路中仅有一个这样的节点,即由功率电感、二极管和 MOSFET 连接形成的节点。开关导通时,该节点的电压接近地电位;开关关闭时,该节点电压攀升至比输出电压高出一个二极管压降的电平。须确保电路板的走线使该节点的寄生电容最小,若寄生电容减缓了该节点的电压瞬变,调节器的效率将受到一定损失。保持该节点较小的尺寸不但有助于减小寄生电容,还可降低 EMI 辐射。不能牺牲布线宽度来缩小该节点的尺寸,相反,应该采用短而宽的走线。

找出具有快速变化电流的分支,也就找到了需要将寄生电感减至最小的支路。电感电流不能发生跃变,当电感电流快速变化时,电感两端的电压将产生毛刺和振铃,从而导致潜在的 EMI 问题。而且,该振铃电压的幅度有可能非常高,以至于损坏电路元件。

图 3 显示了电路的三个支路电流波形,电流  $I_1$  不会产生问题,因为它以相对平缓的方式变化,另外,该支路已经具备了一个大电感,也就是  $L_1$ 。与 MOSFET 串联的寄生电感则会产生问题,因为电流  $I_3$  有突变。该串联电感包括  $I_3$  至  $C_{IN}$  地端返回路径的任何感抗: Q1 引脚的寄生电感以及地回路自身的电感。注意流经  $C_{IN}$  的电流并未跃变,而是和电感电流( $I_1$ )的交流部分相等(电池提供其直流部分)。MOSFET 关闭时,环路的一部分同样有快速变化的电流流过。该电流  $I_2$  流过  $D_1$  和  $C_{OUT}$  以及地回路的覆铜部分,因此,这些元件和地回路的寄生电感必须减至最小。



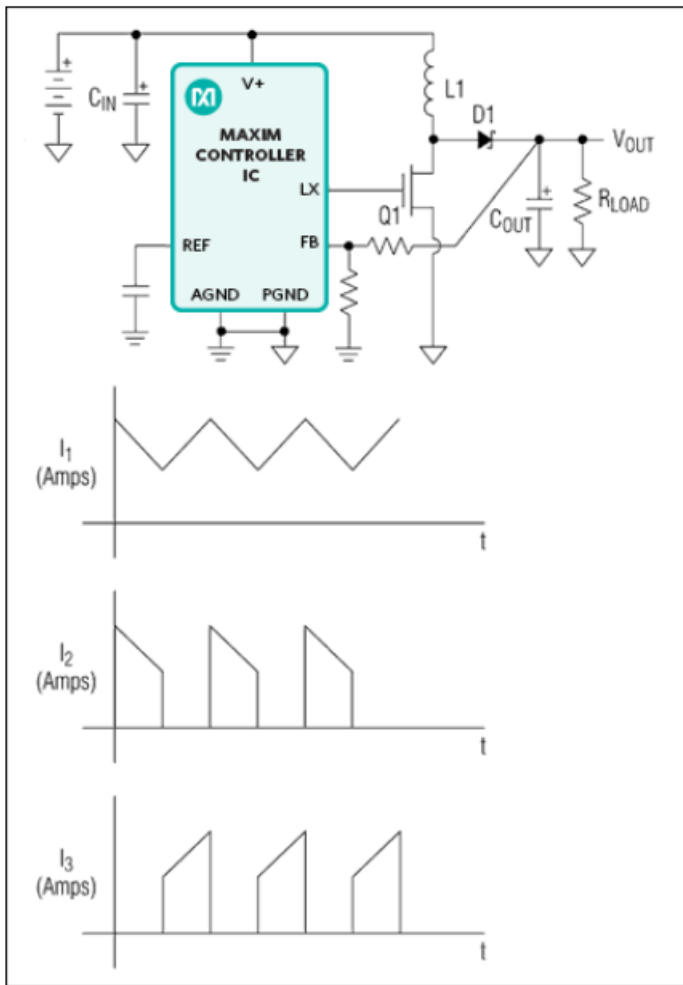


图 3. 开关调节器各个支路的电流波形，由此可以看出哪些部分需要将寄生电容减至最小。电流快速变化（也就是  $I_2$  和  $I_3$ ）的支路要求感抗最小。

当考虑负载通路上的感抗是否会造成问题时，应注意到输出电容具有较大容值，而且具有很低的 ESR，电容两端的电压保持相对稳定。这意味着流过负载的电流不会变化太大，因此其等效串联电感并不重要——除非负载本身动态变化。

## 创建切实可行的电路板布局

有很多种方法可以处理开关电源的接地，一种方法是为所有的接地电路提供一个单独的地层——这种方法可能不会运行在很好的状态下。采用这种方法时，电路的功率地电流可能流经电阻分压器、控制器特定引脚的旁路电容以及控制器的模拟地或是这三者的地

回路，从而造成它们的地电位抖动。

也许最好的方法是创建两个单独的地层——一个用于功率电路，另一个用于调节器的低噪声模拟电路。参考图 4a，功率地包括输入和输出电容的地端以及 MOSFET 的源极，这些连线必须采用短而宽的引线，确保功率电路的地线最宽、最短，可以降低感抗、提高效率。

模拟地部分为控制器的模拟地引脚、电阻分压器的地端和控制器任何特定引脚的旁路电容（输入旁路电容  $C_{IN}$  除外）的地端。该模拟地不必是一个平面，可以使用较宽的长引线，因为其电流非常微弱并且相对稳定，引线电阻和电感不再是重要因素。

按照图 4a 所示连接控制器的 AGND 引脚和 PGND 引脚，在这些引脚之间连接两个地可以确保模拟地内没有开关电流，AGND、PGND 之间的连线可以相对较窄，几乎没有电流流过该路径。尽管理想情况下 AGND 可以直接连接到  $C_{OUT}$  的地端，多数控制器仍然要求两个地引脚（AGND 和 PGND）直接连接（这是因为  $C_{OUT}$  的地和 PGND 之间总会存在一定的阻抗，若 AGND 和  $C_{OUT}$  的地直接相连，负载电流在该阻抗上产生的压降会达到足以让 AGND 和 PGND 之间的二极管导通电压，造成严重后果）。在 PGND 和  $C_{OUT}$  之间使用短而宽的引线，可以使反馈电阻和控制器内部基准共用相同的地电位，与调节器的输出端的参考地相同。这一点非常重要，因为输出电压是由这些元件设置控制的。

图 4 使用不同的模拟和功率地隔离较大的功率地电流与低噪声模拟地电流，从而保护低噪电流路径。

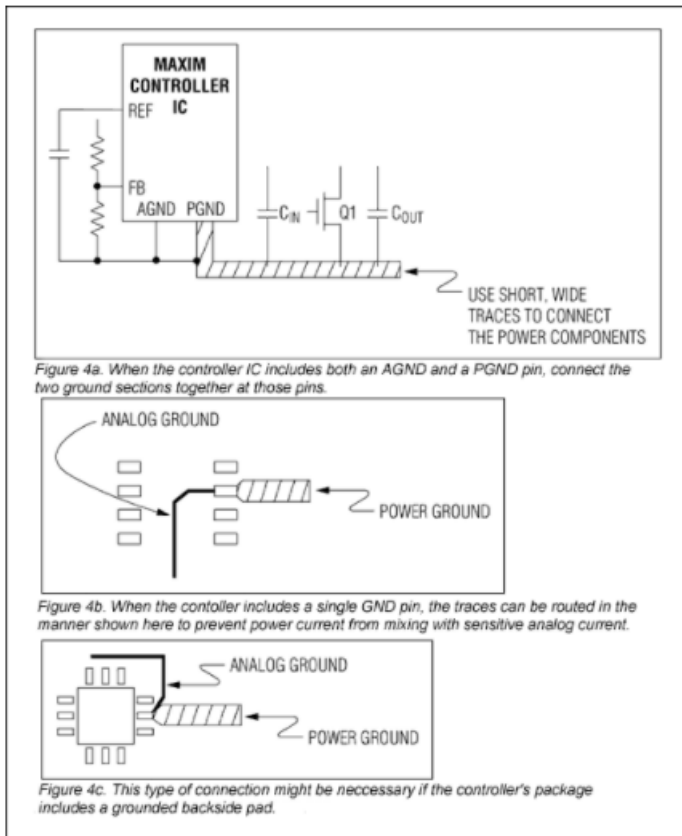


图 4. 采用隔离的模拟和功率地隔离较大的功率地电流与低噪声模拟地电流，从而保护低噪电流回路。

有时控制器的某些旁路电容既不能连接至模拟地也不能连接至功率地，其中一个例子是使用 R/C 滤波器旁路升压开关调节器的 V+ 引脚（如上所述）。这种情况下，该电容接地引脚对于模拟地来说太嘈杂；同时，对于该电容来说功率地的噪声也太大。必须将这样的电容地直接返回至 AGND 和 PGND 引脚之间的连线（若控制器仅提供一个接地引脚，直接连接至该引脚）。

最后，电路板的层数在 PCB 布局中也是一个关键因素。在多层板上，可以使用一个中间层作为屏蔽。屏蔽层允许在电路板的底层放置元件，从而降低干扰的机会。配合使用屏蔽层时，将功率元件的地穿越屏蔽层连接并非一个好的方法。相反，应该将它们连接在一个隔离的、受限制区域，可以清晰地分辨出这些电流的流向以及它们的影响。

确保功率元件的地位于顶层，这种连接与电路板的层数无关；这样处理可以将其电流限制在已知的路径内，不会干扰其它地回路。若无法实现这一点，可以通过使用其它电路板层的隔离覆铜区域和过孔进行连接。对于每个接地点，应使用多个过孔并联以降低电阻和电感。

## 如何利用 PCB 布局技术实现音频放大器的 RF 噪声抑制

PCB 布局技术可用于优化音频放大器 IC 的 RF 噪声抑制能力。在此我们将利用 MAX9750 IC 进行实例分析。

### 引言

RF 抑制亦即 RF 敏感度，它已成为手机、MP3 播放器及笔记本电脑的音频领域中和 PSRR、THD+N 及 SNR 一样重要的设计要素。蓝牙技术正逐渐作为中耳机和话筒的无线串行电缆替代方案应用于移动设备中。采用 IEEE 802.11b/g 协议的无线局域网(WLAN)技术也已成为个人电脑和笔记本电脑的标准配置。GSM、PCS 和 DECT 技术中的 TDMA 多路复用会引入较大的 RF 干扰。当今密集的 RF 环境引发了业界对电子电路 RF 敏感度和 RF 对整体系统完整性影响的关注。音频放大器即是一个对 RF 敏感的系统模块。

音频放大器会对 RF 载波进行解调，并在其输出端再生出调制信号及其谐波成分。某些频率会落入音频基带的范围，从而在系统的扬声器输出端产生用户不希望听见的“嗡嗡”声。为了避免此问题，系统设计员必需充分了解所选放大器 IC 的局限性及其相应的 PCB 布局。本文将指导设计人员如何优化音频放大器电路板的 RF 抑制能力。

### 寻找 RF 噪声的来源

良好的布局（即，较好的 RF 抑制能力）的关键，首先要确认 RF 耦合噪声的来源。如

果所选的音频放大器有评估板，则可利用评估板检查各引脚的 RF 敏感度。选择一个所感兴趣的频率，例如 WLAN 应用中的 2.4GHz。根据天线原理，引线长度为 1.2 英寸（2.4GHz RF 信号的四分之一波长）的天线在 2.4GHz 频率时效率很高。

$$l=c/(4*f)$$

其中  $l$ =长度， $c=3 \times 10^8$ ， $f$ =频率。

截取一段 1.2 英寸的导线并将其直接焊在 IC 的一个引脚上，测量（见附录）IC 在感兴趣的频率（ $2.4\text{GHz} \pm 10\%$ ）的 RF 抑制能力。取下 1.2 英寸引线并将其焊接到放大器的另一个引脚上，重复 RF 测量过程。请确保每次测试的条件均保持一致。用这种方法继续测量，直至 1.2 英寸引线接到放大器的每个引脚，并且记录下在感兴趣频率下的 RF 测量结果。最后，引脚不连接天线的情况下，测量 IC 的 RF 抑制能力。

最后一次测试为我们提供了一个放大器性能的基准。将该测试结果与先前的测试结果进行比较，可以得出对 RF 解调信号最为敏感的放大器引脚。利用这些数据，我们可以对 PCB 的设计进行优化，减少被耦合到放大器引脚的 RF 噪声。

MAX9750 实例分析：工程评估结果表明 MAX9750 IC 中 RF 敏感度最高的九个引脚：INL、INR、BIAS、VOL、BEEP、OUTL\_和 OUTR\_。

## 电容的作用

举所选 IC 的 BIAS 引脚为例。假定 BIAS 引脚在所感兴趣的频率下的 RF 抑制能力较差，则首先最该考虑的 PCB 设计是缩短从 BIAS 引脚至去耦电容之间的引线长度。如果在优化引线长度后 RF 解调情况还不理想，则考虑在放大器引脚增加一个小的旁路电容（大约 10pF 至 100pF）到地。电容的阻抗特性可在系统最敏感的频率上（在本例中为 2.4GHz）形成陷波滤波器。请参考图 1A 中电容模型(C1)的阻抗特性。



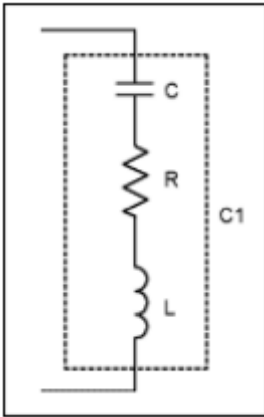


图 1A. 非理想电容模型。

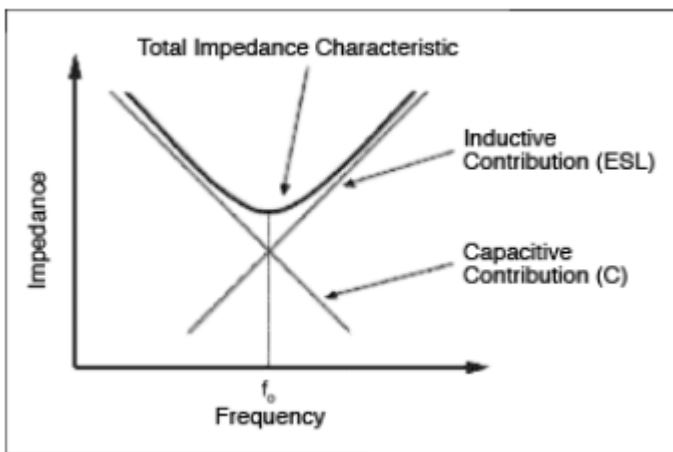


图 1B. 非理想电容模型，阻抗特性。

如果 C1 为理想电容，则阻抗特性会随着频率的提升而下降( $X_c=1/[2\pi \times f \times C]$ )。但是，实际应用中并不存在理想电容。非理想电容模型（图 1B）的阻抗在自谐振频率\*下陷，然后随着频率开始上升。当频率大于  $f_0$  时，则电感分量开始增加( $X_L=2\pi \times f \times L$ )。如果将电容作为滤波器使用，当接近或高于其自谐振频率时，则此种特性将会令滤波效果变差。但是，如果选择电容将特定的高频分量旁路接地，则此时电容的自谐振特性就可以派上用场了。

MAX9750 实例分析：33pF 电容加在 BIAS 针脚上，改善了 RF 抑制能力（平均 3.6dB）。

## 控制输入引脚的噪声

通常，音频放大器的输入引脚总是 RF 耦合噪声的源头，所以要确保输入引线的长度小于系统的 RF 信号波长的 1/4。安静的地层同时也会减少耦合到输入引脚的 RF 噪声。应在 IC 的各个输入引线周围布满安静的地层。此接地层有助于所选音频放大器的输入引脚与任意高频 RF 信号的隔离。

MAX9750 实例分析：将输入引线长度缩短三倍，并在左声道、右声道和 PC-beep 引脚上铺上地层，将进一步改善了 MAX9750 IC 的 RF 抑制能力（图 2）。

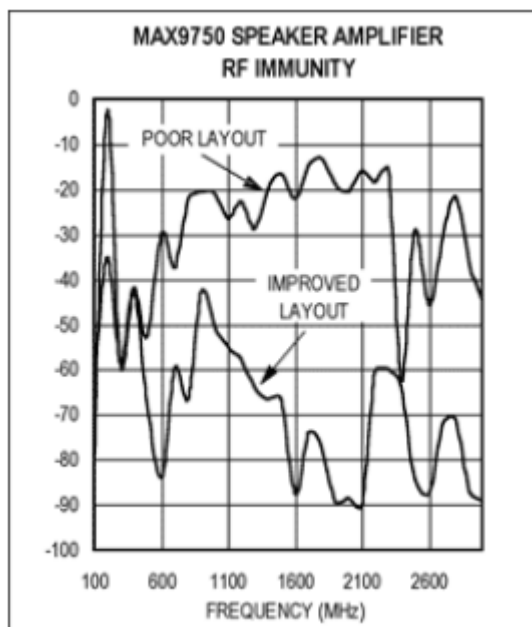


图 2. MAX9750C 扬声器放大器的 RF 抑制能力测试结果：噪声基底=-94.4dBV。

注：图 2 给出了 MAX9750 IC 的典型 RF 抑制能力。天线信号强度、电缆长度及扬声器类型等一些外部因素也会影响 RF 抑制性能。

我们也可以采用一些高成本的方法，比如在 RF 敏感度较高的放大器引脚上增加 LC 滤波器或在电路板中增加低 ESR 电容。这些方法效果显著，但成本较高。如果可以确定 RF 噪声的来源，则无需使用高成本解决方案。

## 总结

RF 抑制能力较差的音频放大器会影响整个系统设计的完整性。如果能够找到问题的根源所在，则可以采取适当的措施以避免音频 RF 解调。通常情况下，输入端、输出端、偏置端和电源端的引线应小于系统 RF 信号波长的 1/4。如果需要提高 RF 抑制能力，可以采用一个小电容将 IC 引脚直接接地（即使该引脚上已连接了大电容），并在易受影响的放大器引脚附近铺上地层。最后，使大功率 RF 系统模块远离易受影响的音频放大器引脚。在采取这些措施之后，将消除“讨厌”的音频解调“嗡嗡”声。

\*自谐振时，容性和感性阻抗互相抵消，只留下阻性分量。自谐振频率为：

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

## 附录

为获得精确的、具有可重复性的测试结果，我们需要将被测件(DUT)置于一个已知强度的 RF 场中。ADI 已开发了一套测试方法：利用一个 RF 屏蔽试验室、一个信号发生器、RF 放大器以及一个场强检测仪来测量 RF 敏感度以得到可靠的可重复测试结果。

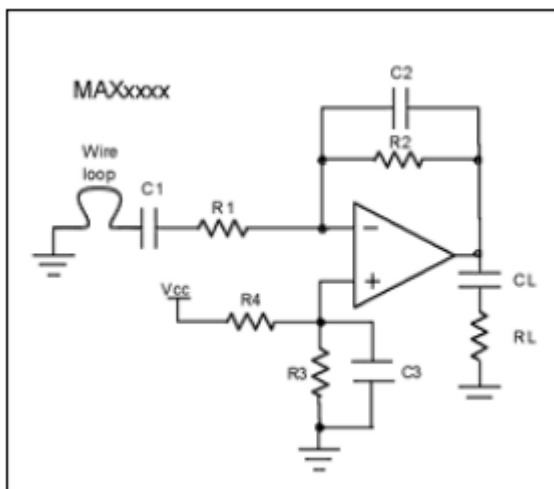


图 A. RF 噪声抑制能力测量电路。

上面的图 A 是典型的运算放大器测试装置(op-amp)。放大器的同相输入通过 1.5 英寸环线（模拟 PCB 引线）短路至地。我们选择了标准的 1.5 英寸的输入引线，这样可以对多个 ADI 的放大器的 RF 抑制能力进行比较（注：DUT 至输入源之间的输入引线在系统敏感频率范围内具有天线效应）。放大器的输出端接有预先设定的负载。然后，放大器被置于屏蔽试验室内。ADI 的 RF 屏蔽试验系统模拟出一个 RF 环境，在放大器的输出端对解调信号进行监测。

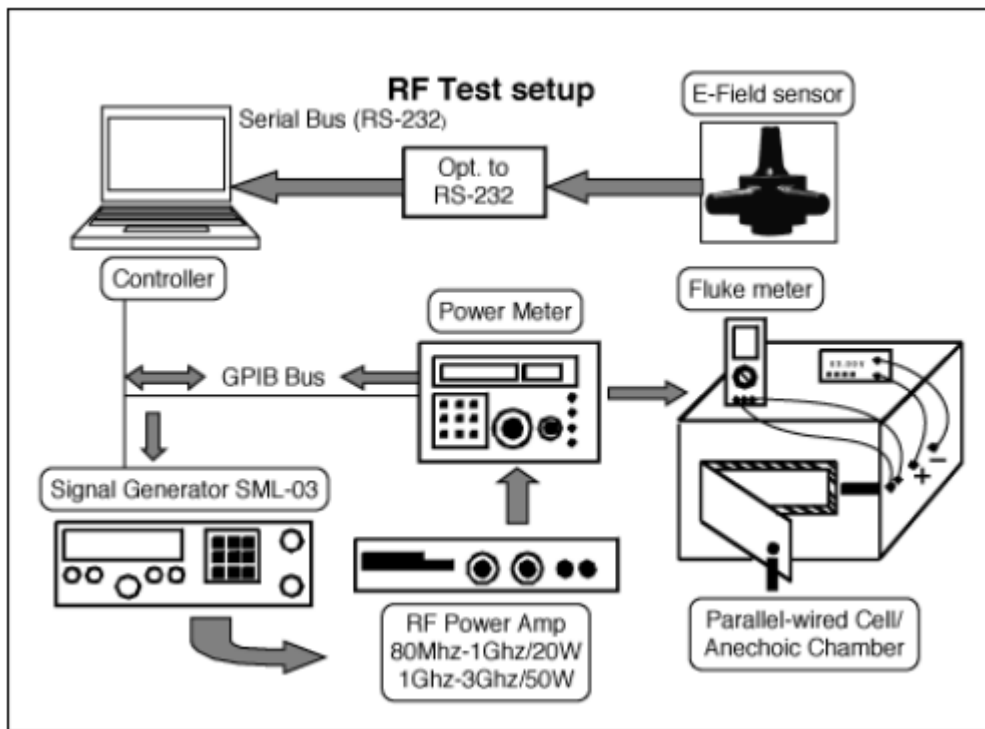


图 B. ADI 的 RF 抑制测试方法。

图 B 显示了 ADI 的 RF 屏蔽试验系统，该系统模拟出 RF 抑制试验所需的 RF 场环境。测试腔体与法拉第腔的屏蔽室类似，将被测件与外部电场隔离起来。

完整的测试系统包含以下设备：

- 信号发生器：SML-03，9kHz 至 3.3GHz (Rhode & Schwarz)
- RF 功率放大器：20MHz 至 1000MHz，20W (OPHIR 5124)

- RF 功率放大器: 1GHz 至 3GHz, 50W (OPHIR 5173)
- 功率计: 25MHz 至 1GHz (Rhode & Schwarz)
- 平行线单元 (屏蔽腔)
- 场强检测仪
- 计算机(PC)
- Fluke 数字万用表 (dBV 表)

利用计算机设置信号发生器输出的频率范围、调制比和调制类型, 以及 RF 功率放大器的功率输出。调制信号被馈送到相应的功率放大器 (OPHIR 5124: 20MHz 至 1000MHz, 20W 或 OPHIR 5173: 1GHz 至 3GHz, 50W), 并通过定向耦合器和功率计测量并监视放大器的输出。所定义的 RF 场在测试室内均匀辐射。

测试时, ADI 将被测器件置于屏蔽室的中心。场强检测仪对被测件所处的 50V/m 均匀场强进行连续检测。所采用的信号是频率介于 100MHz 和 3GHz 之间变化的 RF 正弦波, 与 1kHz 的音频频率进行调制, 调制度为 100%。通过测试室的接入端口为被测件供电, 并通过接入端口连接输出监测装置。利用 Fluke 万用表 (单位使用 dBV) 来实时监测解调的 1kHz 信号幅度。当 RF 正弦波频率按预先的设定在 100MHz 和 3GHz 之间变化的同时, 对 Fluke 万用表的报告结果进行记录。图 C 是 100MHz 至 3GHz 扫频的测试结果。





图 C. MAX9750 RF 抑制测试结果。

## 差分 ADC 驱动器的稳定性如何在版图上实现

作为应用工程师，我们经常遇到各种有关差分输入型高速模数转换器(ADC)的驱动问题。事实上，选择正确的 ADC 驱动器和配置极具挑战性。为了使鲁棒性 ADC 电路设计多少容易些，我们汇编了一套通用“路障”及解决方案。本文假设实际驱动 ADC 的电路——也被称为 ADC 驱动器或差分放大器——能够处理高速信号。

### 引言

大多数现代高性能 ADC 使用差分输入抑制共模噪声和干扰。由于采用了平衡的信号处理方式，这种方法能将动态范围提高 2 倍，进而改善系统总体性能。虽然差分输入型 ADC 也能接受单端输入信号，但只有在输入差分信号时才能获得最佳 ADC 性能。ADC 驱动器专门设计用于提供这种差分信号的电路——可以完成许多重要的功能，包括幅度调整、单端到差分转换、缓冲、共模偏置调整和滤波等。自从 ADI 公司推出 [AD8138](#) 以后，差分 ADC 驱动器已经成为数据采集系统中不可或缺的信号调理元件。

图 1 是一种基本的完全差分电压反馈型 ADC 驱动器。这个图与传统运放的反馈电路有两

点区别：差分 ADC 驱动器有一个额外的输出端( $V_{ON}$ )和一个额外的输入端( $V_{OCM}$ )。当驱动器与差分输入型 ADC 连接时，这些输入输出端可以提供很大的灵活性。

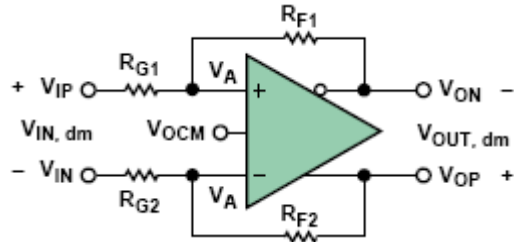


图 1. 差分放大器。

与单端输出相反，差分 ADC 驱动器产生平衡的差分输出信号——相对于  $V_{OCM}$ ——在  $V_{OP}$  与  $V_{ON}$  之间。这里的 P 指的是正，N 指的是负。 $V_{OCM}$  输入信号控制输出共模电压。只要输入与输出信号处于规定范围内，输出共模电压必定等于  $V_{OCM}$  输入端的电压。负反馈和高开环增益致使放大器输入端的电压  $V_{A+}$  和  $V_{A-}$  实质上相等。

为了便于后面的讨论，需要明确一些定义。如果输入信号是平衡信号，那么  $V_{IP}$  和  $V_{IN}$  相对于某个公共参考电压的幅度应该是相等的，相位则相反。当输入信号是单端信号时，一个输入端是固定电压，另一个输入端的电压相对这个输入端变化。无论是哪种情况，输入信号都被定义为  $V_{IP}-V_{IN}$ 。

差模输入电压  $V_{IN, dm}$  和共模输入电压  $V_{IN, cm}$  的定义见公式 1 和公式 2。

$$V_{IN, dm} = V_{IP} - V_{IN}, \quad V_{IN, cm} = \frac{V_{IP} + V_{IN}}{2} \quad (1, 2)$$

虽然这个共模电压的定义应用于平衡输入时很直观，但对单端输入同样有效。

输出也有差模和共模两种，其定义见公式 3 和公式 4。

$$V_{OUT, dm} = V_{OP} - V_{ON}, \quad V_{OUT, cm} = \frac{V_{OP} + V_{ON}}{2} \quad (3, 4)$$

需要注意实际的输出共模电压  $V_{OUT, cm}$  和  $V_{OCM}$  输入端之间的差异，这个差异决定了输出共

模电平。

对差分 ADC 驱动器的分析比传统运放的分析要复杂得多。为了简化代数表达式，暂且定义两个反馈系数  $\beta_1$  和  $\beta_2$ ，见公式 5 和公式 6。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}}, \quad \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \quad (5, 6)$$

在大多数 ADC 驱动应用中  $\beta_1 = \beta_2$ ，但含有  $V_{IP}$ 、 $V_{IN}$ 、 $V_{OCM}$ 、1 和 2 项的  $V_{OUT, dm}$  通用闭环公式对于了解  $\beta$  失配对性能的影响非常有用。 $V_{OUT, dm}$  的计算见公式 7，其中包括了与频率相关的放大器有限开环电压增益  $A(s)$ 。

$$V_{OUT, dm} = \left[ \frac{2}{\beta_1 + \beta_2} \right] \left[ \frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}} \right] \quad (7)$$

当  $\beta_1 \neq \beta_2$ ，差分输出电压取决于  $V_{OCM}$ ——这不是理想的结果，因为它产生了偏移，并且在差分输出中有过大的噪声。电压反馈架构的增益带宽积是常数。有趣的是，增益带宽积中的增益是两个反馈系数平均值的倒数。

当  $\beta_1 = \beta_2 = \beta$ ，公式 7 可以被简化为公式 8。

$$\frac{V_{OUT, dm}}{V_{IN, dm}} = \left[ \frac{R_F}{R_G} \right] \left[ \frac{1}{1 + \frac{1}{A(s)(\beta)}} \right] \quad (8)$$

这个表达式大家可能更加熟悉。当  $A(s) \rightarrow \infty$  理想的闭环增益可以简化为  $R_F/R_G$  增益带宽乘积公式看起来也很熟悉，其中的“噪声增益”与传统运放一样，等于  $1/\beta$ 。

反馈系数匹配的差分 ADC 驱动器的理想闭环增益见公式 9。

$$A_V = \frac{V_{OUT, dm}}{V_{IN, dm}} = \frac{R_F}{R_G} \quad (9)$$

输出平衡是差分 ADC 驱动器的一个重要性能指标，它分两个方面：幅度平衡和相位平衡。幅度平衡用于衡量两个输出在幅度方面的接近程度，对于理想放大器来说它们是完全一致的。输出相位平衡用于衡量两个输出的相位差与  $180^\circ$  的接近程度。输出幅度或相位的任何失衡都会在输出信号中产生有害的共模分量。输出平衡误差（公式 10）是差分输入信号产生的输出共模电压与相同输入信号产生的输出差模电压的对数比值，单位是 dB。

$$\text{Output Balance Error} = 20 \log_{10} \left[ \frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right] \quad (10)$$

内部共模反馈环路迫使  $V_{OUT, cm}$  等于输入端  $V_{OCM}$  的电压，从而达到完美的输出平衡。

## 将输入端接到 ADC 驱动器

处理高速信号的系统经常会用到 ADC 驱动器。分隔距离超过信号波长一小段的器件之间必须用具有受控阻抗的电气传输线连接，以避免破坏信号完整性。当传输线的两端用其特征阻抗端接时可以取得最佳性能。驱动器一般放在靠近 ADC 的地方，因此在它们之间不要求使用受控阻抗连接。但到 ADC 驱动器输入端的引入信号连接通常很长，必须采用正确电阻端接的受控阻抗连接。

不管是差分还是单端，ADC 驱动器的输入阻抗必须大于或等于理想的终端电阻值，以便添加的终端电阻  $R_T$  能与放大器输入端并联达到要求的电阻值。本文讨论的例子中的所有 ADC 驱动器都设计成具有平衡的反馈比，如图 2 所示。

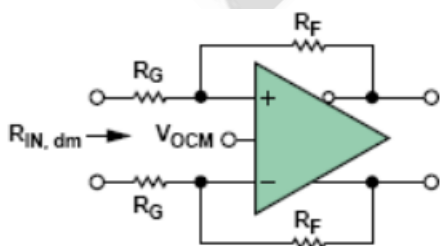


图 2. 差分放大器的输入阻抗。

因为两个放大器输入端之间的电压被负反馈驱动到零，因此两个输入端处于连接状态，差分输入阻抗  $R_{IN}$  就简单地等于  $2 \times R_G$ 。为了匹配传输线阻抗  $R_L$ ，需要将由公式 11 计算得到的电阻  $R_T$  跨接在差分输入端。图 3 给出了典型的电阻值，其中  $R_F=R_G=200\Omega$ ，理想的  $R_{L, dm}=100\Omega$ , and  $R_T=133\Omega$ 。

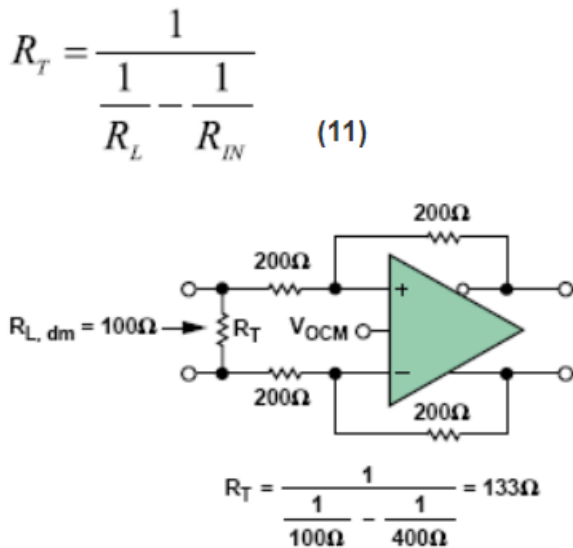


图 3. 匹配 100Ω 传输线。

单端输入的端接更加麻烦。图 4 描述了采用单端输入和差分输出的 ADC 驱动器工作原理。

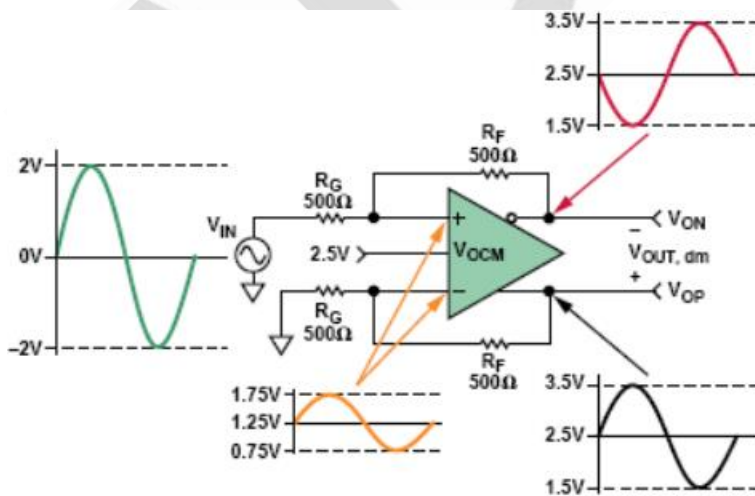


图 4. 采用单端输入的 ADC 驱动器例子。



虽然输入是单端的，但  $V_{IN, dm}$  等于  $V_{IN}$ 。因为电阻  $R_F$  和  $R_G$  是相等和平衡的，因此增益是 1，而且差分输出  $V_{OP}-V_{ON}$  等于输入，即 4 V p-p.  $V_{OUT, cm}=V_{OCM}=2.5$  V，而且从下方的反馈电路可以看出，输入电压  $V_{A+}$  和  $V_{A-}$  等于  $V_{OP}/2$ 。

根据公式 3 和公式 4， $V_{OP}=V_{OCM}+V_{IN}/2$ ，即  $2.5V \pm 1V$  的同相摆幅； $V_{ON}=V_{OCM}-V_{IN}/2$ ，即  $2.5V \pm 1V$  的反相摆幅。这样， $V_{A+}$  和  $V_{A-}$  的摆幅等于  $1.25V \pm 0.5V$ 。The 必须由  $V_{IN}$  提供的电流交流分量等于  $(2V-0.5V)/500\Omega=3mA$ ，因此到地的电阻必须匹配，从  $V_{IN}$ ，看过去为  $667\Omega$ 。

当每个环路的反馈系数都匹配时，公式 12 就是计算这个单端输入电阻的通式，其中  $R_{IN, se}$  是单端输入电阻。

$$R_{IN, se} = \left( \frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) \quad (12)$$

这是计算终结电阻的出发点。然而值得注意的是，放大器增益公式基于零阻抗输入源的假设。由于存在单端输入造成的不平衡而必须加以匹配的重要源阻抗只会增加上面  $R_G$  的阻值。为了保持平衡，必须增加下面  $R_G$  的阻值来实现匹配，但这会影响增益值。

虽然可以为解决端接单端信号问题而采用一个封闭形式的解决方案，但一般使用迭代的方法。在下面的例子中这种需求将变得很明显。

在图 5 中，为了保持低的噪声，要求单端到差分增益为 1，输入终结电阻为  $50\Omega$ ，反馈和增益电阻值在  $200\Omega$  左右。

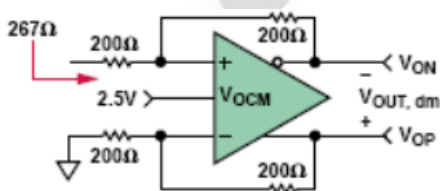


图 5. 单端输入阻抗。

根据公式 12 可以算出单端输入电阻为 267Ω。公式 13 表明，并联电阻  $R_T$  应等于 61.5Ω，才能将 267Ω 输入电阻减小至 50Ω。

$$R_T = \frac{1}{\frac{1}{50\Omega} - \frac{1}{267\Omega}} = 61.5\Omega \quad (13)$$

图 6 是带源电阻和终端电阻的电路。带 50Ω 源电阻的源开路电压为 2V p-p。当源用 50Ω 端接时，输入电压减小到 1V p-p，这个电压也是单位增益驱动器的差分输出电压。

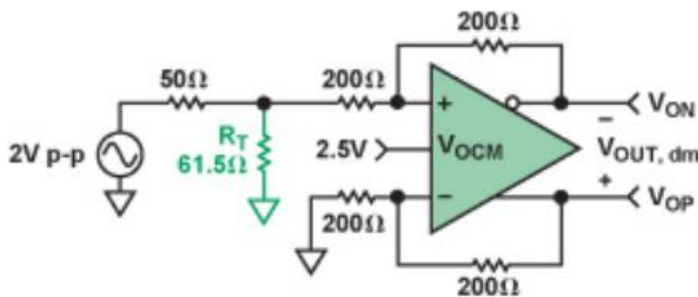


图 6. 带源电阻和终端电阻的单端电路。

这个电路初看起来非常完整，但不匹配的 61.5Ω 电阻与 50Ω 的并联并增加到了上面的  $R_G$  电阻，这就改变了增益和单端输入电阻，并且造成反馈系数失配。在低增益情况下，输入电阻的变化很小，暂时可以忽略，但反馈系数仍然必须匹配。解决这个问题的最简单方法是增加下面  $R_G$  的阻值。图 7 是一种 Thévenin 等效电路，其中上方的并联组合用作源电阻

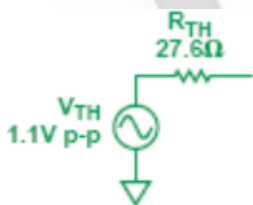


图 7. 输入源的 Thévenin 等效电路。

有了这种替代方案后，就可以将 27.6Ω 的电阻  $R_{TS}$  增加到下面的环路中实现环路反馈系数的匹配，如图 8 所示。

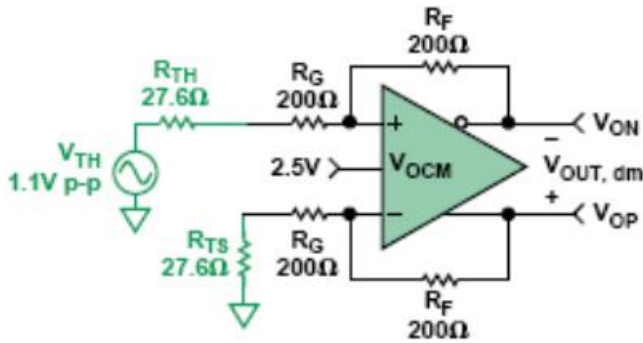


图 8. 平衡的单端端接电路。

注意，1.1V p-p 的 Thévenin 电压要大于 1V p-p 的正确端接电压，而每个增益电阻增加了 27.6Ω，降低了闭环增益。对于大电阻(>1kΩ)和低增益 (1 或 2) 来说这些相反的效应基本抵消，但对于小电阻或较高增益来说并不能完全抵消。

图 8 所示电路现在分析起来就很容易了，其中的差分输出电压可以用公式 14 计算。

$$V_{OUT, dm} = 1.1 \text{ V p-p} \left( \frac{200 \Omega}{227.6 \Omega} \right) = 0.97 \text{ V p-p} \quad (14)$$

差分输出电压并不完全等于理想的 1V p-p，但可以通过修改反馈电阻实现最终独立的增益调整，如公式 15 所示。

$$R_F = 227.6 \Omega \left( \frac{\text{Desired } V_{OUT, dm}}{1.1 \text{ V p-p}} \right) = 227.6 \Omega \left( \frac{1.0 \text{ V p-p}}{1.1 \text{ V p-p}} \right) = 206.9 \Omega \quad (15)$$

图 9 是用标准 1%精度电阻实现的完整电路。

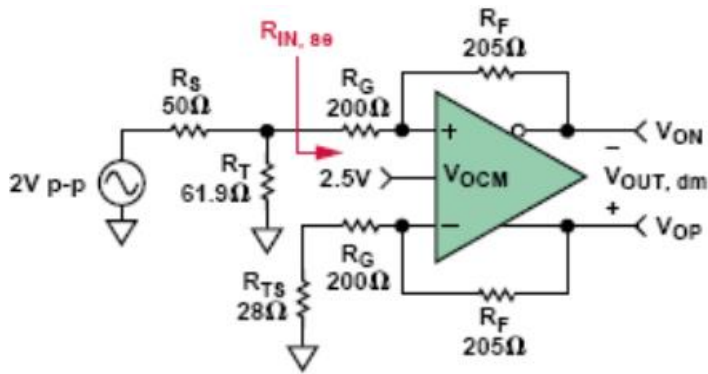


图 9. 完整的单端端接电路。

**观察：**参考图 9，驱动器的单端输入电阻  $R_{IN, se}$  由于  $R_F$  和  $R_G$  的改变而变化。驱动器上端环路的增益电阻是  $200\Omega$ ，下端环路的电阻是  $200\Omega+28\Omega=228\Omega$ 。在不同增益电阻值的情况下计算  $R_{IN, se}$  首先要求计算两个  $\beta$  值，见公式 16 和公式 17。

$$\beta_1 = \frac{R_G}{R_F + R_G} = \frac{200\Omega}{405\Omega} = 0.494 \quad (16)$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228\Omega}{433\Omega} = 0.527 \quad (17)$$

输入电阻  $R_{IN, se}$  的计算见公式 18。

$$R_{IN, se} = \frac{R_G (\beta_1 + \beta_2)}{\beta_1 (\beta_2 + 1)} = 271\Omega \quad (18)$$

这个值与原来计算的  $267\Omega$  稍有不同，但对  $R_T$  的计算没有显著的影响，因为  $R_{IN, se}$  与  $R_T$  是并联的关系。

如果需要更精确的总体增益，可以使用更高精度或串联的可调电阻。

所述的单次迭代方法非常适合闭环增益为 1 或 2 的场合。增益越高， $R_{TS}$  的值越接近  $R_G$  值，用公式 18 计算的  $R_{IN, se}$  值与用公式 12 计算的  $R_{IN, se}$  值之间的差异就越大。在这些情况下要求采用多次迭代。

多次迭代并不难实现：ADI 公司发布的可下载的差分放大器计算工具，[ADIsimDiffAmp™](#) 和 [ADI Diff Amp Calculator™](#) 足以担当此任，它们能在几秒内完成上述计算。

## 输入共模电压范围

输入共模电压范围(ICMVR)规定了正常工作状态下可以施加于差分放大器输入端的电压范围。在这些输入端上呈现的电压可以被称为 ICMV、 $V_{acm}$  或  $V_{A\pm}$ 。这个 ICMVR 指标经常被误解。最常遇到的难题是确定差分放大器输入端的实际电压，特别是相对于输入电压而言。知道变量  $V_{IN,cm}$ 、 $\beta$  和  $V_{OCM}$  的值后，当  $\beta$  不相等时使用通式 19、当  $\beta$  相等时使用简化公式 20 就可以计算出放大器的输入电压( $V_{A\pm}$ )。

$$V_{acm} \text{ or } V_{A\pm} = \frac{2\beta_1\beta_2V_{ocm} + V_{ip}\beta_2(1-\beta_1) + V_{in}\beta_1(1-\beta_2)}{\beta_1 + \beta_2} \quad (19)$$

$$V_{acm} \text{ or } V_{A\pm} = V_{IN,cm} + \beta(V_{ocm} - V_{icm}) \quad (20)$$

记住  $V_A$  始终是按比例缩小的输入信号，这一点非常有用（见图 4）。不同的放大器类型有不同的输入共模电压范围。ADI 公司的高速差分 ADC 驱动器有两种输入级配置，即中心型和偏移型。中心型 ADC 驱动器的输入电压离每个电压轨有约 1V 的距离（因此叫中心型）。而偏移型输入级增加了两个晶体管，允许输入端电压摆幅更接近  $-V_S$  轨。图 10 是一个典型差分放大器（Q2 和 Q3）的简化输入原理图。

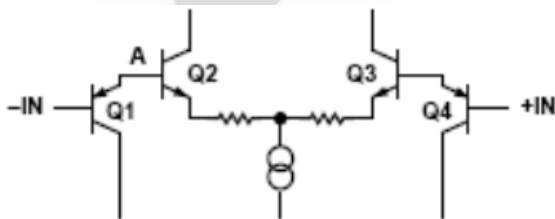


图 10. 具有偏移型 ICMVR 的简化差分放大器。

偏移型输入架构允许差分放大器处理双极性输入信号，即使放大器是采用单电源供电，



因此这种架构非常适合输入是地或地电平以下的单电源应用。在输入端增加的 PNP 晶体管 (Q1 和 Q4) 可以将差分对的输入电压向上偏移一个晶体管的  $V_{be}$  电压。例如, 当 -IN 端电压为 -0.3V 时, A 点电压将为 0.7V, 允许差分对正常工作。没有 PNP (中心型输入级) 时, A 点的 -0.3V 电压将使 NPN 差分对处于反向偏置状态, 因而无法正常工作。

表 1 提供了 ADI 公司 ADC 驱动器的多数指标一览表。对这张表粗略一看就能发现哪些驱动器具有偏移型 ICMVR, 哪些没有。

**表 1. 高速 ADC 驱动器的指标**

ADC 驱动器				ICMVR				$V_{DCM}$				输出摆幅 (V)	$I_{SUPPLY}$ (mA)
				供电电压				供电电压					
产品型号	带宽 (MHz)	压摆率 (V/ $\mu$ s)	噪声 (nV)	$\pm 5$ V	+5 V	+3.3 V	+3 V	$\pm 5$ V	+5 V	+3.3 V	+3 V		
AD8132	360	1000	8	-4.7 to +3	0.3 to 3	0.3 to 1.3	0.3 to 1	$\pm 3.6$	1 to 3.7	—	0.3 to 1	$\pm 1$	12
AD8137	76	450	8.25	-4 to +4	1 to 4	1 to 2.3	1 to 2	$\pm 4$	1 to 4	1 to 2.3	1 to 2	RR	3.2
AD8138	320	1150	5	-4.7 to +3.4	0.3 to 3.2	—	—	$\pm 3.8$	1 to 3.8	—	—	$\pm 1.4$	20
AD8139	410	800	2.25	-4 to +4	1 to 4	—	—	$\pm 3.8$	1 to 3.8	—	—	RR	24.5
ADA4927-1/ ADA4927-2	2300	5000	1.4	-3.5 to +3.5	1.3 to 3.7	—	—	$\pm 3.5$	1.5 to 3.5	—	—	$\pm 1.2$	20
ADA49232-1/ ADA49232-2	1000	2800	3.6	-4.8 to +3.2	0.2 to 3.2	—	—	$\pm 3.8$	1.2 to 3.2	—	—	$\pm 1$	9
ADA4937-1/ ADA4937-2	1900	6000	2.2	—	0.3 to 3	0.3 to 1.2	—	—	1.2 to 3.8	1.2 to 2.1	—	$\pm 0.8$	39.5
ADA4938-1/ ADA4938-2	1000	4700	2.6	-4.7 to +3.4	0.3 to 3.4	—	—	$\pm 3.7$	1.3 to 3.7	—	—	$\pm 1.2$	37
ADA4939-1/ ADA4939-2	1400	6800	2.6	—	1.1 to 3.9	0.9 to 2.4	—	—	1.3 to 3.5	1.3 to 1.9	—	$\pm 0.8$	36.5

## 输入和输出耦合：交流或直流

需要交流耦合还是直流耦合对差分 ADC 驱动器的选择有很大的影响。输入和输出耦合之间的考虑因素也不同。

交流耦合型输入级电路见图 11。

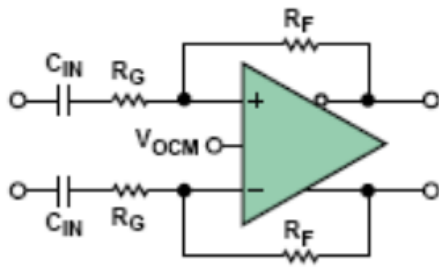


图 11. 交流耦合型 ADC 驱动器。

对于采用交流耦合输入的差分至差分应用来说，放大器输入端呈现的直流共模电压等于直流输出共模电压，因为直流反馈电流被输入电容隔离了。另外，直流反馈系数也是匹配的，完全等于单位 1。 $V_{OCM}$ ——和由此得到的直流输入共模电压——经常被设置在电源电压的一半左右。具有中心型输入共模范围的 ADC 驱动器非常适合这类应用，它们的输入共模电压接近规定范围的中心。

交流耦合单端至差分应用与对应的差分输入应用非常相似，但在放大器输入端具有共模纹波——按比例缩小的输入信号“复制品”。具有中心型输入共模范围的 ADC 驱动器将平均输入共模电压设定在规定范围的中间，因而能为大多数应用中的纹波提供足够的富余度。

当输入耦合方式可选时，值得人们注意的是，采用交流耦合输入的 ADC 驱动器比采用直流耦合输入的相似驱动器耗散更少的功率，因为两个反馈环路中都不存在直流共模电流。

当 ADC 要求输入共模电压与驱动器输出端电压完全不同时，交流耦合 ADC 驱动器的输出就非常有用。当  $V_{OCM}$  值被设在电源电压一半附近时，驱动器将有最大的输出摆幅，但当驱动要求非常低输入共模电压的低电压 ADC 时会出现问题。走出这个困境的简单方法 (图 12) 是驱动器输出和 ADC 输入之间采用交流耦合连接，从驱动器输出中去除 ADC 的直流共模电压，并允许适合 ADC 的共模电平应用于交流耦合侧。例如，驱动器可以工作在单 5V 电源和  $V_{OCM}=2.5V$ ，条件下，而 ADC 可以工作在单 1.8V 电源，此时在标记

为 ADC CMV 的点必需施加 0.9V 的输入共模电压。

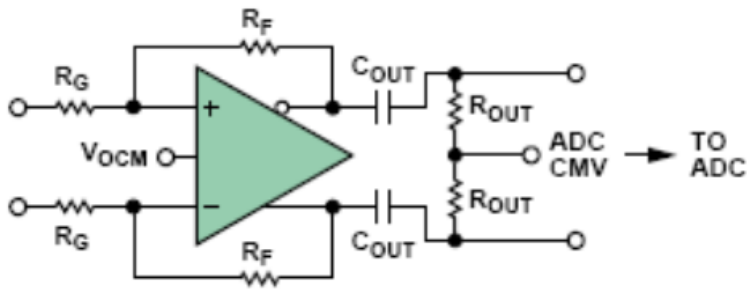


图 12. 采用交流耦合输出的直流耦合输入电路。

具有偏移型输入共模范围的驱动器一般最适合工作在单电源直流耦合系统中，这是因为输出共模电压通过反馈环路实现了分压，而且它的可变分量可以非常接近地，即负电压轨。当采用单端输入时，输入共模电压由于输入相关的纹波而更接近负电压轨。

采用双电源、单端或差分输入以及交流或直流耦合的系统通常可以采用任一种输入级电路，因为冗余度增加了。

表 2 总结了在输入耦合和电源的各种组合方式下最常用的 ADC 驱动器输入级电路类型。然而，这些选择未必总是最好的，应该对每个系统进行具体分析。

表 2. 耦合和输入级电路选项

输入耦合方式	输入信号	电源	输入类型
任意	任意	双电源	中心型
交流耦合	单端	单电源	中心型
直流耦合	单端	单电源	偏移型
交流耦合	差分	单电源	中心型
直流耦合	差分	单电源	中心型

## 输出摆幅

为了最大化 ADC 的动态范围，应该将它驱动到满输入范围。但需要注意：将 ADC 驱动得太厉害可能有损输入电路，而驱动不够的话又会降低分辨率。将 ADC 驱动到满输入范围并不意味着放大器输出幅度必须达到最大。差分输出的一个主要好处是每个输出幅度只需达到传统单端输出的一半。驱动器输出可以远离电源轨，从而减少失真。不过对单端驱动器来说没有这个好处。当驱动器输出电压接近电压轨时，放大器将损失线性度，并引入失真。

对于对每一毫伏的输出电压都有要求的应用来说，表 1 显示相当多的 ADC 驱动器能够提供轨到轨输出，其典型富余量从几毫伏到几百毫伏不等，具体取决于负载。

图 13 是 [ADA4932](#) 在各种频率下的谐波失真与  $V_{OCM}$  的关系图，是典型输出摆幅在每个轨 1.2V 内（富余量确定的。输出摆幅是信号的  $V_{OCM}$  与  $V_{PEAK}$  之和(1V)。值得注意的是，失真在 2.8V 以上 ( $3.8V_{PEAK}$  或 5V 往下 1.2V) 开始迅速增加。在低端，失真在 2.2V ( $-1V_{PEAK}$ ) 时仍很低。同样的现象还将出现在带宽和压摆率的讨论中。

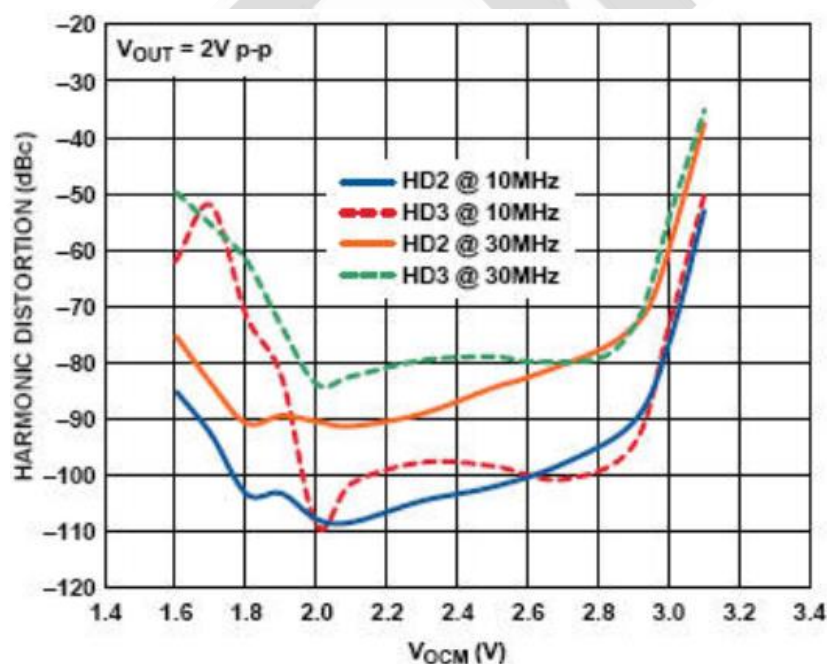


图 13. 采用 5V 电源的 [ADA4932](#) 在各种频率下的谐波失真与  $V_{OCM}$  的关系。

## 噪声

ADC 的非理想特性包括量化噪声、电子或随机噪声和谐波失真。在大多数应用中重要的一点是，噪声通常是宽带系统中最重要性能指标。

所有 ADC 内部都存在量化噪声，并且取决于位数  $n$ ， $n$  越大量化噪声就越小。因为即使“理想”转换器也有量化噪声，因此量化噪声可以用作比较随机噪声和谐波失真的基准。

ADC 驱动器的输出噪声应该接近或低于 ADC 的随机噪声和失真。下面先讨论 ADC 噪声和失真的特征，然后介绍如何衡量 ADC 驱动器噪声与 ADC 性能之间的关系。

量化噪声产生的原因是 ADC 将具有无限分辨率的模拟信号量化成有限数量的离散值。 $n$  位 ADC 有  $2^n$  个二进制值。两个相邻值之间的差代表了可以分辨的最小差值，这个差值被称为量化等级的最低有效位(LSB)，或  $q$ 。因此一个量化等级等于转换器量程的  $1/2^n$ 。如果一个不断变化的电压经过一个完美的  $n$  位 ADC 转换，然后转换回模拟信号，再从 ADC 输入中减去这个信号，那么差值看起来就像噪声。它有一个公式 21 计算得到有效值(rms):

$$RMS \text{ Quantization Noise} = \frac{q}{\sqrt{12}} = \frac{1}{2^n \sqrt{12}} \quad (21)$$

从这里可以得出  $n$  位 ADC 在其奈奎斯特带宽上的信号与量化噪声比的对数(dB)公式 22，这也是  $n$  位转换器所能取得的最佳信噪比(SNR)。

ADC 中的随机噪声包含了热噪声、散粒噪声和闪烁噪声，一般要大于量化噪声。由于 ADC 的非线性产生的谐波失真会在输出信号中产生与输入信号谐波有关的有害信号。总的谐波失真和噪声(THD+N)是一个重要的 ADC 性能参数，它衡量了电子噪声和谐波失真与接近 ADC 满量程输入范围的模拟输入信号之间的关系。电子噪声积分的带宽包括了所要考虑的最后一个谐波频率。THD 中的“T” ( $t_{total}$ , 总和) 包括了前五个谐波失真分量，是连同噪声一起的平方根，见公式 23。



$$\text{Signal-to-Quantization-Noise Ratio (dB)} = 6.02n + 1.76 \text{ dB} \quad (22)$$

$$\text{THD} + \text{Noise} = \frac{\sqrt{[v_2(\text{rms})]^2 + [v_3(\text{rms})]^2 + [v_4(\text{rms})]^2 + [v_5(\text{rms})]^2 + [v_6(\text{rms})]^2 + v_n^2}}{[v_1(\text{rms})]^2} \quad (23)$$

公式 23 中的  $v_1$  是输入信号， $v_2$  到  $v_6$  是前五个谐波失真分量， $v_n$  是 ADC 的电子噪声。

(THD+噪声) 的倒数被称为信号与噪声失真比，简称 SINAD，通常用 dB 表示，见公式 24。

$$\text{SINAD (dB)} = 20 \log_{10} \left[ \frac{1}{\text{THD} + N} \right] \quad (24)$$

如果 SINAD 被信号与量化噪声比代替（公式 22），我们就能定义转换器具有的有效位数(ENOB)，前提是这个转换器的信号与量化噪声比与 SINAD 相同（公式 25）。

$$\text{SINAD (dB)} = 6.02 (\text{ENOB}) + 1.76 \text{ dB} \quad (25)$$

ENOB 也能用 SINAD 项表达，见公式 26。

$$\text{ENOB} = \frac{\text{SINAD (dB)} - 1.76 \text{ dB}}{6.02} \quad (26)$$

ENOB 可以用来比较 ADC 驱动器的噪声性能和 ADC 的噪声性能，进而判断是否适合驱动这个 ADC。图 14 是一个差分 ADC 噪声模型。

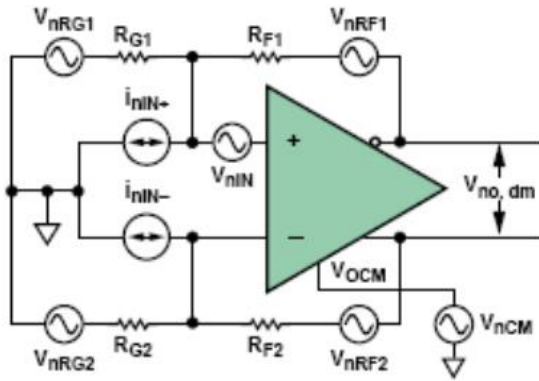


图 14. 差分 ADC 驱动器的噪声模型。

公式 27 表明了通常情况下当  $\beta_1 = \beta_2 = \beta$  时，八个噪声源中每个源对总输出噪声密度的贡献。

$$\begin{aligned}
 v_{no, dm} \text{ due to } v_{nIN} &= \frac{2v_{nIN}}{\beta_1 + \beta_2} = \frac{v_{nIN}}{\beta} \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nCM} &= \frac{2v_{nCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} = 0 \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } i_{nIN+} &= \frac{2i_{nIN+}(1 - \beta_1)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F1}) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } i_{nIN-} &= \frac{2i_{nIN-}(1 - \beta_2)R_{G2}}{\beta_1 + \beta_2} = (i_{nIN-})(R_{F2}) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRG1} &= \frac{(2\sqrt{4kTR_{G1}})(1 - \beta_1)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G1}} \left( \frac{R_{F1}}{R_{G1}} \right) \text{ for } \beta_1 = \beta_2 = \beta \quad (27) \\
 v_{no, dm} \text{ due to } v_{nRG2} &= \frac{(2\sqrt{4kTR_{G2}})(1 - \beta_2)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G2}} \left( \frac{R_{F2}}{R_{G2}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRF1} &= \frac{2\beta_1\sqrt{4kTR_{F1}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F1}} \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRF2} &= \frac{2\beta_1\sqrt{4kTR_{F2}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F2}} \text{ for } \beta_1 = \beta_2 = \beta
 \end{aligned}$$

总输出噪声电压密度  $v_{no, dm}$  是通过计算这些分量的和平方根得到的。将这些公式输入电子表格是计算总输出噪声电压密度的最好方式。ADI 公司网站上还新推出了 ADI 差分放大器计算器，用它能快速计算噪声、增益和差分 ADC 驱动器的其它参数值。

现在可以将 ADC 驱动器的噪声性能与 ADC 的 ENOB 作一比较。描述这一过程的例子是为采用 5V 电源工作的 [AD9445](#) ADC 选择和评估一款增益为 2、2V 满量程输入的差分驱动器。它能处理用一个单极点滤波器限制、占用 50MHz(-3dB)带宽的直接耦合宽带信号。从数据手册中记载的各种条件下的 ENOB 参数列表中可以发现：对应 50MHz 的奈奎斯特带宽，ENOB=12 位。

[ADA4939](#) 是一款能够被直接耦合的高性能宽带差分 ADC 驱动器。在噪声性能方面它是驱动 [AD9445](#) 的合适产品吗？[ADA4939](#) 数据手册针对近似为 2 的差分增益推荐的  $R_F=402\Omega$ 、 $R_G=200\Omega$ ，数据手册给出的这种情况下的总输出电压噪声密度为 9.7nV/Hz。

首先计算给定恒定输入噪声功率谱密度下的系统噪声带宽  $B_N$ ，它是输出与决定系统带宽的实际滤波器相同噪声功率的等效矩形低通滤波器的带宽。对于一个单极滤波， $B_N$  等于  $\pi/2$  乘以 3dB 带宽，如公式 28 所示。

$$B_N = \left(\frac{\pi}{2}\right) 50 \text{ MHz} = 78.5 \text{ MHz} \quad (28)$$

然后在系统带宽的平方根内对噪声密度进行积分，得到输出噪声有效值（公式 29）。

$$v_{no, dm} (\text{rms}) = (9.7 \text{ nV}/\sqrt{\text{Hz}}) (\sqrt{78.5 \text{ MHz}}) = 86 \mu\text{V rms} \quad (29)$$

假定噪声幅度呈高斯分布，那么峰峰值噪声的计算可以使用常见的  $\pm 3\sigma$  门限（在 99.7% 的时间内噪声电压摆幅位于这些门限之间），见公式 30：

$$v_{no, dm} (\text{p-p}) \approx 6 (86 \mu\text{V rms}) = 516 \mu\text{V}_{\text{p-p}} \quad (30)$$

现在可以在 12 位 ENOB、2V 满量程输入范围基础上对驱动器的峰峰输出噪声和 [AD9445](#) LSB 的 1LSB 电压进行比较，其中 LSB 的计算见公式 31。

$$\text{One LSB} = \frac{2\text{ V}}{2^{12}} = 488 \mu\text{V} \quad (31)$$

相对于 12 位 ENOB，驱动器的峰峰输出噪声与 ADC 的 LSB 具有可比性。因此从噪声角度看，[ADA4939](#) 驱动器非常适合这种应用。最终还必须通过搭建和测试驱动器/ADC 组合作出决定。

## 电源电压

考虑电源电压和电流是缩小 ADC 驱动器选择范围的快速途径。表 1 提供了不同电源电压下 ADC 驱动器性能的快速查找表。电源电压会影响带宽、信号摆幅和 ICMVR。衡量这些指标并进行反复权衡对差分放大器的选择而言至关重要。

电源抑制(PSR)是另外一个重要的参数。作为放大器输入电源引脚的作用经常被人忽视。电源线上或耦合进电源线的任何噪声对输出信号都有潜在的破坏作用。

考虑 [ADA4937-1](#) 的电源线上存在 60MHz、50mV p-p 的噪声这样一个例子。它的 PSR 在 50MHz 时是 -70dB，这意味着电源线上的噪声在放大器输出端将被减少到约 16μV。在 1V 满量程输入的 16 位系统中，1LSB 是 15.3μV，因此电源线上的这个噪声将“淹没”LSB。

这种情况可以通过增加串联表贴铁氧体磁珠 L1/L2 和并联旁路电容 C1/C2 (图 15) 加以改进。

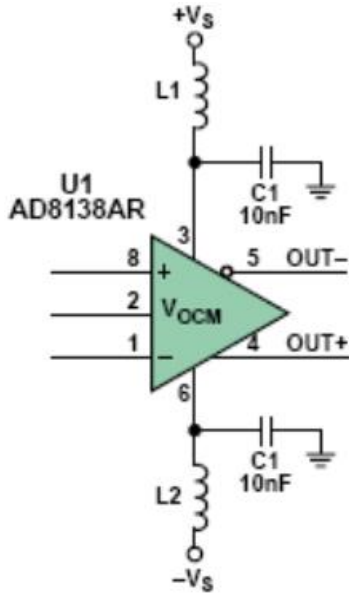


图 15. 电源旁路电路。

在 50MHz 时，磁珠的阻抗是 60Ω，10nF (0.01μF) 电容的阻抗是 0.32Ω，由这两种元件组成的衰减器可以提供 45.5dB 的衰减（公式 32）。

$$\text{Divider Attenuation} = 20 \log \left( \frac{0.32}{0.32 + 60} \right) = -45.5 \text{ dB} \quad (32)$$

上述分压式衰减加上 -70dB 的 PSR 总共可提供 115dB 的抑制效果，因而可将噪声减小到远低于 1LSB 的 90nV p-p 左右。

## 谐波失真

频域中的低谐波失真在窄带和宽带系统中都很重要。驱动器中的非线性会在放大器输出端产生单频谐波失真和多频互调失真。

在噪声分析例子中使用的方法可以同样应用于失真分析，即对 [ADA4939](#) 的谐波失真与 2V 满量程输出时 [AD9445](#) 12 位 ENOB 的 1LSB 进行比较。一个 ENOB LSB 在噪声分析中代表 488μV。

[ADA4939](#) 参数表中的失真数据是在增益为 2 时给出的值，通过这张表可以直观地比较各



个频率点的二次和三次谐波失真。表 3 就是增益为 2、差分输出摆幅为 2V p-p 时的谐波失真数据。

表 3. [ADA4939](#) 的二次和三次谐波失真

参数	谐波失真
HD2 @ 10 MHz	-102 dBc
HD2 @ 70 MHz	-83 dBc
HD2 @ 70 MHz	-83 dBc
HD2 @ 100 MHz	-77 dBc
HD3 @ 10 MHz	-101 dBc
HD3 @ 70 MHz	-97 dBc
HD3 @ 100 MHz	-91 dBc

这些数据表明，谐波失真随频率增加而增加，并且在感兴趣带宽(50M Hz)内二次谐波失真要比三次谐波失真糟糕。在比感兴趣频率更高的频率点的谐波失真值较高，因此它们的幅度可能被系统频带限制功能所降低。如果系统有一个 50MHz 的砖墙式滤波器，那么就只需要考虑超过 25MHz 的频率点，因为更高频率的所有谐波将被滤波器滤除。尽管如此，我们还是要评估频率最高为 50MHz 的系统，因为目前的所有滤波器对谐波的抑制可能都不够，失真分量可能混叠回信号带宽内。图 16 给出了 [ADA4939](#) 在各种电源电压和 2V p-p 输出时的谐波失真与频率的关系。

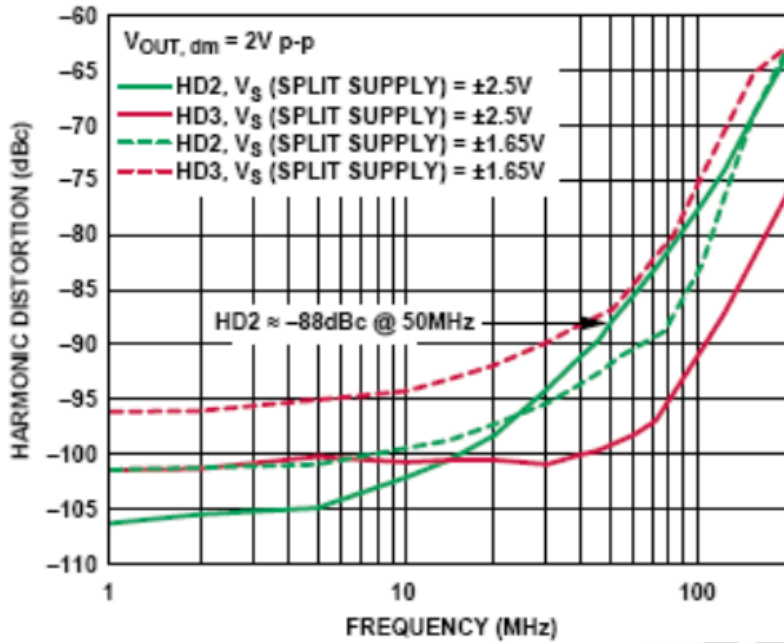


图 16. 谐波失真与频率的关系。

50MHz 时的二次谐波失真相对于 2V p-p 输入信号来说大约是 -88dBc。为了比较谐波失真水平和 1 ENOB LSB，这个谐波失真值必须被转换成电压值，如公式 33 所示。

$$HD2 = (2 \text{ V p-p}) \left( 10^{\frac{-88}{20}} \right) \approx 80 \text{ } \mu\text{V p-p} \quad (33)$$

这个失真值只有 80 $\mu$ V p-p，或 1 ENOB LSB 的 16%。因此，从失真的角度看，可以认为 [ADA4939](#) 是 [AD9445](#) ADC 驱动器的很好选择。

由于 ADC 驱动器是负反馈放大器，输出失真取决于放大器电路中的环路增益值。负反馈放大器固有的开环失真将被减少  $1/(1+LG)$  倍，其中 LG 代表可用环路增益。

放大器的输入（误差电压）被乘以一个大的前向电压增益  $A(s)$ ，然后通过反馈系数  $\beta$  传送到输入端，再通过调整输出使误差最小。这样，这类放大器的环路增益为  $A(s) \times \beta$ 。随着环路增益 ( $A(s)$ ,  $\beta$  或两者) 的降低，谐波失真将增加。电压反馈放大器，如积分器，被设计在直流和低频率处具有大的  $A(s)$ ，然后随着  $1/f$  在高频点趋向于 1 而发生滚降。随着  $A(s)$  的滚降，环路增益下降，失真增加。因此谐波失真参数是  $A(s)$  的倒数。

电流反馈放大器将误差电流用作反馈信号。误差电流被乘以一个大的前向互阻  $T(s)$  而转换成输出电压，然后通过反馈系数  $1/R_F$  将输出电压转换成反馈电流，以便使输入误差电流最小。因此理想的电流反馈放大器的环路增益是  $T(s) \times (1/R_F) = T(s)/R_F$ 。同  $A(s)$  一样， $T(s)$  也有一个大的直流值，并随着频率的增加而滚降，从而降低环路增益，增加谐波失真。

环路增益还直接取决于反馈系数  $1/R_F$ 。理想电流反馈放大器的环路增益并不取决于闭环电压增益，因此谐波性能不会随着闭环增益的增加而下降。在实际的电流反馈放大器中，环路增益确实某种程度上取决于闭环增益，但不会达到电压反馈放大器中那样的程度。因此对于高闭环增益和低失真的应用来说，电流反馈放大器，比如 [ADA4927](#)，是比电压反馈放大器更好的选择。从图 17 可以看出随着闭环增益的增加失真性能保持得有多好。

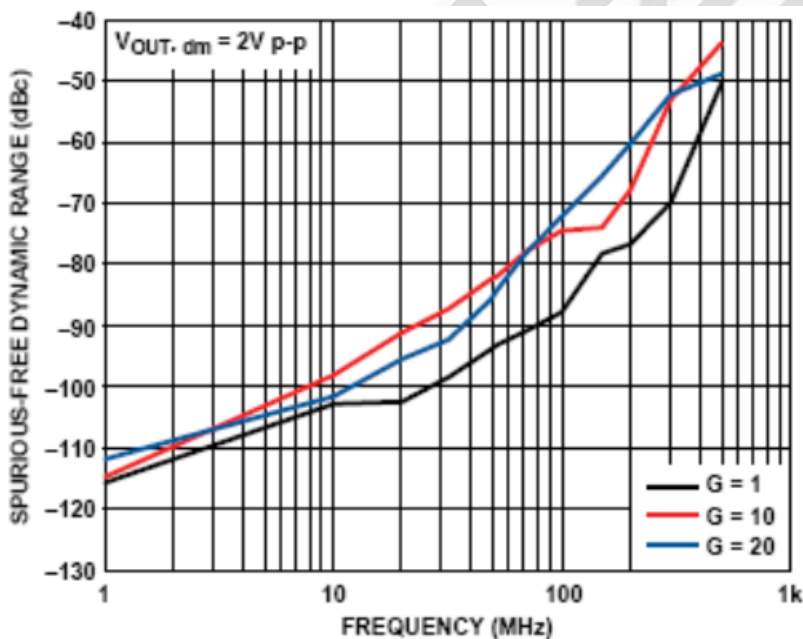


图 17. 失真与频率和增益的关系。

## 带宽和压摆率

带宽和压摆率在 ADC 驱动器应用中特别重要。一般情况下，器件的带宽是指小信号

带宽，而压摆率衡量的是大信号摆幅时放大器输出端的最大变化率。

EUBW（有效可用带宽），一个类似于 ENOB（有效位数）的首字母缩略词，用于描述带宽。许多 ADC 驱动器和运放自称有很宽的带宽指标，但并不是所有带宽都是可用的。例如，-3dB 带宽是测量带宽的一种传统方法，但它并不意味着所有带宽是可用的。-3dB 带宽的幅度和相位误差的使用比实际“截止”频率要早十年。那么什么是放大器的 EUBW？如何确定它的大小？确定可用带宽的一个极好方法是查询数据手册上的失真图。

图 18 表明，为了使二次和三次谐波保持大于-80dBc，这个 ADC 驱动器不应用于超过 60MHz 的频率。由于每个应用都不尽相同，系统要求将成为具有足够带宽和足够失真性能的选择准则。

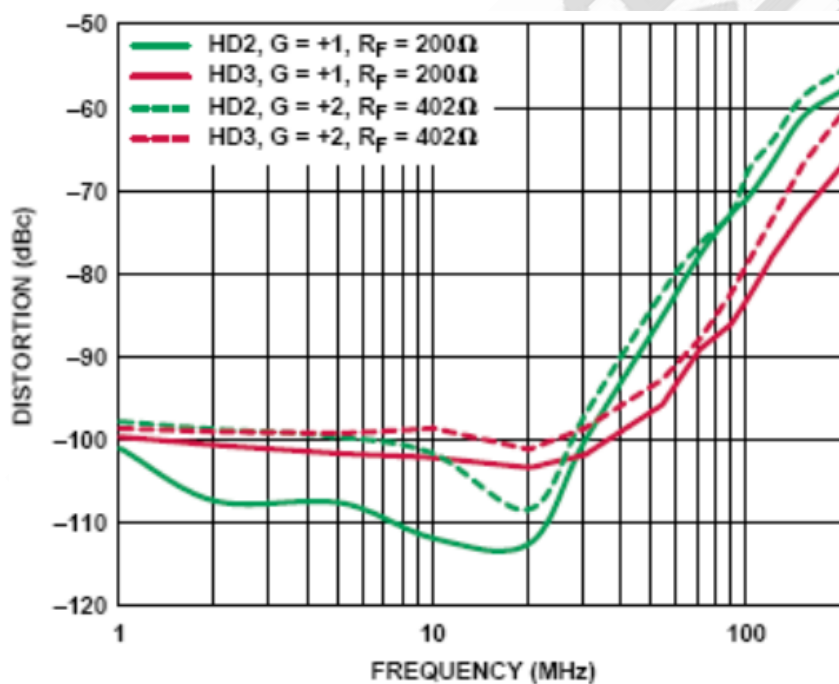


图 18. [ADA4937](#) 电流反馈型 ADC 驱动器的失真曲线。

压摆率，一种大信号参数，指的是放大器输出在没有过高失真的情况下能够跟踪输入的最大变化率。以压摆率考虑正弦波输出

$$v_o = V_p \sin 2\pi ft \quad (34)$$

公式 34 在过零点的导数（变化率）即最大变化率，它等于：

$$\frac{dv}{dt}_{\max} = 2\pi f V_p \quad (35)$$

其中  $dv/dt_{\max}$  是压摆率， $V_p$  是峰值电压， $f$  等于满功率带宽(FPBW)。推算 FPBW：

$$FPBW = \frac{\text{Slew Rate}}{2\pi V_p} \quad (36)$$

因此，在选择 ADC 驱动器时，重点要考虑增益、带宽和压摆率(FPBW)，以确定放大器是否能够满足应用要求。

## 稳定性

关于差分 ADC 驱动器的稳定性考虑与运放是一样的，关键参数是相位余量。虽然特定放大器配置的相位余量可以从数据手册中获取，但在实际系统中由于 PCB 版图中的寄生效应这个相位余量会有显著降低。

负电压反馈放大器的稳定性取决于其环路增益的大小和符号， $A(s) \times \beta$ 。差分 ADC 驱动器要比典型的运放电路稍微复杂一点，因为它有两个反馈系数。在公式 7 和公式 8 的分母中可以见到环路增益。公式 37 提供了在反馈系数不匹配( $\beta_1 \neq \beta_2$ )情况下的环路增益。

$$\text{Loop Gain} = \frac{A(s)(\beta_1 + \beta_2)}{2} \quad (37)$$

当反馈系数不匹配时，有效反馈系数是两个反馈系数的简单平均值。当它们匹配并被定义为  $\beta$  时，环路增益可以简化为  $A(s) \times \beta$ 。

要想使反馈放大器稳定，其环路增益不允许等于 -1（相当于相位偏移 -180°、幅度为 1）。



对于电压反馈放大器来说，其开环增益频率图上环路增益值等于 1（即 0dB）的点正是  $A(s)$  值等于反馈系数倒数的地方。对于基本的放大器应用，反馈是纯阻性的，在反馈环路中不会引入相位偏移。在反馈系数匹配的情况下，与频率无关的反馈系数倒数  $1+R_F/R_G$  通常被称为噪声增益。如果将以 dB 为单位的恒定噪声增益与开环增益  $A(s)$  绘制在同一张图上，那么两条曲线的交叉点就是环路增益为 1 或 0dB 的地方。在这个频率点的  $A(s)$  相位与  $-180^\circ$  之间的差值被定义为相位余量。为了稳定工作，这个相位余量应大于或等于  $45^\circ$ 。图 19 给出了  $R_F/R_G=1$ （噪声增益=2）时 [ADA4932](#) 的单位环路增益点和相位余量。

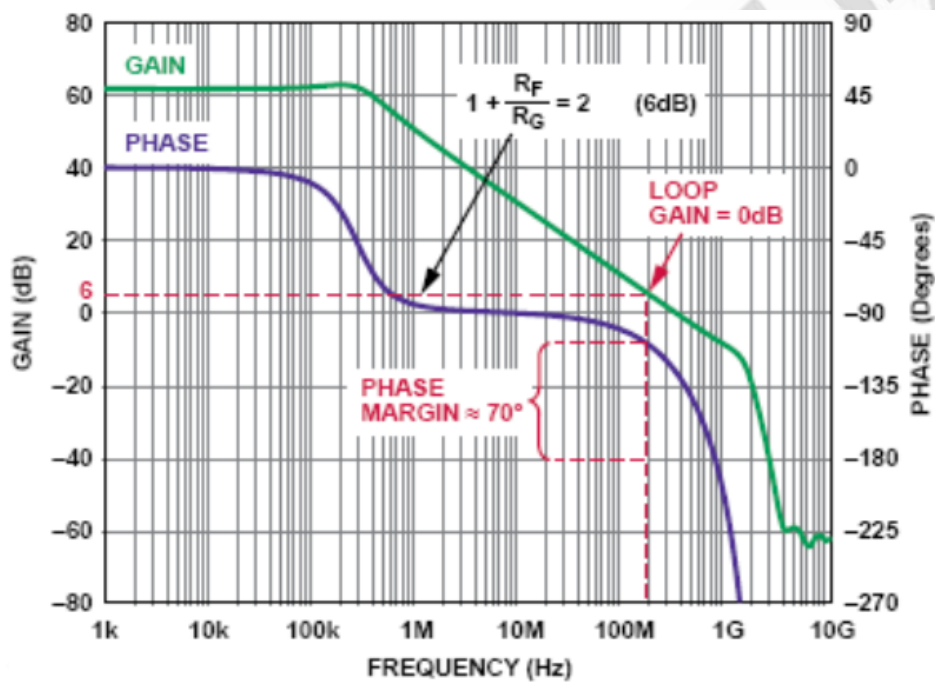


图 19. [ADA4932](#) 开环增益幅度和相位与频率的关系。

进一步观察图 19 可以发现，[ADA4932](#) 在噪声增益为 1（每个环路中 100%反馈）时有约  $50^\circ$  的相位余量。虽然让 ADC 驱动器工作在零增益有点不切实际，但这一结果表明，[ADA4932](#) 可以稳定工作在小数差分增益（如  $R_F/R_G=0.25$ ，噪声增益=1.25）。并不是所有差分 ADC 驱动器都能这样。最小稳定增益可以在所有 ADC 驱动器的数据手册中找到。

电流反馈 ADC 驱动器的相位增益同样可以从开环响应中判断。电流反馈放大器不再使用前向增益  $A(s)$ ，而是使用前向互阻  $T(s)$ ，并将误差电流用作反馈信号。带匹配反馈电阻的电流反馈驱动器的环路增益等于  $T(s)/R_F$ ，因此电流反馈放大器环路增益幅度在  $T(s)=R_F$  时等于 1（即 0dB）。这个点在开环互阻和相位图上很容易找到，定位方法与电压反馈放大器相同。注意，绘制电阻与  $1k\Omega$  的比值能使阻值表示在对数图上。图 20 给出了  $R_F=300$  时 [ADA4927](#) 电流反馈差分 ADC 驱动器的单位环路增益点和相位余量。

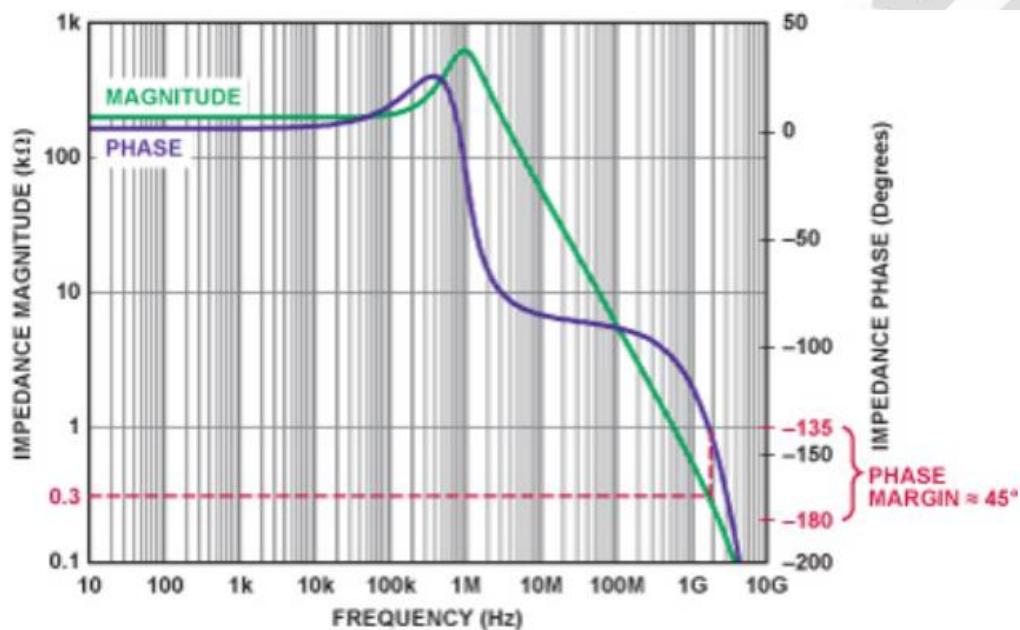


图 20. [ADA4927](#) 开环增益幅度和相位与频率的关系。

$300\Omega$  反馈电阻水平线与互阻幅度曲线的交叉点是环路增益为 0dB 的地方。在这个频率点， $T(s)$  的相位接近  $-135^\circ$ ，因此有  $45^\circ$  的相位余量。相位余量和稳定性随  $R_F$  的增加而增加，随  $R_F$  的减小而减小。电流反馈放大器应始终使用具有足够相位余量的纯电阻反馈。

## PCB 版图

在稳定的 ADC 驱动器设计好后，还必须在 PCB 上实现。由于电路板存在寄生成分，总是会损失一些相位余量，因此电路板的寄生效应必须保持最小，其中特别要关注的是负

载电容、反馈环路电感和求和节点电容。每种寄生电抗都会给反馈环路增加迟滞性相位偏移，从而减小相位余量。由于 PCB 版图设计不良可能导致  $20^\circ$  以上的相位余量损失。

在使用电压反馈放大器时最好使用尽可能小的  $R_F$ ，以便最小化由  $R_F$  和求和节点电容组成的极点引起的相位偏移。如果要求使用大的  $R_F$ ，寄生电容可以用跨接每个反馈电阻的小电容  $C_F$  进行补偿，对  $C_F$  的要求是  $R_F C_F$  等于  $R_G$  乘以求和节点电容。

PCB 版图是设计中最后的必要步骤之一。遗憾的是，它也是设计中最容易被忽视的步骤之一，即使性能高度依赖于版图设计的高速电路也是如此。马虎或拙劣的版图设计可能降低一个高性能设计的性能，甚至使它不能工作。虽然本文无法涵盖正确高速 PCB 设计的所有方面，但还是要介绍一些关键点。

寄生成分将损害高速电路的性能。寄生电容是由元器件的焊盘、走线、地平面或电源平面引起的。没有地平面的长走线将形成寄生电感，进而导致瞬态响应中的振铃和其它不稳定现象。寄生电容在放大器的求和节点处特别危险，因为它会在反馈响应中引入一个极点，造成尖峰和不稳定。一种解决方案是确保 ADC 驱动器安装和反馈元件焊盘下方区域的所有电路板层都是干净的地和电源平面。

要使有害寄生电抗最小，首先要使所有走线尽可能短。RF-4 印制板的外层  $50\Omega$  走线产生的寄生参数大约为  $2.8\text{pF}/\text{英寸}$  和  $7\text{nH}/\text{英寸}$ 。内层  $50\Omega$  走线的寄生电抗将在此基础上增加约 30%。还要确保在长走线下方有地平面，以使走线电感最小。保持短小的走线有助于减小寄生电容和寄生电感——并保持设计的完整性。

电源旁路是版图设计中另一个重要的考虑因素。确保电源旁路电容和  $\text{VOCM}$  旁路电容尽可能靠近放大器引脚放置。另外，在电源上使用多个旁路电容有助于确保为宽带噪声提供低阻抗路径。图 21 给出了一个带旁路和输出低通滤波器的典型差分放大器原理图。低通滤波器用于限制进入 ADC 的带宽和噪声。理想情况下，电源旁路电容回路靠近负载回路，这有助于减小地平面中的环流，从而改善 ADC 驱动器性能 (图 22a 和图 22b)。

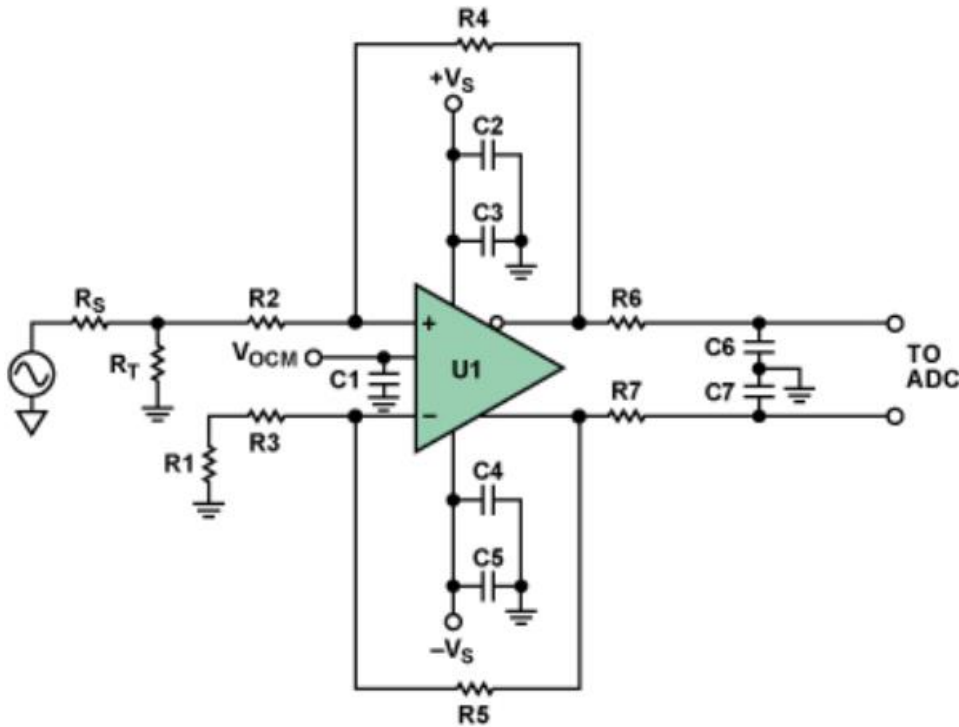


图 21. 带电源旁路电路和输出低通滤波器的 ADC 驱动器。



图 22. 混合信号的接地方式。

使用地平面和一般的接地技巧是一个具体而复杂的课题，不在本文讨论的范围之内。不过有几个要点需要指出，见图 22a 和图 22b。首先，只在一个点将模拟和数字地连接在一起，记住只是单点接地。这样做可以使地平面上模拟和数字电流的交互作用最小，而这种交互最终将导致系统中产生“噪声”。另外，要将模拟电源终接到模拟电源平面，数字电源终接到数字电源平面。对于混合信号 IC，要将模拟回路终接到模拟地平面，将数字地回路终接到数字地平面。

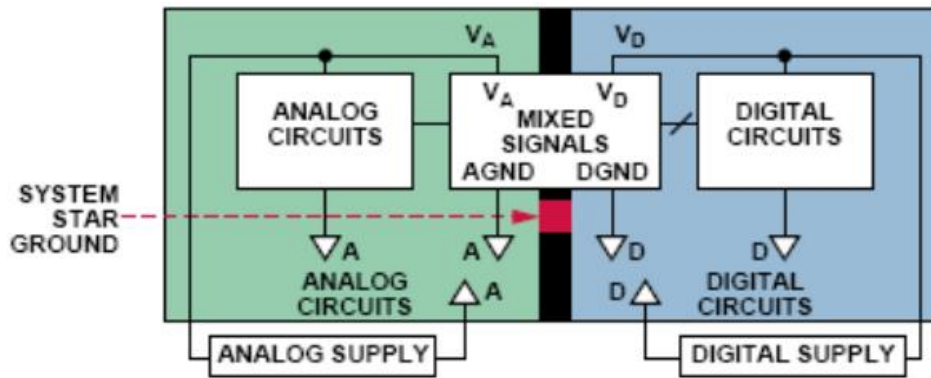


图 23. 混合信号的接地方式。

有关高速 PCB 版图设计的详细讨论请参考

[A Practical Guide to High-Speed Printed-Circuit-Board Layout.](#)

我们希望当您用 ADC 驱动器进行设计时这里提供的材料有助于您更加全面地考虑众多必要因素。理解差分放大器——并在项目开始时就留意 ADC 驱动器设计的细节——将使设计过程中发生的问题最少，并使您远离 ADC 驱动器故障。

## 使用 VCXO（压控晶体振荡器）作为时钟 (CLK)发生器的 PCB 设计指南

VCXO（压控晶体振荡器）是由晶体决定振荡频率的振荡器，可用控制电压在小范围内进行频率调整。VCXO 时钟(CLK)发生器已在多种系统中得到应用，如数字电视，数字音频，ADSL 和 STB。此文介绍 VCXO CLK 发生器的结构，关键参数测量，PCB 设计指南，以及对一个应用于 MPEG2 和 AC-3 音频设备的 VCXO CLK 发生器 MAX9485 的测试结果。

### VCXO CLK 发生器的结构和应用

VCXO，即压控晶体振荡器，其振荡频率由晶体决定，但可用控制电压在小范围内对频率进行调整，控制电压范围一般为 0V 至 2V 或 0V 至 3V。VCXO 的调谐范围为  $\pm 100\text{ppm}$



至 ±200ppm。图 1 为一个典型 VCXO CLK 发生器的结构和晶振电路模型。

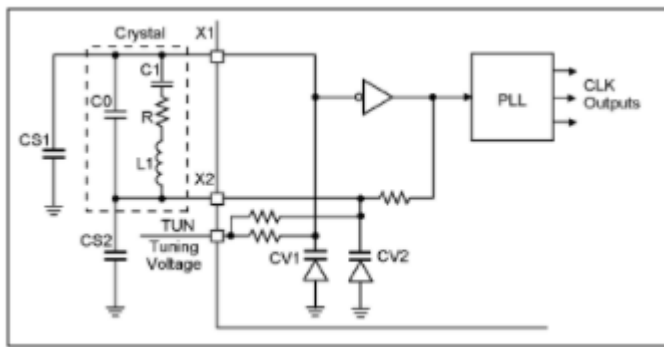


图 1. 典型 VCXO CLK 发生器的结构图。

变容二极管 CV1 和 CV2 的容值变化会影响到晶振模型，从而改变振荡频率。两个外接并联电容 CS1 和 CS2 用来调整谐振范围和中心频率的偏移。按照图 1 所示的晶振电路，谐振频率可用下式表示：

$$f_c = \frac{1}{2\pi\sqrt{L_1 C_1}} \sqrt{1 + \frac{C_1}{C_0 + C_L}}$$

其中  $C_L$  是由 CV1, 2 和 CS1, 2 决定的等效负载电容。可准确地表示为： $C_L = (CV1 + CS1) \parallel (CV2 + CS2)$ 。取一阶近似并考虑到  $C_1 \ll C_0$  和  $C_L$ ，可得到  $f_c$  的频率增量。

$$\Delta f_c = \frac{-C_1}{4\pi\sqrt{L_1 C_1} (C_0 + C_L)^2} \Delta C_L$$

图 2 为  $CS1 = CS2$  时， $f_c$  随  $CS1$  值变化的典型曲线图。

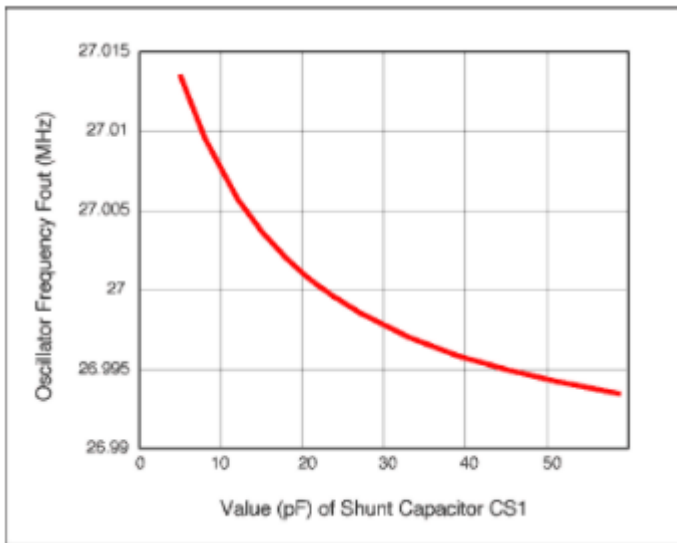


图 2. VCXO 频率与并联电容 CS1(CS1=CS2)。

利用这一微调特性，可使用 VCXO 和 PLL 构成一个具有微调特性的 CLK 发生器。

VCXO CLK 已经在多种系统中得到应用，如数字电视，数字音频，ADSL 和 STB。MAX9485 就是这样一款 CLK 发生器芯片，专为 MPEG-2 和杜比数字音频(AC-3)应用设计，它几乎可以提供数字音频到模拟转换所采用的所有频率，支持从 12kHz 至 96kHz 的采样频率。ADI 还为其它应用设计了各种 VCXO CLK 发生器。

## VCXO CLK 发生器的关键参数

有许多参数用来描述 VCXO CLK 发生器。其中最重要的是调谐电压范围、中心频率、牵引范围以及时钟输出抖动。

调谐电压范围为 VCXO 控制电压的变化范围，此电压控制变容二极管的电容。通常为 0V 至 2V 或 3V。中心频率为 VCXO 输出频率范围的中点。牵引范围为变化频率（增大或减少）与中心频率的比值。此比值一般用 ppm 表示（百万分之一），代表 VCXO 的相对频率牵引范围。通常牵引范围大约为 100ppm 至 200ppm，取决于 VCXO 的结构和所选择的晶体。

时钟抖动是 CLK 发生器的一个重要参数，有多种关于抖动的定义。两个最常用的抖动参数称为“周期”抖动和“周期间”抖动，我们将在第四节详细讨论这些问题。抖动取决于 CLK 发生器的结构，芯片之间会有差异，不同的应用对抖动的要求也不相同。

## 晶体选择和电路板设计

晶体的选择和 PCB 布局会对 VCXO CLK 发生器的性能参数产生一定的影响。选择晶体时，除了频率、封装、精度和工作温度范围，在 VCXO 应用中还应注意等效串联电阻和负载电容。串联电阻导致晶体的功耗增大。阻值越低，振荡器越容易起振。负载电容是晶体的一个重要参数，首先，它决定了晶体的谐振频率。一般晶体的标称频率指的是其并联指定负载电容后的谐振频率。应当指出，此处的标称频率是当  $C_L$  等于指定负载电容时利用公式(1)计算出的值，但不是利用计算出的值  $1/(2\pi\sqrt{L_1C_1})$ 。因此，VCXO 的调谐范围与  $C_L$  的值紧密相关。当负载电容值较小时，VCXO 的调谐范围限制在上端；同样，电容值较大时，调谐范围将限制在下端。负载电容的适当取值取决于 VCXO 的特性。例如，MAX9485 设计中，为了均衡调谐范围、调谐曲线中点、同时简化电路板设计，我们选择 Ecliptek(ECX-5527-27)具有 14pf 负载电容的 27MHz 晶体。使用这样的晶体时，MAX9485 具有  $\pm 200\text{ppm}$  的牵引范围，见图 3。应该指出，封装会导致晶体牵引范围的差异。一般金属壳封装比表贴器件(SMD)的牵引范围更大。但是最近 DAISHINKU Corp.生产的一款新 SMD 晶体可达到与金属壳晶体近似的牵引范围。我们测试了这款 SMD 晶体(DSX530GA)，发现外接两个 4pf 的并联电容时可以实现  $\pm 200\text{ppm}$  频率牵引范围，见图 4。

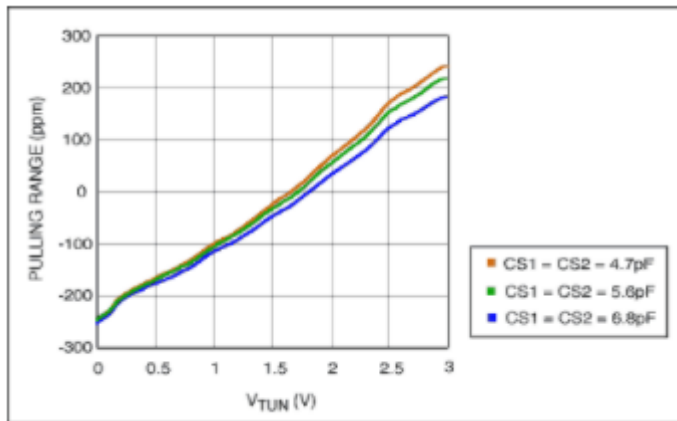


图 3.

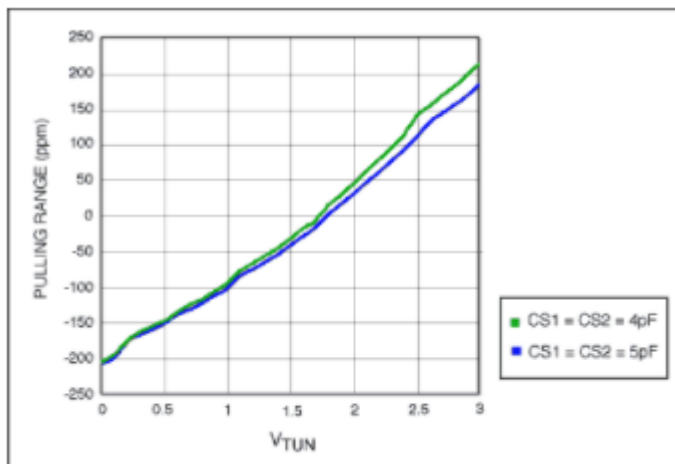


图 4.

为了限制 VCXO 的调谐范围，可通过改变外部并联电容设置向上的调节范围。并联电容取值范围为 4ps 至 7ps，取决于电路板寄生电容。另一方面，向下的调节范围取决于内部变容二极管值，不能由外部改变。为了降低寄生电容对向上频率调节范围的影响，在电路板布局中应尽可能的减少晶体引脚对地的寄生电容，保证引脚与地层和电源层之间的清洁。详细的电路板布局，请参考 MAX9485 评估(EV)板。

## 测量输出时钟抖动的设备

对振荡器而言，抖动是一个重要的性能参数。有两个最常用的抖动定义：周期抖动和周期间抖动，详细信息见图 5。为了测量抖动，可用高速数字示波器采样一批数据，按照

定义计算抖动。Tektronix 公司的示波器(TDS 7254)或 Lecroy 公司的示波器(Wavepro 960)都提供了这类测量软件。我们还可使用高速数字示波器在时域测量周期抖动。图 5 为装置图。在时域中无法测量周期间抖动。但是，如果每个周期的抖动噪声相互独立并均匀分布，则周期间抖动是周期抖动的 1.414 倍。MAX9485 能产生 21 种不同的输出频率，取决于不同的音频采样频率和频率比例因数。我们使用图 6 所示设备测量了各种可能输出的时钟频率的周期抖动，表 1 为测量结果。

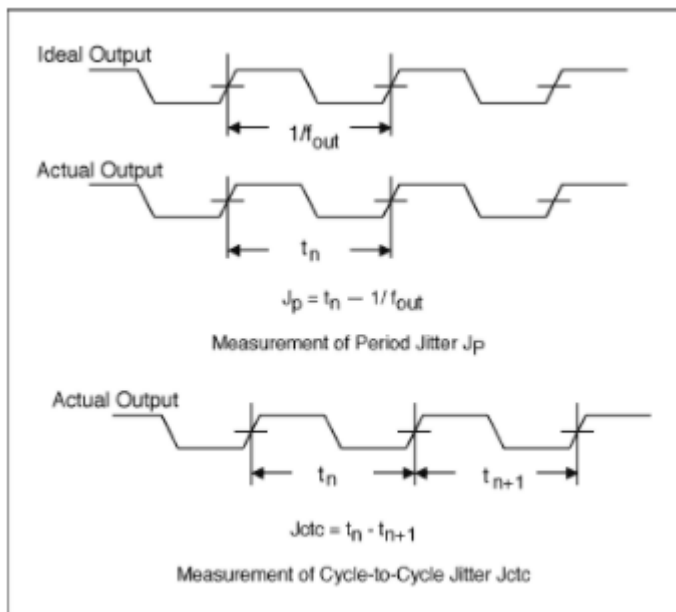


图 5. 输出抖动测量。

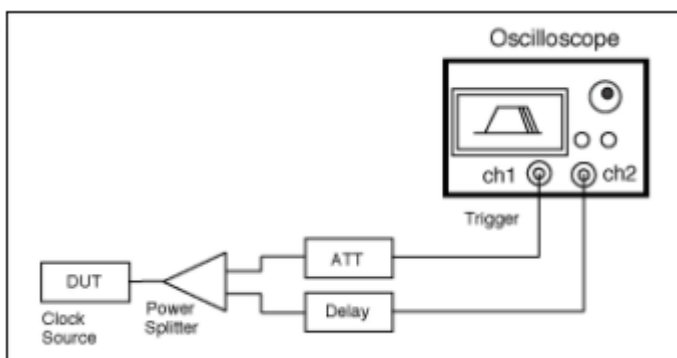


图 6. 自触发动抖动测量装置。



**表 1. 周期抖动与输出频率**

F <sub>OUT</sub>	Scaling factor	F <sub>S</sub>	J <sub>p</sub> (RMS)	
			(ps)	(UI)
(MHz)		(kHz)		
73.728	768	96	21	0.00155
67.7376	768	88.2	23.2	0.00157
49.152	768	64	42.6	0.00209
36.864	768	48	40	0.00147
36.864	384	96	37	0.00136
33.8688	768	44.1	44	0.00149
33.8688	384	88.2	41.3	0.00140
24.5760	768	32	66	0.00162
24.5760	384	64	92	0.00226
24.5760	256	96	50	0.00123
22.5792	256	88.2	55.1	0.00124
18.4320	384	48	59	0.00109
16.9344	384	44.1	69	0.00117
16.3840	256	64	134	0.00220
12.2880	256	48	84.8	0.00104
12.2880	384	32	170	0.00209
11.2896	256	44.1	100	0.00113
9.126	768	12	106	0.00097
8.1920	256	32	250	0.00205
4.608	384	12	198	0.00091
3.072	256	12	324	0.00100

从表中可以看出，一般情况下，频率越高、抖动越低。但如果我们用相对参数描述抖动，如单位间隔(UI)，见表的最最后一列，则抖动是可比拟的。此外，可以注意到输出频率 36.864MHz、33.8688MHz、24.5760MHz 和 12.288MHz 可通过不同的采样频率和比例因数实现，这导致了不同的抖动值。因此，当使用这些频率时，用户可通过选择不同的 F<sub>S</sub> 和比例因数获得最低抖动。

# 如何通过最小化热回路 PCB ESR 和 ESL 来优化开关电源布局

能否优化开关电源的效率？当然可以，最小化热回路 PCB ESR 和 ESL 是优化效率的重要方法。

对于功率转换器，寄生参数最小的热回路 PCB 布局能够改善能效比，降低电压振铃，并减少电磁干扰(EMI)。本文讨论如何通过最小化 PCB 的等效串联电阻(ESR)和等效串联电感(ESL)来优化热回路布局设计。本文研究并比较了影响因素，包括解耦电容位置、功率 FET 尺寸和位置以及过孔布置。通过实验验证了分析结果，并总结了最小化 PCB ESR 和 ESL 的有效方法。

## 热回路和 PCB 布局寄生参数

开关模式功率转换器的热回路是指由高频(HF)电容和相邻功率 FET 形成的临界高频交流电流回路。它是功率级 PCB 布局的最关键部分，因为它包含高  $dv/dt$  和  $di/dt$  噪声成分。设计不佳的热回路布局会产生较大的 PCB 寄生参数，包括 ESL、ESR 和等效并联电容(EPC)，这些参数对功率转换器的效率、开关性能和 EMI 性能有重大影响。

图 1 显示了同步降压 DC-DC 转换器原理图。热回路由 MOSFET M1 和 M2 以及解耦电容  $C_{IN}$  形成。M1 和 M2 的开关动作会产生高频  $di/dt$  和  $dv/dt$  噪声。 $C_{IN}$  提供了一个低阻抗路径来旁路高频噪声成分。然而，器件封装内和热回路 PCB 走线上存在寄生阻抗 (ESR、ESL)。高  $di/dt$  噪声通过 ESL 会引起高频振铃，进而导致 EMI。ESL 中存储的能量在 ESR 上耗散，导致额外的功率损耗。因此，应尽量减小热回路 PCB 的 ESR 和 ESL，以减少高频振铃并提高效率。

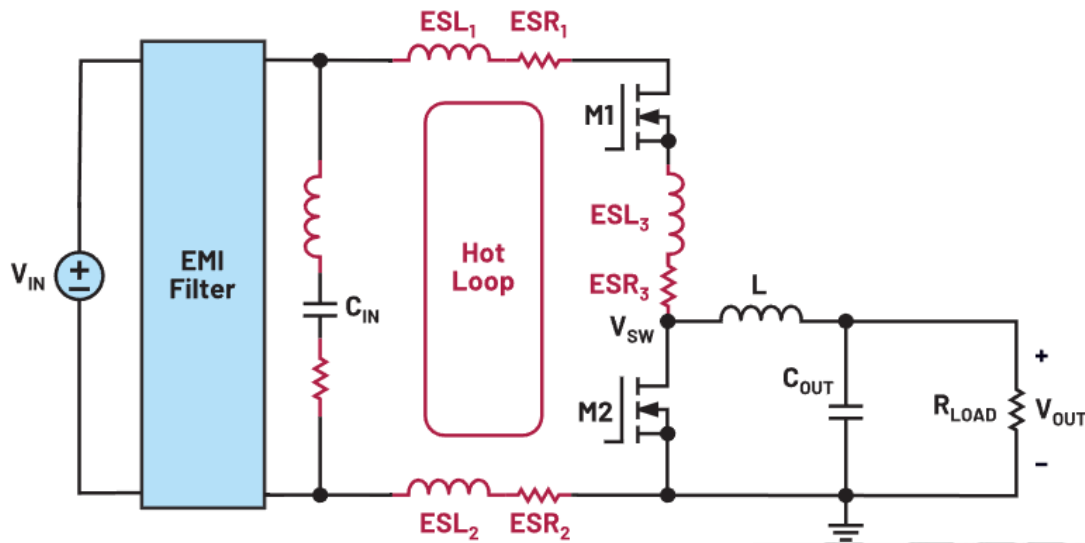


图 1. 带热回路 ESR 和 ESL 的降压转换器。

准确提取热回路的 ESR 和 ESL，有助于预测开关性能并改进热回路设计。器件的封装和 PCB 走线均会影响回路的总寄生参数。本文主要关注 PCB 布局设计。有一些工具可帮助用户提取 PCB 寄生参数，例如 Ansys Q3D、FastHenry/FastCap、StarRC 等。Ansys Q3D 之类的商用工具可提供准确的仿真，但通常价格昂贵。FastHenry/FastCap 是一款基于部分元件等效电路(PEEC)数值建模的免费工具，可以通过编程提供灵活的仿真来探索不同的版图设计，但需要额外的编程。FastHenry/FastCap 寄生参数提取的有效性和准确性已经过验证，并与 Ansys Q3D 进行了比较，结果一致。在本文中，FastHenry 用作提取 PCB ESR 和 ESL 的经济高效的工具。

## 热回路 PCB 的 ESR 和 ESL 与解耦电容位置的关系

本部分基于 ADI 公司的 [LTM4638](#)  $\mu$ Module<sup>®</sup>稳压器演示板 DC2665A-B 来研究  $C_{IN}$  位置的影响。[LTM4638](#) 是一款集成式 20  $V_{IN}$ 、15A 降压型转换器模块，采用小型 6.25mm  $\times$  6.25mm  $\times$  5.02mm BGA 封装。它具有高功率密度、快速瞬态响应和高效率特性。模块内部集成了一个小的陶瓷  $C_{IN}$ ，不过受限于模块封装尺寸，这还不够。图 2 至图 4 展示了演示板上的三种不同热回路，这些热回路使用了额外的外部  $C_{IN}$ 。

第一种是垂直热回路 1 (图 2)，其中  $C_{IN1}$  放置在  $\mu$ Module 稳压器下方的底层。  $\mu$ Module  $V_{IN}$  和 GND BGA 引脚通过过孔直接连接到  $C_{IN1}$ 。这些连接提供了演示板上的最短热回路路径。第二种热回路是垂直热回路 2 (图 3)，其中  $C_{IN2}$  仍放置在底层，但移至  $\mu$ Module 稳压器的侧面区域。其结果是，与垂直热回路 1 相比，该热回路添加了额外的 PCB 走线，预计 ESL 和 ESR 更大。第三种热回路选项是水平热回路 (图 4)，其中  $C_{IN3}$  放置在靠近  $\mu$ Module 稳压器的顶层。  $\mu$ Module  $V_{IN}$  和 GND 引脚通过顶层铜连接到  $C_{IN3}$ ，而不经过过孔。然而，顶层的  $V_{IN}$  铜宽度受其他引脚排列的限制，导致回路阻抗高于垂直热回路 1。表 1 比较了 FastHenry 提取的热回路 PCB ESR 和 ESL。正如预期的那样，垂直热回路 1 的 PCB ESR 和 ESL 最低。

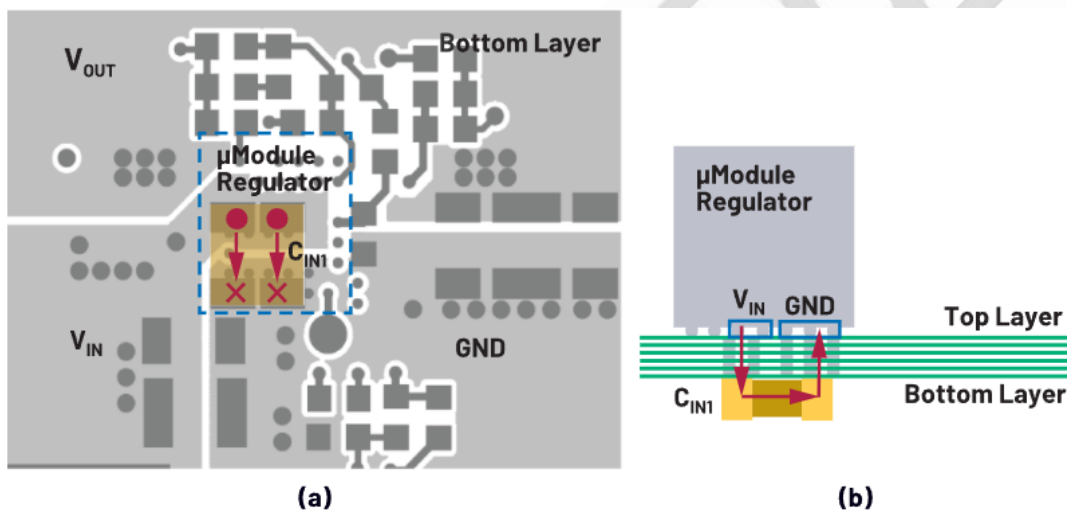


图 2. 垂直热回路 1: (a)俯视图和(b)侧视图。

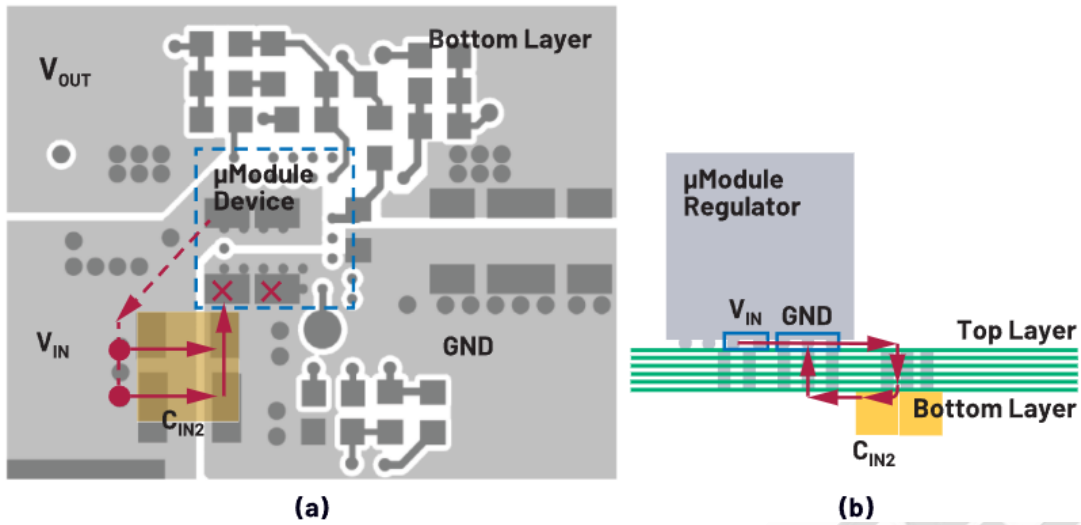


图 3. 垂直热回路 2: (a)俯视图和(b)侧视图。

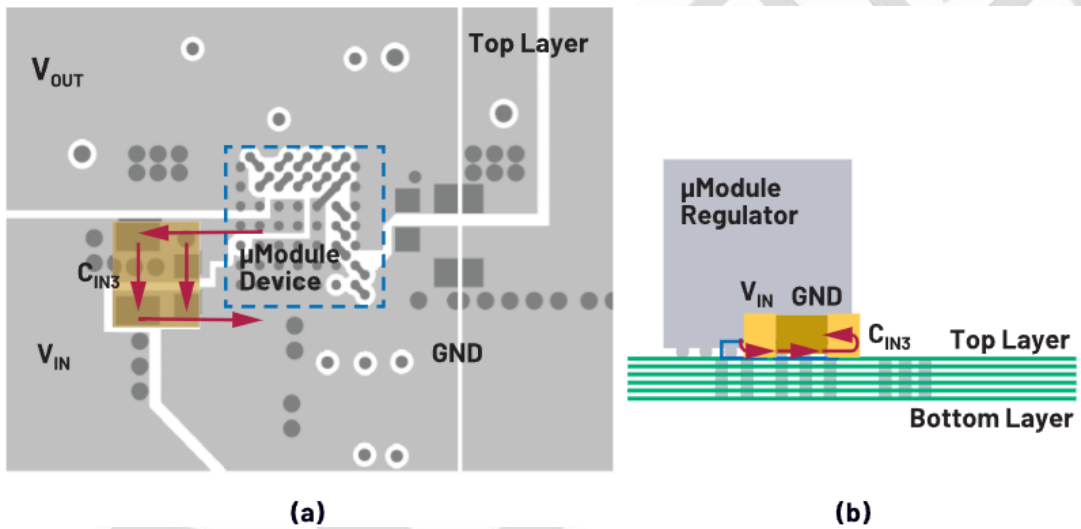


图 4. 水平热回路: (a)俯视图和(b)侧视图。

表 1. 使用 FastHenry 提取的不同热回路的 PCB ESR 和 ESL

热回路	ESR ( $ESR_1 + ESR_2$ )、 600 kHz (mΩ)	ESL ( $ESL_1 + ESL_2$ )、 200 MHz (nH)
垂直热回路1	0.7	0.54
垂直热回路2	2.5	1.17
水平热回路	3.3	0.84

为了通过实验验证不同热回路的 ESR 和 ESL，我们测试了 12V 转 1V CCM 运行时演示板



的效率和  $V_{IN}$  交流纹波。理论上，ESR 越低，则效率越高，而 ESL 越小，则 VSW 振铃频率越高， $V_{IN}$  纹波幅度越低。图 5a 显示了实测效率。垂直热回路 1 的效率最高，因为其 ESR 最低。水平热回路和垂直热回路 1 之间的损耗差异也是基于提取的 ESR 计算的，这与图 5b 所示的测试结果一致。图 5c 中的  $V_{IN}$  HF 纹波波形是在  $C_{IN}$  上测试的。水平热回路具有更高的  $V_{IN}$  纹波幅度和更低的振铃频率，因此验证了其回路 ESL 高于垂直热回路 1。另外，由于回路 ESR 更高，因此水平热回路的  $V_{IN}$  纹波衰减速度快于垂直热回路 1。此外，较低的  $V_{IN}$  纹波降低了 EMI，因而可以使用较小的 EMI 滤波器。

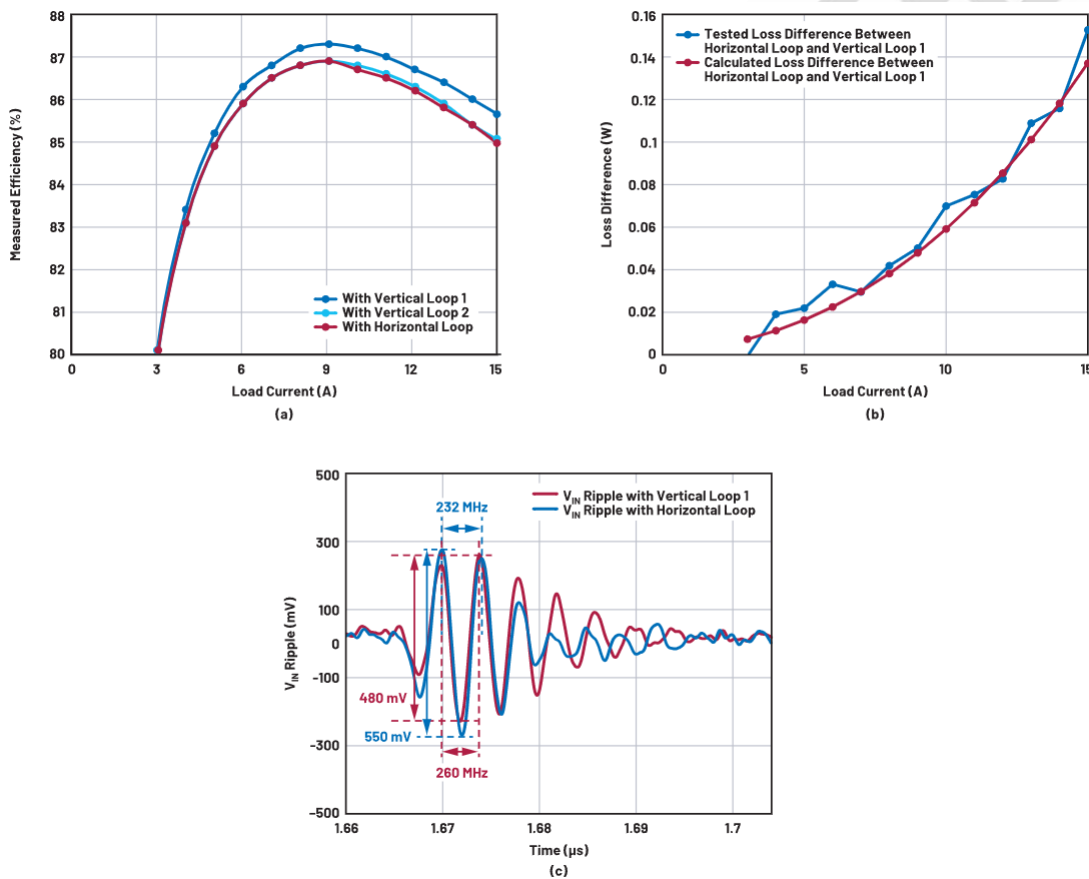


图 5. 演示板测试结果：(a)效率，(b)水平回路与垂直回路 1 之间的损耗差异，(c) 15A 输出时 M1 导通期间的  $V_{IN}$  纹波。

表 2. 对于不同器件形状和位置，使用 FastHenry 提取的热回路 PCB ESR 和 ESL

	ESR <sub>r</sub> (mΩ), 2 MHz	ESR <sub>s</sub> (mΩ), 2 MHz	ESR <sub>c</sub> (mΩ), 2 MHz	ESR <sub>total</sub> (mΩ), 2 MHz	相对于(a)的 ESR变化率	ESL (nH), 200 MHz	ESL (nH), 200 MHz	ESL <sub>r</sub> (nH), 200 MHz	ESL <sub>total</sub> (nH), 200 MHz	相对于(a)的 ESL变化率
(a)	0.59	2.65	0.45	3.69	N/A	0.42	2.80	0.23	3.45	N/A
(b)	0.59	0.3	0.38	1.27	-66%	0.42	0.09	0.17	0.67	-81%
(c)	0.24	0.27	0.83	1.35	-63%	0.07	0.07	0.52	0.66	-81%
(d)	0.44	0.3	0.28	1.01	-73%	0.25	0.09	0.08	0.42	-88%
(e)	0.44	0.27	0.26	0.97	-74%	0.21	0.08	0.07	0.36	-90%
(f)	0.31	0.27	0.13	0.7	-81%	0.12	0.07	0.02	0.21	-94%

## 热回路 PCB ESR 和 ESL 与 MOSFET 尺寸和位置的关系

对于分立式设计，功率 FET 的布置和封装尺寸对热回路 ESR 和 ESL 也有重大影响。本部分对使用功率 FET M1 和 M2 以及解耦电容 C<sub>IN</sub> 的典型半桥热回路进行了建模和研究。图 6 比较了常见功率 FET 封装尺寸和放置位置。表 2 显示了每种情况下提取的 ESR 和 ESL。

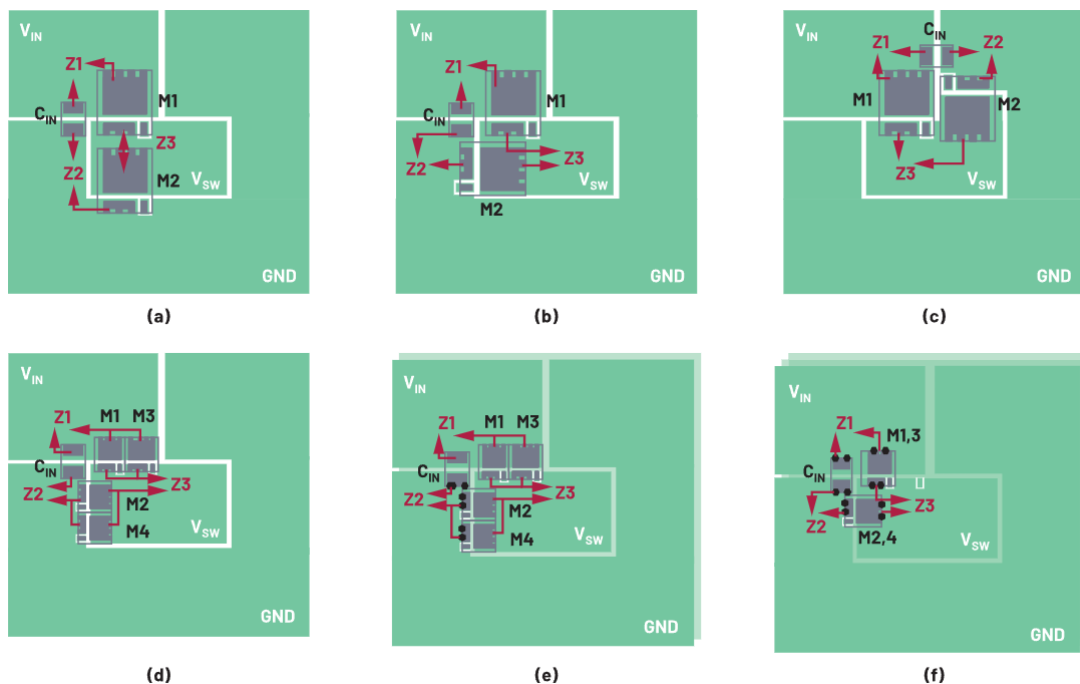


图 6. 热回路 PCB 模型: (a)5mm × 6mm MOSFET，直线布置; (b)5mm × 6mm MOSFET，以 90°形状布置; (c)5 mm × 6mm MOSFET，以 180°形状布置; (d)两个并联的 3.3mm × 3.3mm MOSFET，以 90°形状布置; (e)两个并联的 3.3mm × 3.3mm MOSFET，以 90°形

状布置，带有接地层；(f)对称的  $3.3\text{mm} \times 3.3\text{mm}$  MOSFET，位于顶层和底层，以  $90^\circ$  形状布置。

情况(a)至(c)展示了三种常见功率 FET 布置，其中采用  $5\text{mm} \times 6\text{mm}$  MOSFET。热回路的物理长度决定了寄生阻抗。与情况(a)相比，情况(b)中的  $90^\circ$  形状布置和情况(c)中的  $180^\circ$  形状布置的回路路径更短，导致 ESR 降低 60%，ESL 降低 80%。由于  $90^\circ$  形状布置显示出了优势，我们基于情况(b)研究了更多情况，以进一步降低回路 ESR 和 ESL。情况(d)将一个  $5\text{mm} \times 6\text{mm}$  MOSFET 替换为两个并联的  $3.3\text{mm} \times 3.3\text{mm}$  MOSFET。由于 MOSFET 尺寸更小，回路长度进一步缩短，导致回路阻抗降低 7%。情况(e)将一个接地层放置在热回路层下方，与情况(d)相比，热回路 ESR 和 ESL 进一步降低 2%。原因是接地层上产生了涡流，其感应出相反的磁场，相当于降低了回路阻抗。情况(f)构建了另一个热回路层作为底层。如果将两个并联 MOSFET 对称布置在顶层和底层，并通过过孔连接，则由于并联阻抗，热回路 PCB ESR 和 ESL 的降低更加明显。因此，在顶层和底层上以对称  $90^\circ$  形状或  $180^\circ$  形状布置较小尺寸的器件，可以获得最低的 PCB ESR 和 ESL。

为了通过实验验证 MOSFET 布置的影响，我们使用了 ADI 公司的高效率 4 开关同步降压-升压控制器演示板 [LT8390/DC2825A](#) 和 [LT8392/DC2626A](#)。如图 7a 和图 7b 所示，DC2825A 采用直线 MOSFET 布置，DC2626A 采用  $90^\circ$  形状的 MOSFET 布置。为了进行公平比较，两个演示板配置了相同的 MOSFET 和解耦电容，并在 36V 转 12V/10A、300kHz 降压操作下进行了测试。图 7c 显示了 M1 导通时刻测得的  $V_{\text{IN}}$  交流纹波。采用  $90^\circ$  形状的 MOSFET 布置时， $V_{\text{IN}}$  纹波的幅度更低，谐振频率更高，这就验证了热回路路径较短导致 PCB ESL 更小。相反，直线 MOSFET 布置的热回路更长，ESL 更高，导致  $V_{\text{IN}}$  纹波幅度要高得多，并且谐振频率更低。根据 Cho 和 Szokusha 研究的 EMI 测试结果，较高的输入电压纹波还会导致 EMI 辐射更严重。

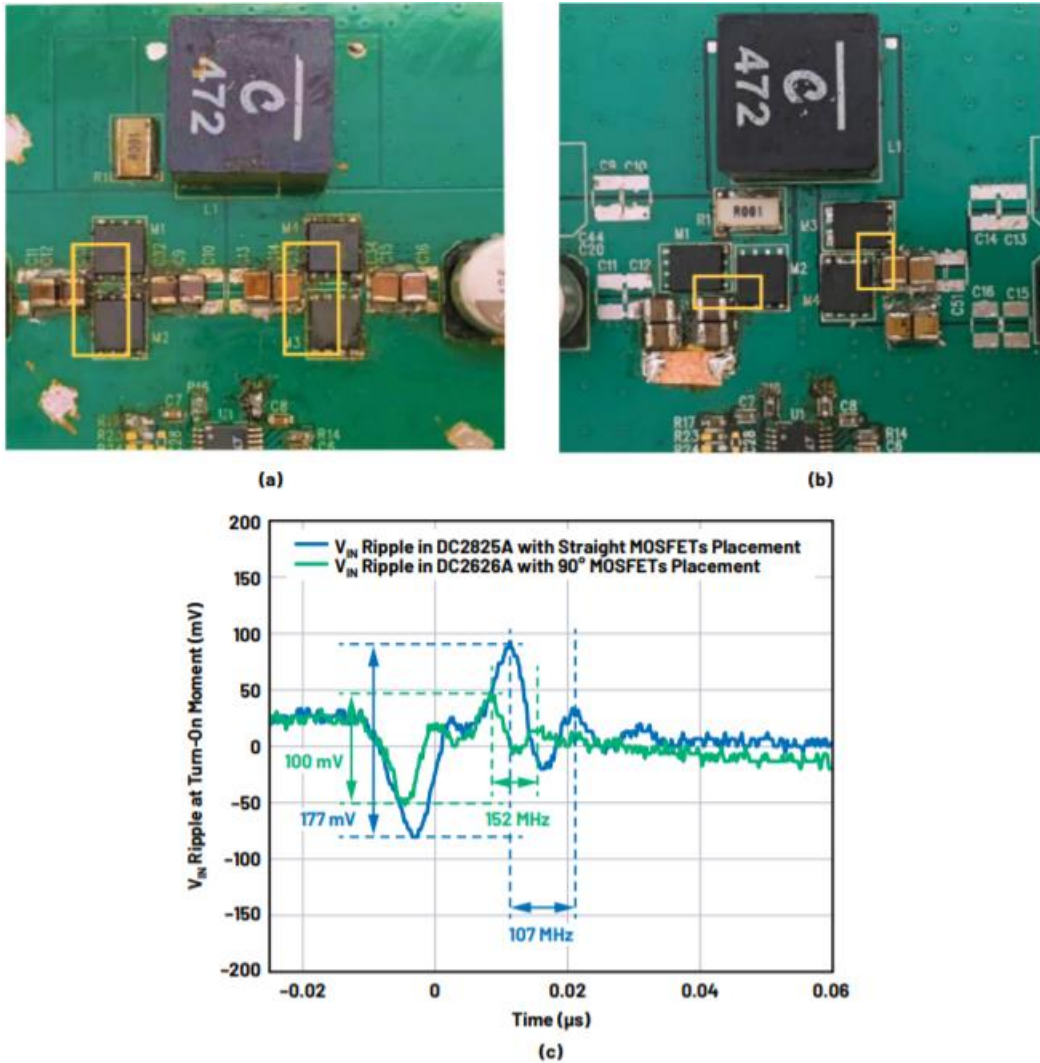


图 7. (a) [LT8390/DC2825A](#) 热回路，MOSFET 以直线布置；(b) [LT8392/DC2626A](#) 热回路，MOSFET 以 90° 形状布置；(c) M1 导通时的  $V_{IN}$  纹波波形。

## 热回路 PCB 的 ESR 和 ESL 与过孔布置的关系

热回路中的过孔布局对回路 ESR 和 ESL 也有重要影响。图 8 对使用两层 PCB 结构和直线布置功率 FET 的热回路进行了建模。FET 放置在顶层，第二层是接地层。 $C_{IN}$  GND 焊盘和 M2 源极焊盘之间的寄生阻抗  $Z_2$  是热回路的一部分，作为示例进行研究。 $Z_2$  是从 FastHenry 提取的。表 3 总结并比较了不同过孔布置的仿真  $ESR_2$  和  $ESL_2$ 。

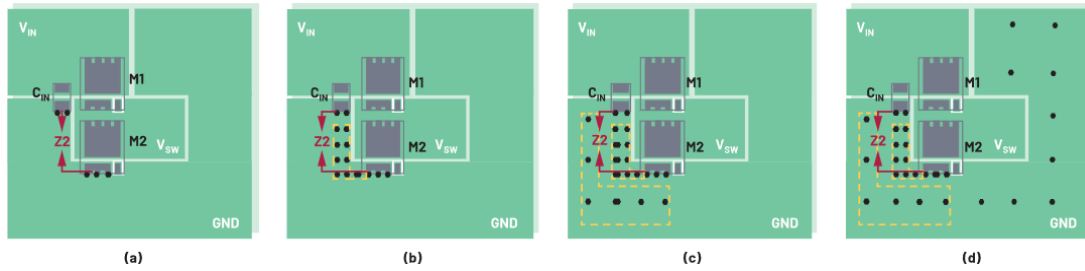


图 8. 热回路 PCB 模型, (a)5 个 GND 过孔靠近  $C_{IN}$  和  $M2$  布置; (b)14 个 GND 过孔布置在  $C_{IN}$  和  $M2$  之间; (c)基于(b),  $GND$  上再布置 6 个过孔; (d)基于(c),  $GND$  区域上再布置 9 个过孔。

通常, 添加更多过孔会降低 PCB 寄生阻抗。然而,  $ESR_2$  和  $ESL_2$  的降低程度与过孔数量并不是线性比例关系。靠近引脚焊盘的过孔, 所导致的 PCB  $ESR$  和  $ESL$  的降低最明显。因此, 对于热回路布局设计, 必须将几个关键过孔布置在靠近  $C_{IN}$  和 MOSFET 焊盘的位置, 以使高频回路阻抗最小。

表 3. 使用不同过孔布置时提取的热回路 PCB  $ESR_2$  和  $ESL_2$

情况	$ESR_2$ (m $\Omega$ ), 2 MHz	相对于 初始情况的 $ESR$ 变化率	$ESL_2$ (nH), 200 MHz	相对于 初始情况的 $ESL$ 变化率
无过孔的 初始情况	2.67	N/A	1.19	N/A
(a)	1.73	-35.2%	0.84	-29.8%
(b)	1.68	-37.1%	0.82	-30.8%
(c)	1.67	-37.5%	0.82	-31%
(d)	1.65	-38.2%	0.82	-31.4%

## 结论

减小热回路的寄生参数有助于提高电源效率, 降低电压振铃, 并减少 EMI。为了尽量减小 PCB 寄生参数, 我们研究并比较了使用不同解耦电容位置、MOSFET 尺寸和位置以及



过孔布置的热回路布局设计。更短的热回路路径、更小尺寸的 MOSFET、对称的 90°形状和 180°形状 MOSFET 布置、靠近关键元器件的过孔，均有助于实现最低的热回路 PCB ESR 和 ESL。

## 如何优化高电流检测精度？

### 可以试试改进低值分流电阻的焊盘布局

电流检测电阻有多种形状和尺寸可供选择，用于测量诸多汽车、功率控制和工业系统中的电流。使用极低值电阻（几 mΩ 或以下）时，焊料的电阻将在检测元件电阻中占据很大比例，结果大幅增加测量误差。高精度应用通常使用 4 引脚电阻和开尔文检测技术以减少这种误差，但是这些专用电阻却可能十分昂贵。另外，在测量大电流时，电阻焊盘的尺寸和设计在确定检测精度方面起着关键作用。本文将描述一种替代方案，该方案采用一种标准的低成本双焊盘检测电阻（4 焊盘布局）以实现高精度开尔文检测。图 1 所示为用于确定五种不同布局所致误差的测试板。

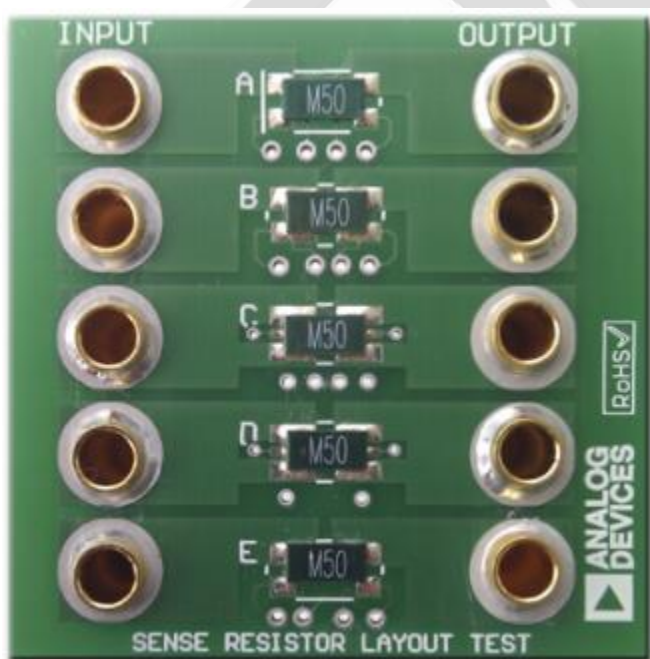


图 1. 检测电阻布局测试 PCB 板。

## 电流检测电阻

采用 2512 封装的常用电流检测电阻的电阻值最低可达  $0.5\text{m}\Omega$ ，其最大功耗可能达  $3\text{W}$ 。为了展现最差条件下的误差，这些试验采用一个  $0.5\text{m}\Omega$ 、 $3\text{W}$  电阻，其容差为 1% (型号：ULRG3-2512-0M50-FLFSLT 制造商：Welwyn/TTelectronics) 其尺寸和标准 4 线封装如图 2 所示。

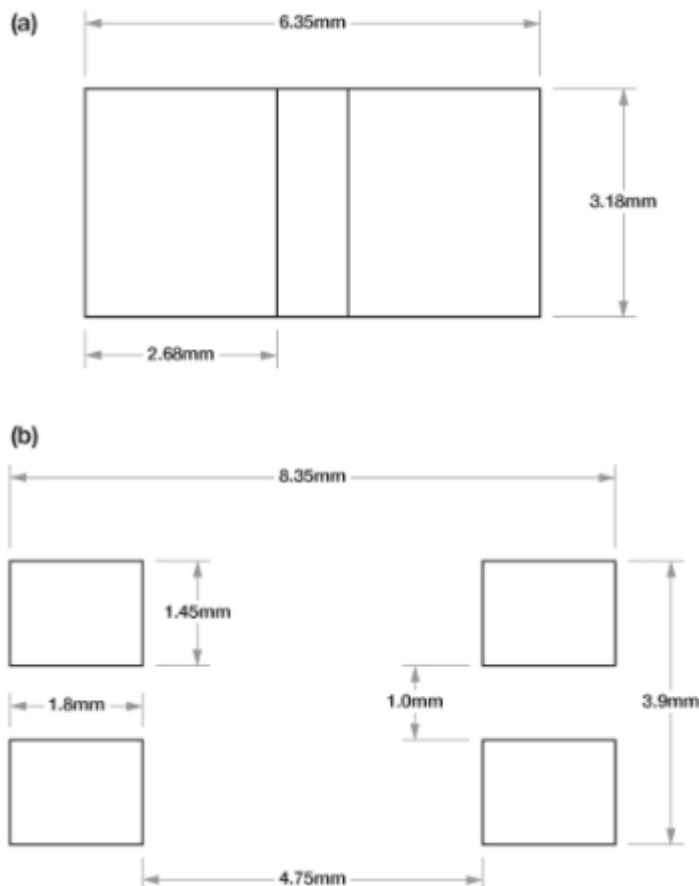


图 2. (a) ULRG3-2512-0M50-FLFSLT 电阻的外形尺寸；(b) 标准 4 焊盘封装。

## 传统封装

对于开尔文检测，必须将标准双线封装焊盘进行拆分，以便为系统电流和检测电流提供独立的路径。图 3 显示了此类布局的一个例子。系统电流用红色箭头表示的路径。如果使用一种简单的双焊盘布局，则总电阻为：

$$R_{TOTAL} = R_{SENSE} + (2 \times R_{SOLDER})$$

为了避免增加电阻，需要把电压检测走线正确的布局到检测电阻焊盘处。系统电流将在上部焊点导致显著的压降，但检测电流则会在下部焊点导致可以忽略不计的压降。可见，这种焊盘分离方案可以消除测量中的焊点电阻，从而提高系统的总体精度。

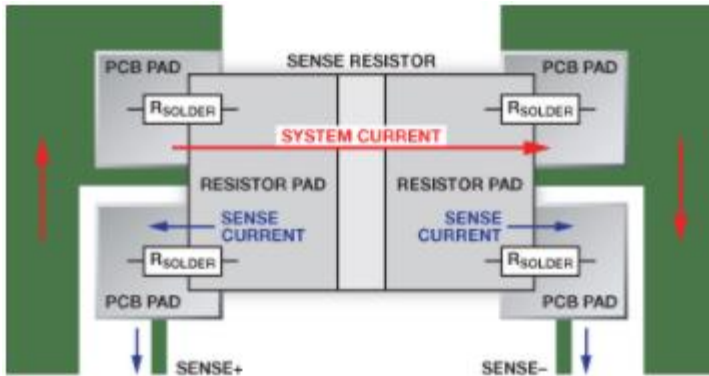


图 3. 开尔文检测。

## 优化开尔文封装

图 3 所示布局是对标准双焊盘方案的一种显著的改进，但是，在使用极低值电阻 ( $0.5\text{m}\Omega$  或以下) 时，焊盘上检测点的物理位置以及流经电阻的电流对称性的影响将变得更加显著。例如，ULRG3-2512-0M50-FLFSL 是一款固态金属合金电阻，因此，电阻沿着焊盘每延伸一毫米，结果都会影响有效电阻。使用校准电流，通过比较五种定制封装下的压降，可以确定优质检测布局。

## 测试 PCB 板

图 4 展示在测试 PCB 板上构建的五种布局模式，分别标记为 A 到 E。我们尽可能把走线布局到沿着检测焊盘延伸的不同位置的测试点，表示为图中的彩点。各个电阻封装为：

1. 基于 2512 建议封装的标准 4 线电阻 (见图 2(b))。检测点对 (X 和 Y) 位于焊盘外缘和内缘 (x 轴)。

2. 类似于 A，但焊盘向内延伸较长，以便更好地覆盖焊盘区（见图 2(a)）。检测点位于焊盘中心和末端。
3. 利用焊盘两侧以提供更对称的系统电流通路。同时把检测点移动到更中心的位置。检测点位于焊盘中心和末端。
4. 与 C 类似，只是系统电流焊盘在最靠里的点接合。只使用了外部检测点。
5. A 和 B 的混合体。系统电流流过较宽的焊盘，检测电流流过较小的焊盘。检测点位于焊盘的外缘和内缘。

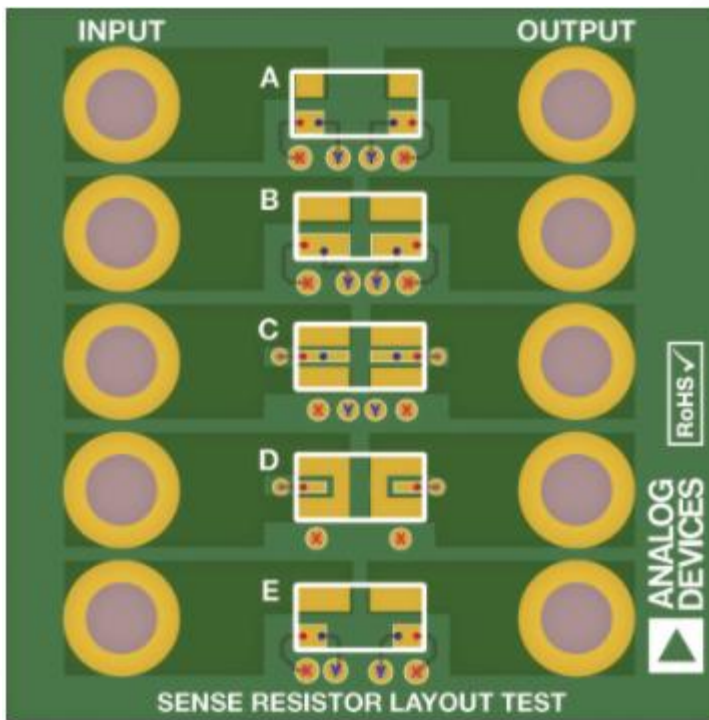


图 4. 测试 PCB 板的布局。

在模板上涂抹焊料，并在回流炉中使用回流焊接。使用的是 ULRG3-2512-0M50-FLFSLT 电阻。

## 测试步骤

测试设计如图 5 所示。使 20A 的校准电流通过各个电阻，同时使电阻保持在 25°C。在

加载电流后 1 秒内，测量产生的差分电压，以防止电阻温度升高  $1^{\circ}\text{C}$  以上。同时监控各个电阻的温度，以确保测试结果均在  $25^{\circ}\text{C}$  下测得。电流为 20A 时，通过  $0.5\text{m}\Omega$  电阻的理想压降为  $10\text{mV}$ 。

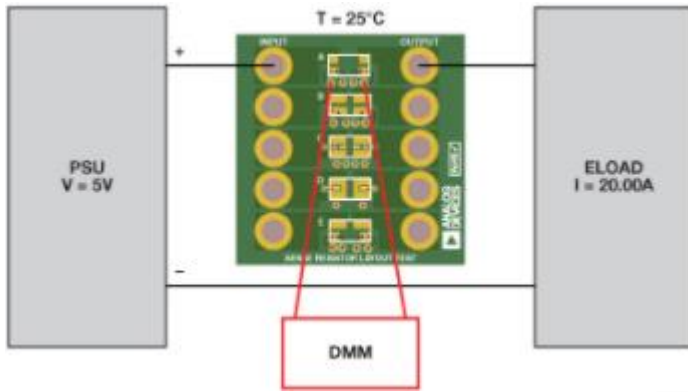


图 5. 测试设置。

## 测试结果

表 1 列出了采用图 4 所示检测焊盘位置测得的数据。

表 1. 测得电压和误差

封装	检测焊盘	测得值 (mV)	误差(%)
A	Y	9.55	4.5
	X	9.68	3.2
B	Y	9.50	5
	X	9.55	4.5
C	Y	9.80	2
	X	9.90	1
D	X	10.06	0.6
	Y	9.59	4.1
E	X	9.60	4
	上焊盘*	12.28	22.8

\*无开尔文检测。对通过高电流主焊盘的电压进行测量，以展示与焊料电阻相关的误差。



## 观察结果

1. 由于结果的可比较性以及各电阻偏差都在容限范围之内，所以得出封装 C 和 D 的误差最少。封装 C 为首选封装，因为它不大可能导致与元件放置容限相关的问题。
2. 在每一种情况下，电阻外端的检测点提供的结果准确。这表明，这些电阻是制造商根据电阻的总长度设计的。
3. 请注意，在未使用开尔文检测时，焊料电阻相关误差是 22%。这相当于约  $0.144\text{m}\Omega$  的焊料电阻。
4. 封装 E 展示了不对称焊盘布局的效应。回流期间，元件通过大量焊料才能焊盘。应避免这种封装。

## 结论

根据前面所示结果，最佳封装是 C，其预期测量误差小于 1%。该封装的建议尺寸如图 6 所示。

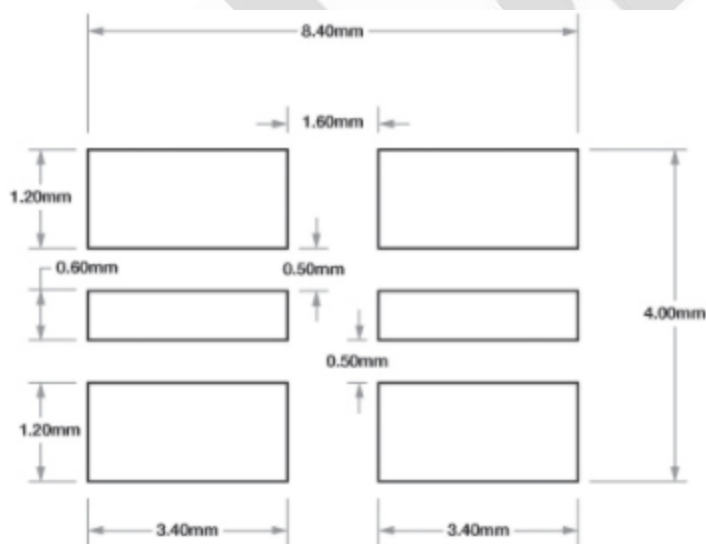


图 6. 最佳封装尺寸。

检测走线的布局也会影响测量精度。为了实现更高精度，应在电阻边缘测量检测电压。

图 7 所示建议布局采用通孔，把焊盘外边缘布局到另一层，从而避免切割主电源层。

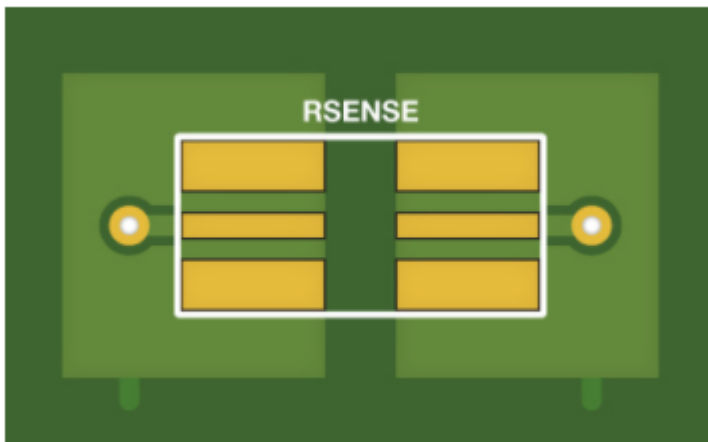


图 7. 建议 PCB 走线路由。

本文中的数据可能并不适用于所有电阻，而且结果可能因情况而异，具体取决于电阻的材质和尺寸。应该咨询电阻制造商，用户有责任确保封装的布局尺寸和结构均符合各项 SMT 制造要求。

## 避免 ISM-RF 产品中的 PCB 布局“缺陷”

工业、科学和医疗系统射频(ISM-RF)产品的电路设计往往非常紧凑。为避免常见的设计缺陷或“陷阱”，需要特别注意这些应用的 PCB 布局。这些产品可能工作在 300MHz 至 915MHz 之间的任何 ISM 频带，其接收机和发射机的 RF 功率范围通常介于-120dBm 至+13dBm 之间。本文主要讨论了电感放置的方向、线路耦合、接地过孔以及引线长度、接地、晶体电容、引线电感等诸多问题。

### 引言

工业、科学和医疗射频(ISM-RF)产品的无数应用案例表明，这些产品的印制板(PCB)布局很容易出现各种缺陷。人们时常发现相同 IC 安装到两块不同电路板上，所表现的性能指标会有显著差异。工作条件、谐波辐射、抗干扰能力，以及启动时间等等诸多因素的

变化，都能说明电路板布局在一款成功设计中的重要性。

本文罗列了各种不同的设计疏忽，探讨了每种失误导致电路故障的原因，并给出了如何避免这些设计缺陷的建议。本文以 FR-4 电介质、厚度 0.0625in 的双层 PCB 为例，电路板底层接地。工作频率介于 315MHz 到 915MHz 之间的不同频段，Tx 和 Rx 功率介于 -120dBm 至+13dBm 之间。表 1 列出了一些可能出现的 PCB 布局问题、原因及其影响。

**表 1. 典型的 PCB 布局问题和影响**

Problem	Cause	Effect
LNA/tank circuit arrangement (receiver)	Inductor orientation	RF feedthrough
Degeneration/ $\pi$ -network arrangement (transmitter)	Inductor orientation	RF feedthrough
Shared ground vias between legs of $\pi$ network	Via parasitics	Feedthrough, RF leakage
Shared ground vias between receiver blocks	Via parasitics	Crosstalk, RF feedthrough, RF leakage
Long traces for decoupling capacitors	Higher-impedance connections	Reduced decoupling
Wide component placement	Increased parasitics, ground loops	Detuning, crosstalk, feedthrough
Colinear traces in the transmitter circuit	Filter bypassing, i.e., power amplifier (PA) directly to antenna	Harmonics radiation
Top-layer copper pours	Parasitic coupling	RF leakage, RF interference
Discontinuous ground plane	Return current concentration	Crosstalk, feedthrough
Crystal connection trace length	Excess capacitance	LO frequency pulling
Crystal connection trace separation	Excess capacitance	LO frequency pulling
Ground plane under crystal pads	Excess capacitance	LO frequency pulling
Planar PCB trace inductors	Poor inductance control	Large footprint, low Q, crosstalk, feedthrough

其中大多数问题源于少数几个常见原因，我们将对此逐一讨论。

## 电感方向

当两个电感（甚至是两条 PCB 走线）彼此靠近时，将会产生互感。第一个电路中的电流所产生的磁场会对第二个电路中的电流产生激励（图 1）。这一过程与变压器初级、次级线圈之间的相互影响类似。当两个电流通过磁场相互作用时，所产生的电压由互感  $L_M$  决定：

$$V_B (V) = L_M \frac{dI_A}{dt}$$

式中， $V_B$  是向电路 B 注入的误差电压， $I_A$  是在电路 A 作用的电流。 $L_M$  对电路间距、电感环路面积（即磁通量）以及环路方向非常敏感。因此，紧凑的电路布局和降低耦合之间的最佳平衡是正确排列所有电感的方向。

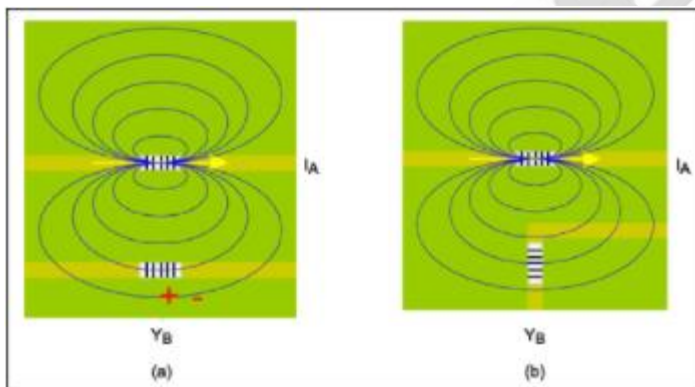


图 1. 由磁力线可以看出互感与电感排列方向有关。

达到这一目的，尽量使电感互相垂直，请参考低功率 FSK 超外差接收机评估(EV)板 ([MAX7042EVKIT](#))的电路布局（图 2）。该电路板上的三个电感（L3、L1 和 L2）距离非常近，将其方向排列为  $0^\circ$ 、 $45^\circ$  和  $90^\circ$ ，有助于降低彼此之间的互感。

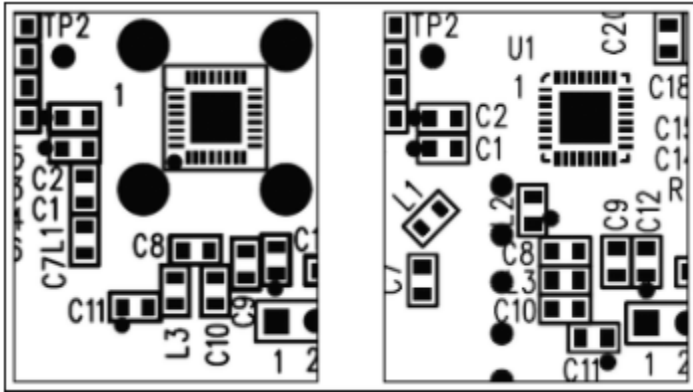


图 2. 图中所示为两种不同的 PCB 布局，其中一种布局的元件排列方向不合理（L1 和 L3），另一种的方向排列则更为合适。

综上所述，应遵循以下原则：

- 电感间距应尽可能远。
- 电感排列方向成直角，使电感之间的串扰降至最小。

## 引线耦合

如同电感排列方向会影响磁场耦合一样，如果引线彼此过于靠近，也会影响耦合。这种布局问题也会产生所谓的互感。RF 电路最关心问题之一即为系统敏感部件的走线，例如输入匹配网络、接收器的谐振槽路、发送器的天线匹配网络等。

返回电流通路须尽可能靠近主电流通道，将辐射磁场降至最小。这种布局有助于减小电流环路面积。返回电流的理想低阻通路通常是引线下方的接地区域——将环路面积有效限制在电介质厚度乘以引线长度的区域。但是，如果接地区域被分割开，则会增大环路面积（图 3）。对于穿过分割区域的引线，返回电流将被强制通过高阻通路，大大提高了电流环路面积。这种布局还使电路引线更容易受互感的影响。



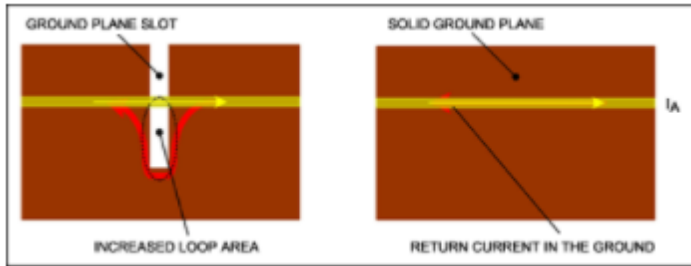


图 3. 完整的大面积接地有助于改善系统性能。

对于一个实际电感，引线方向对磁场耦合的影响也很大。如果敏感电路的引线必须彼此靠近，最好将引线方向垂直排列，以降低耦合（图 4）。如果无法做到垂直排列，则可考虑使用保护线。关于保护线的设计，请参考以下接地与填充处理部分。

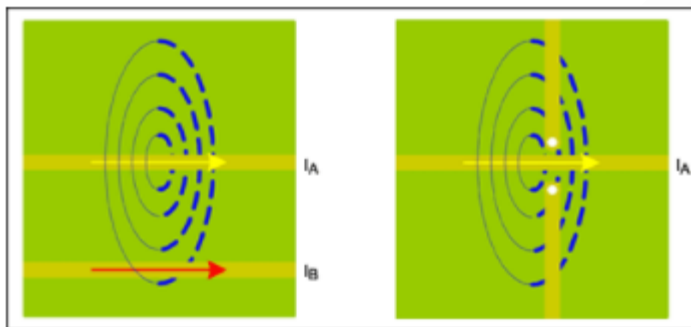


图 4. 类似于图 1，表示可能存在的磁力线耦合。

综上所述，布板时应遵循以下原则：

- 引线下方应保证完整接地。
- 敏感引线应垂直排列。
- 如果引线必须平行排列，须确保足够的间距或采用保护线。

## 接地过孔

RF 电路布局的主要问题通常是电路的特征阻抗不理想，包括电路元件及其互联。引线覆铜层较薄，则等效于电感线，并与邻近的其它引线形成分布电容。引线穿过过孔时，也会表现出电感和电容特性。

过孔电容主要源于过孔焊盘侧的覆铜与地层覆铜之间构成的电容，它们之间由一个相当小的圆环隔开。另外一个影响源于金属过孔本身的圆柱。寄生电容的影响一般较小，通常只会造成高速数字信号的边沿变差（本文不对此加以讨论）。

过孔的最大影响是相应的互联方式所引起的寄生电感。因为 RF PCB 设计中，大多数金属过孔尺寸与集总元件的尺寸相同，可利用简单的公式估算电路过孔的影响（图 5）：

$$L_{VIA} (nH) = 5.08h \left[ \ln \left( \frac{4h}{d} \right) + 1 \right]$$

式中， $L_{VIA}$  为过孔的集总电感； $h$  为过孔高度，单位为英寸； $d$  为过孔直径，单位为英寸。

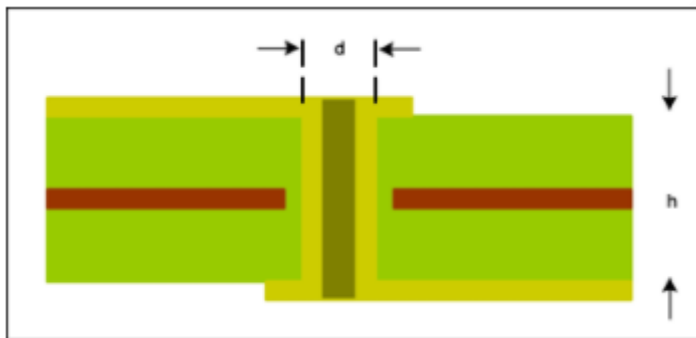


图 5. PCB 横截面用于估算寄生影响的过孔结构。

寄生电感往往对旁路电容的连接影响很大。理想的旁路电容在电源层与地层之间提供高频短路，但是，非理想过孔则会影响地层和电源层之间的低感通路。典型的 PCB 过孔（ $d=10\text{mil}$ 、 $h=62.5\text{mil}$ ）大约等效于一个  $1.34\text{nH}$  电感。给定 ISM-RF 产品的特定工作频率，过孔会对敏感电路（例如，谐振槽路、滤波器以及匹配网络等）造成不良影响。

如果敏感电路共用过孔，例如  $\pi$  型网络的两个臂，则会产生其它问题。例如，放置一个等效于集总电感的理想过孔，等效原理图则与原电路设计有很大区别（图 6）。与共用电流通路的串扰一样<sup>3</sup>，导致互感增大，加大串扰和馈通。

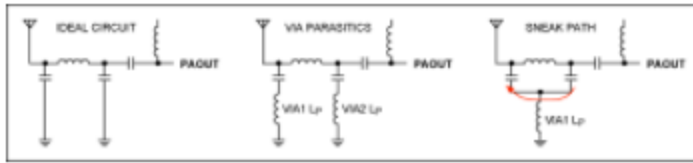


图 6. 理想架构与非理想架构比较，电路中存在潜在的“信号通路”。

- 确保对敏感区域的过孔电感建模。
- 滤波器或匹配网络采用独立过孔。
- 注意，较薄的 PCB 覆铜会降低过孔寄生电感的影响。

## 引线长度

ADI ISM-RF 产品的数据资料往往建议使用尽可能短的高频输入、输出引线，从而将损耗和辐射降至最小。另一方面，这种损耗通常是由于非理想寄生参数引起的，所以寄生电感和电容都会影响电路布局，使用尽可能短的引线有助于降低寄生参数。通常情况下，10mil 宽、距离地层 0.0625in 的 PCB 引线，如果采用的是 FR4 电路板，则产生大约 19nH/in 的电感和大约 1pF/in 的分布电容。对于具有 20nH 电感、3pF 电容的 LAN/混频器电路，电路、元器件布局非常紧凑时，会对有效元件值造成很大影响。

“Institute for Printed Circuits” 中的 IPC-D-317A 提供了一个行业标准方程，用于估算微带线 PCB 的各种阻抗参数。该文件在 2003 年被 IPC-2251 取代，后者为各种 PCB 引线提供更准确的计算方法。可以通过各种渠道获得在线计算器，其中大多数都基于 IPC-2251 提供的方程式。密苏里理工大学的电磁兼容性实验室提供了一个非常实用的 PCB 引线阻抗计算方法。

公认的计算微带线阻抗的标准是：

$$Z_0 (\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \times \ln \left( \frac{5.98h}{0.8w + t} \right)$$

式中， $\epsilon_r$  为电介质的介电常数， $h$  为引线距离地层的高度， $w$  为引线宽度， $t$  为引线厚度

(图 7)。w/h 介于 0.1 至 2.0、 $\epsilon_r$  介于 1 至 15 之间时，该公式的计算结果相当准确。

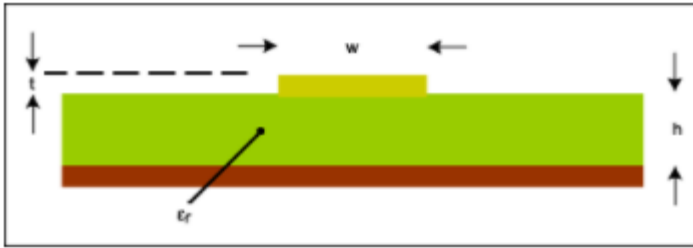


图 7. 该图为 PCB 横截面（与图 5 类似），表示用于计算微带线阻抗的结构。

为评估引线长度的影响，确定引线寄生参数对理想电路的去谐效应更实用。本例中，我们讨论杂散电容和电感。用于微带线的特征电容标准方程为：

$$C_0 \text{ (pF/in)} = \frac{0.67(\epsilon_r + 1.41)}{\ln\left(\frac{5.98h}{0.8w + t}\right)}$$

同理，可利用上述方程从方程式  $Z_0 = \sqrt{\frac{L_0}{C_0}}$  中计算得到特征电感：

$$L_0 \text{ (nH/in)} = 0.001 \times Z_0^2 \times C_0$$

举例说明，假设 PCB 厚度为 0.0625in ( $h=62.5\text{mil}$ )，1 盎司覆铜引线( $t=1.35\text{mil}$ )，宽度为 0.01in ( $w=10\text{mil}$ )，采用 FR-4 电路板。注意，FR-4 的  $\epsilon_r$  典型值为 4.35 法拉/米(F/m)，但范围可从 4.0F/m 至 4.7F/m。本例计算得到的特征值为  $Z_0=134\Omega$ ， $C_0=1.04\text{pF/in}$ ， $L_0=18.7\text{nH/in}$ 。

对于 ISM-RF 设计中，电路板上布局长度为 12.7mm (0.5in) 的引线，可产生大约 0.5pF 和 9.3nH 的寄生参数（图 8）。这一等级的寄生参数对于接收器谐振槽路的影响（LC 乘积的变化），可能产生  $315\text{MHz} \pm 2\%$  或  $433.92\text{MHz} \pm 3.5\%$  的变化。由于引线寄生效应所产生的附加电容和电感，使得 315MHz 振荡频率的峰值达到 312.17MHz，433.92MHz 振荡频率的峰值达到 426.61MHz。

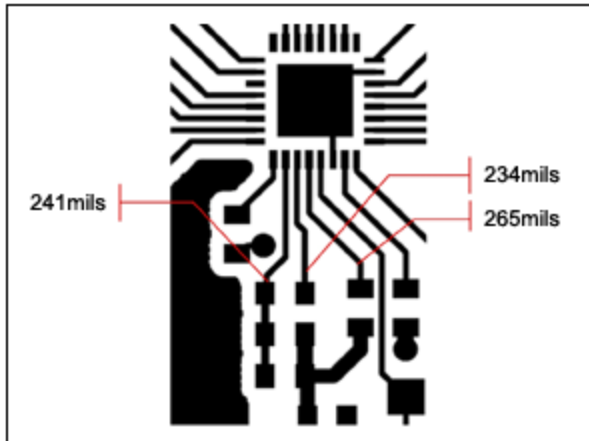


图 8. 一个紧凑的 PCB 布局，寄生效应会对电路产生影响。

另外一个例子是 ADI 的超外差接收机([MAX7042](#))的谐振槽路，推荐使用的元件在 315MHz 时为 1.2pF 和 30nH；433.92MHz 时为 0pF 和 16nH。利用方程计算谐振电路振荡频率：

$$f_0 (\text{Hz}) = \frac{1}{2\pi\sqrt{LC}}$$

评估板谐振电路应包括封装和布局的寄生效应，计算 315MHz 谐振频率时，寄生参数分别为 7.3pF 和 7.5pF。注意，LC 乘积表现为集总电容。

综上所述，布板须遵循以下原则：

- 保持引线长度尽可能短。
- 关键电路尽量靠近器件放置。
- 根据实际布局寄生效应对关键元件进行补偿。

## 接地与填充处理

接地或电源层定义了一个公共参考电压，通过低阻通路为系统的所有部件供电。按照这种方式均衡所有电场，产生良好的屏蔽机制。

直流电流总是倾向于沿着低阻通路流通。同理，高频电流也是优先流过最低电阻的通路。所以，对于地层上方的标准 PCB 微带线，返回电流试图流入引线正下方的接地区域。



按照上述引线耦合部分所述，割断的接地区域会引入各种噪声，进而通过磁场耦合或汇聚电流而增大串扰（图 9）。

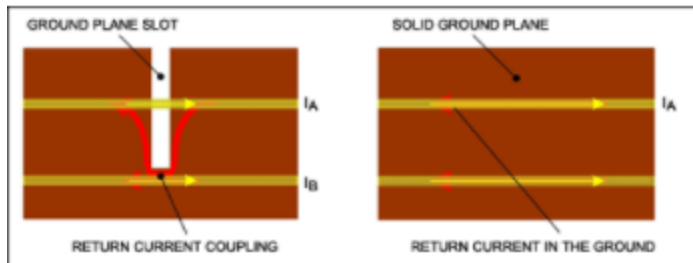


图 9. 尽可能保持地层完整，否则返回电流会引起串扰。

填充地也称为保护线，通常将其用于电路中很难铺设连续接地区域或需要屏蔽敏感电路的设计（图 10）。通过在引线两端，或者是沿线放置接地过孔（即过孔阵列），增大屏蔽效应<sup>8</sup>。请不要将保护线与设计用来提供返回电流通路的引线相混合，这样的布局会引入串扰。

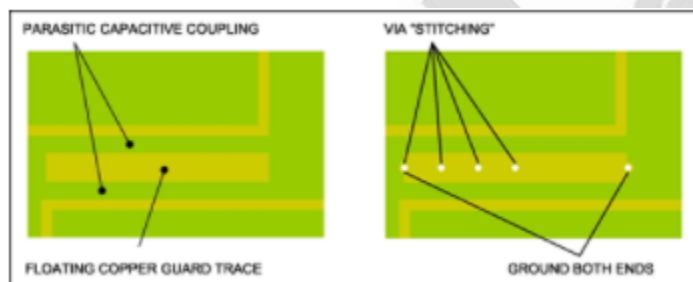


图 10. RF 系统设计中须避免覆铜线浮空，特别是需要铺设铜皮的情况下。

覆铜区域不接地（浮空）或仅在一端接地时，会制约其有效性。有些情况下，它会形成寄生电容，改变周围布线的阻抗或在电路之间产生“潜在”通路，从而造成不利影响。简而言之，如果在电路板上铺设了一块覆铜（非电路信号走线），来确保一致的电镀厚度。覆铜区域应避免浮空，因为它们会影响电路设计。

最后，确保考虑天线附近任何接地区域的影响。任何单极天线都将接地区域、走线和过孔作为系统均衡的一部分，非理想均衡布线会影响天线的辐射效率和方向（辐射模板）。

因此，不应将接地区域直接放置在单极 PCB 引线天线的下方。

综上所述，应该遵循以下原则：

- 尽量提供连续、低阻的接地区域。
- 填充线的两端接地，并尽量采用过孔阵列。
- RF 电路附近不要将覆铜线浮空，RF 电路周围不要铺设铜皮。
- 如果电路板包括多个地层，信号线从一侧过度另一侧时，最好铺设一个接地过孔。

## 晶体电容过大

寄生电容会使晶振的工作频率偏离目标值。因此，须遵循一些常规准则，降低晶体引脚、焊盘、走线或与 RF 器件连接的杂散电容。

应遵循以下原则：

- 晶体与 RF 器件之间的连线尽可能短。
- 相互之间的走线尽可能保持隔离。
- 如果并联寄生电容太大，则去除晶体下方的接地区域。

## 平面走线电感

不建议使用平面走线或 PCB 螺旋电感，典型 PCB 制造工艺具有一定的不精确性，例如宽度、空间容差，从而对元件值精度影响非常大。因此，大多数受控和高 Q 值电感均为绕线式。其次，可以选择多层陶瓷电感，多层片式电容厂商也提供这种产品。尽管如此，有些设计者还是在不得已的情况下选择了螺线电感。计算平面螺旋电感的标准公式通常采用惠勒公式：

$$L(\mu\text{H}) = \frac{(a^2 \times n^2)}{(8a + 11c)}$$

式中，a 为线圈的平均半径，单位为英寸；n 为匝数；c 为线圈磁芯的宽度( $r_{\text{OUTER}} - r_{\text{INNER}}$ )，

单位为英寸。当线圈的  $c > 0.2a$  时，该计算方法的精度在 5% 之内。

可以使用方形、六角形或其它形状的单层螺旋电感。可以找到非常好的近似方法，对集成电路晶圆上的平面电感进行建模。为了达到这一目的，对标准惠勒公式进行修改，得到非常适合小尺寸及方形规格的平面电感估算方法。

$$L_{MW} (H) = K_1 \times \mu_0 \times \frac{(n^2 \times d_{AVG})}{(1 + K_2 \times \rho)}$$

式中， $\rho$  为充填比： $\rho = \frac{(d_{OUT} - d_{IN})}{(d_{OUT} + d_{IN})}$ ； $n$  为匝数， $d_{AVG}$  为平均直径： $d_{AVG} = \frac{(d_{OUT} - d_{IN})}{2}$ 。对于方形螺旋， $K_1=2.36$ ， $K_2=2.75$ 。

避免使用这种电感的原因有很多，它们通常受空间限制而导致电感值减小。避免使用平面电感的主要原因是受限制的几何尺寸，以及对临界尺寸的控制较差，从而无法预测电感值。此外，PCB 生产过程中很难控制实际电感值，电感还会将噪声耦合到电路的其它部分的趋向（参见上文中的引线耦合部分）。

总而言之，应该：

- 避免使用平面走线电感。
- 尽量使用绕线片式电感。

## 总结

如上所述，几种常见的 PCB 布局陷阱会造成 ISM-RF 设计问题。然而，注意电路的非理想特性，您完全可避免这些缺陷。补偿这些不希望的影响需要适当处理表面上无关紧要的事项，例如元件方向、走线长度、过孔布置，以及接地区域的用法。遵守以上的指导原则，您可明显节省浪费在修正错误方面的时间和金钱。

# 在现有系统中添加能量监控电路时的 PCB 布局考量

在系统中添加电能计量功能通常会涉及大量的校准流程。[ADE9153A](#) 是一款具有 mSure<sup>®</sup> 自动校准功能的电能计量 IC，可以简化电能计量系统的校准流程。[ADE9153A](#) 可以集成到各种系统应用中，例如街道照明、数据中心电能效率测量、智能配电、智能插头和设备健康。

图 1 显示 [ADE9153A](#) 与单相计量系统的基本连接，其中采用锰铜来检测电流，采用分压器来检测电压。隔离栅将控制器与 [ADE9153A](#) 隔离，由于 [ADE9153A](#) 的接地电压较高，存在危险，因此许多应用都有隔离要求。

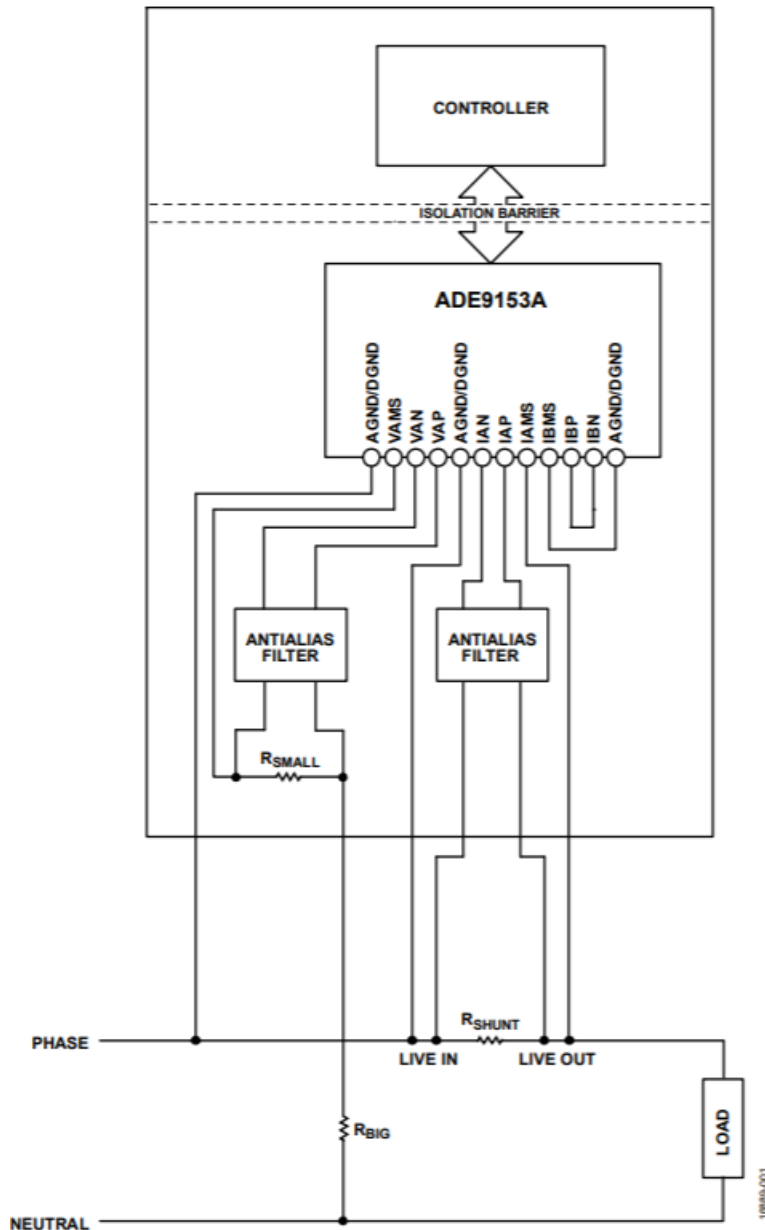


图 1. [ADE9153A](#) 与主系统连接（未显示所有连接）。

本文描述在现有系统中添加 [ADE9153A](#) 能量监控电路时的 PCB 布局考量。

除了本文之外，您还可以参考 [ADE9153A](#) 数据手册、[ADE9153A](#) 技术参考手册，以及 [EV-ADE9153ASHIELDZ](#) 用户指南。

## [ADE9153A](#) PCB 布局建议

[ADE9153A](#) 的 mSure 特性要求设计锰铜、电流互感器(CT)和印刷电路板(PCB)布局时需要



有一些特殊考量。

## 相电流通

[ADE9153A](#) 的电流通设计与其他电能计量 IC 不同，因为 [ADE9153A](#) 需要为传感器提供额外的接线端子，也需要 PCB 空间来实现 mSure 功能。

通过 [ADE9153A](#) IAMS 引脚可以将 mSure 信号注入到锰铜电阻之中。PCB 布局设计关乎电能计量系统的性能。

图 2 显示具有 EV-ADE9153ASHIELDZ 的 SMD 锰铜电流分流器。印刷电路板中有一部分连接至 [ADE9153A](#) 的 IAMS 引脚和接地(GND)层用于实现 mSure 功能。

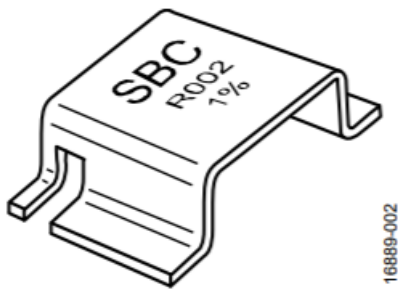


图 2. 表面贴装式(SMD)锰铜电流分流器。

图 3 所示为 SMD 锰铜电流分流器的顶视图及推荐的 PCB 尺寸和走线。分流器的 IAP 端子是电流通道的正差分端子，其 IAN 端子是电流通道的负差分端子。出于设计考虑，当电流通信号更容易通过 IAN 引脚路由时，分流器的线路电流需要反相，且 AL\_PGAGAIN 寄存器中的 AL\_SWAP 位必须设置为 0×0。

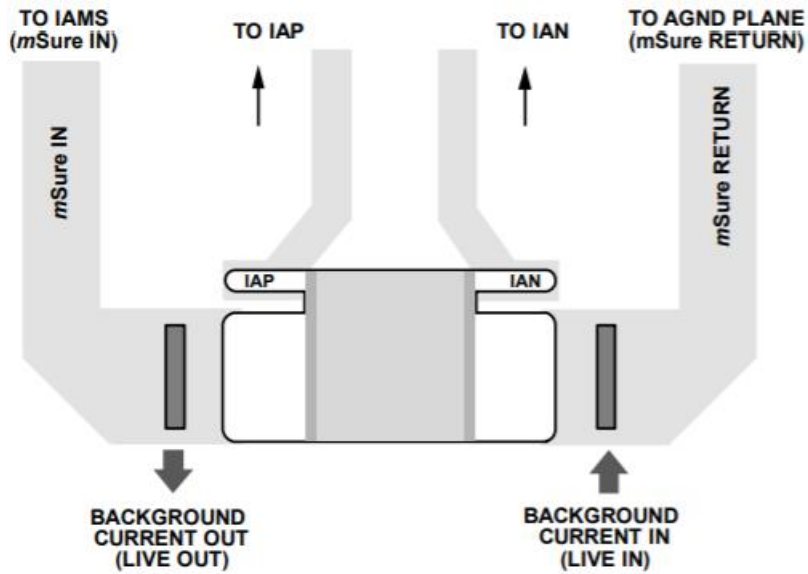


图 3. 采用 SMD 锰铜电流分流器的 PCB 尺寸和走线建议。

图 3 还显示 mSure 输入走线直接连接至 IAMS 引脚（引脚 6），mSure 返回走线连接至接地层。

需要让 mSure 输入走线和 mSure 返回走线远离模数转换器(ADC)输入走线(IAP 和 IAN)。mSure 返回接地层的信号路径必须尽可能最短，接地层连接至 DGND（引脚 1）。

自动校准期间，[ADE9153A](#) 的 IAMS 引脚通过 mSure 输入走线输出 mSure 信号，并将信号注入锰铜。在 IAMS 引脚和靠近 IAMS 引脚的接地层上必须跨接一个电容值在 0.1 $\mu$ F 和 1 $\mu$ F 之间的电容。该电容可保护电路不受电快速瞬变的影响（见图 4）。

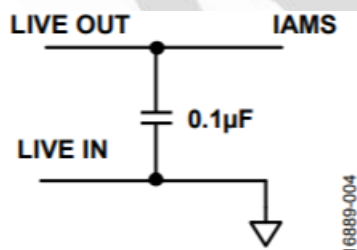


图 4. 抗电快速瞬变干扰的 IAMS 电容。

距离 IAMS 引脚最远的走线必须约为 1.5 毫米宽，以便有效管理 IAMS 引脚的输出电流。该走线越靠近引脚，宽度逐渐变窄，最终约 0.25 毫米，与引脚宽度匹配。

图 5 显示 PCB 上的 IAMS 走线 (mSure 输入走线)。在 PCB 的顶层和底层, 该走线被接地层环绕; 顶层和底层由过孔互连。

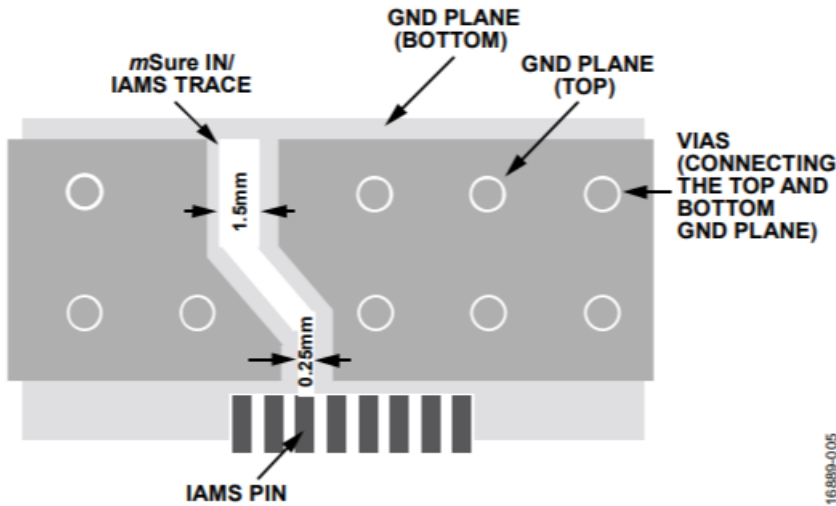


图 5. IAMS 走线。

### 零线电流通道 (可选)

图 6 显示在 IB 端子 (IMBS、IBN 和 IBP) 使用电流互感器的推荐方法。穿过电流互感器的 mSure 新增绕线和零线之间必须进行电气隔离。将连接 CT 负载电阻的端子绕线 IBMS 端子直接连接至芯片的 IBMS 引脚 (引脚 19), 将绕线 IBMS\_BACK 端子、返回走线连接至接地层。

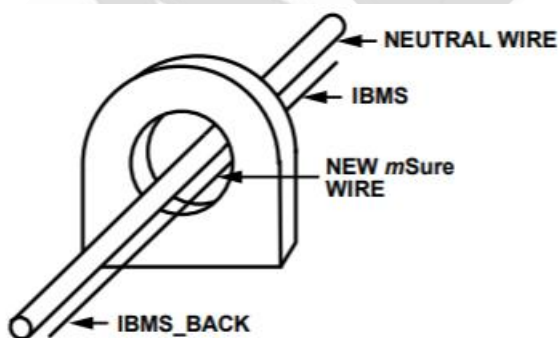


图 6. 采用 mSure 注入端子的 CT 设计。

[ADE9153A](#) 的 IBMS 引脚输出 mSure 信号, 然后进入零线 CT 的初级绕组。此信号返回接

地层的路径必须尽可能最短，接地层连接至 DGND (引脚 20)。在 IBMS 走线和靠近 IBMS 引脚的接地层之间放置一个电容，以便抗电快速瞬变干扰。

推荐的 IBMS 原理图和 PCB 布局与推荐的 IAMS 原理图和 PCB 布局类似，如图 4 和图 5 所示。

如果电能计量系统不需要测量零线电流，则短接零线电流通道输入 IBN (引脚 11) 和 IBP (引脚 12)。此外，短接与接地层和 DGND (引脚 20) 连接的 IBMS (引脚 19)，如图 7 所示。

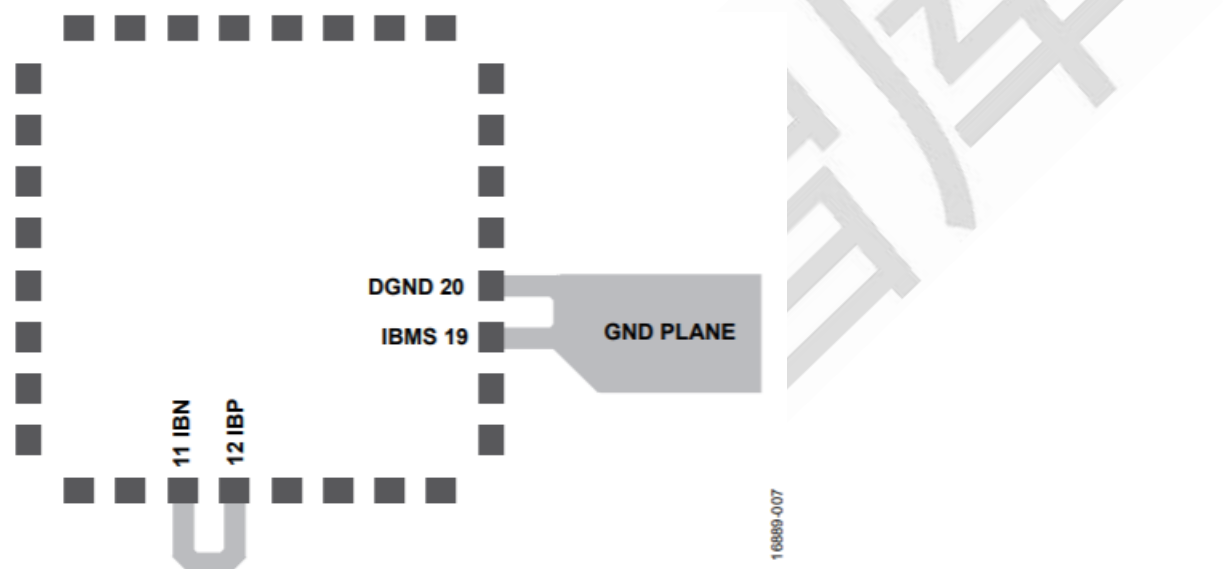


图 7. 未使用 IBP 引脚、IBN 引脚和 IBMS 引脚时的推荐走线连接。

## 电压通道

图 8 显示用来测量交流电压的接口电路。[ADE9153A](#) 的 VAMS 引脚输出 mSure 信号，然后该信号进入分压器网络底部。电压通道上的衰减网络设计，确保网络的转折频率(3dB)与电流通道输入中的抗混叠滤波器的转折频率相匹配。

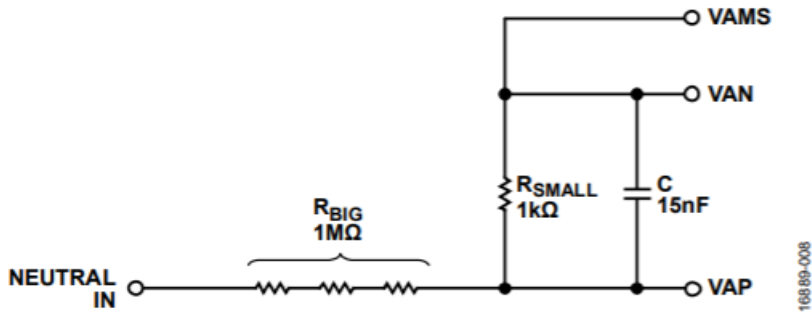


图 8. 电压通道原理图。

短接 VAN 引脚和 VAMS 引脚，可在 VAP 走线周围形成全面保护，如图 9 所示。沿着 VAP 走线，用裸铜 VAMS 走线构建保护路径，宽 0.1 毫米。

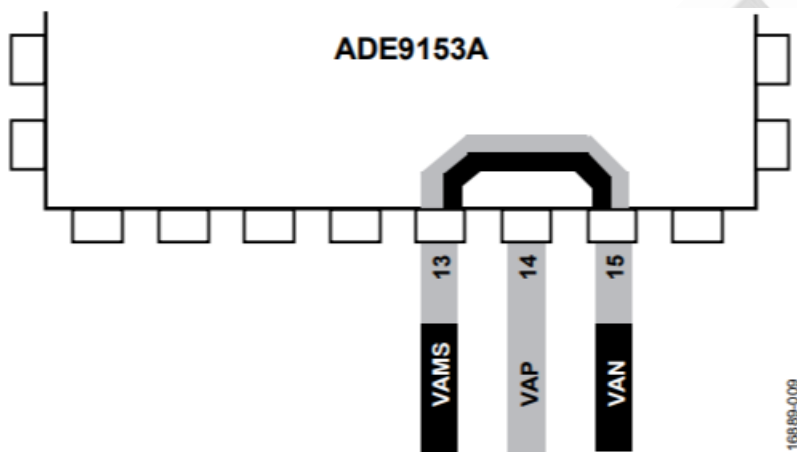


图 9. VAP 走线。

保护走线必须穿过 [ADE9153A](#) 封装底部，并将 VAMS 引脚连接至 VAN 引脚。此走线必须尽可能靠近 VAP 引脚，并且如图 10 中的标签 3 所示，包含小部分裸铜。

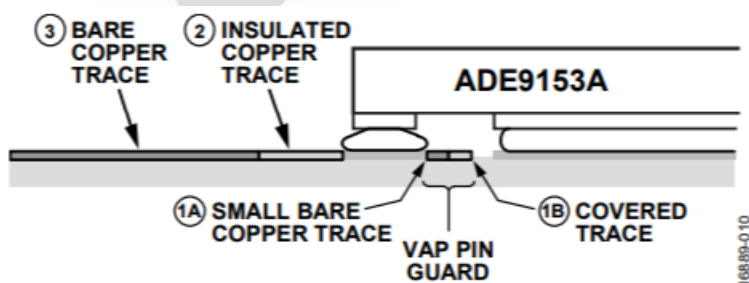


图 10. [ADE9153A](#) 和 VAP 引脚保护侧视图。



图 10 所示为 PCB 上安装 [ADE9153A](#) 的 VAP 引脚保护 PCB 布局的侧视图。图中有以下带编号的标签：

- 标签 1A 和标签 1B 表示 VAP 引脚后面的保护走线。将此裸铜走线与 [ADE9153A](#) 的 VAMS（引脚 13）和 VAN（引脚 15）的裸露焊盘短接不会对器件性能产生任何负面影响。确保此走线有足够的空间，避免该走线与 [ADE9153A](#) 中心的裸露焊盘短接。
- 标签 2 表示裸铜走线和引脚 13 及 15 的裸露焊盘之间的覆盖走线。确保此走线已进行绝缘处理，便于焊接器件。
- 标签 3 表示沿着走线至分压器的整段裸铜。为了便于焊接，确保这段裸铜走线不会延伸到 [ADE9153A](#) 的引脚 13 和引脚 15 的裸露焊盘。确保引脚附近的走线完全绝缘并且未裸露在外。

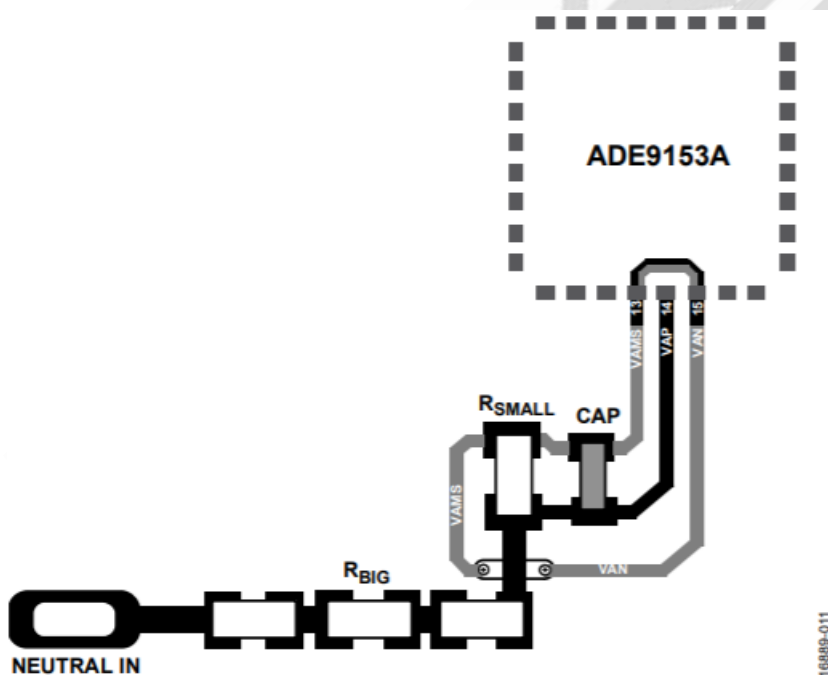


图 11. VAMS 和 VAN 保护。

出于抗噪目的，会通过过孔和底层走线，在 VAMS 和 VAN 保护连接周围设置一小段走线（见图 12）。

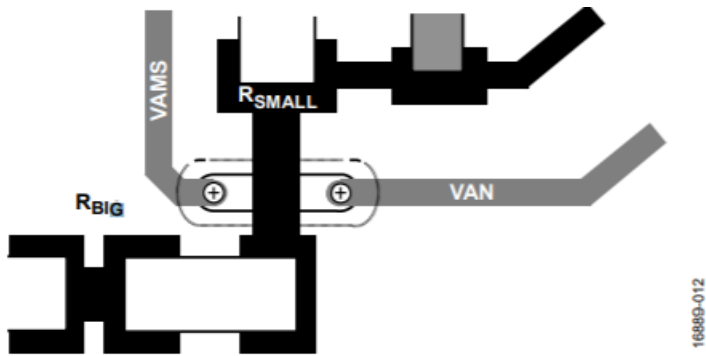


图 12. VAMS 和 VAN 由过孔互连。

### 抗混叠滤波器

图 13 和图 14 显示电流通道的抗混叠滤波器原理图。此滤波器必须接在靠近锰铜分流器端子的位置，或者，如果存在零线通道，则应安装在靠近 CT 的位置。在此 PCB 布局中，确保抗混叠电容对称且靠近模拟前端，平行走线馈入引脚。电压通道部分描述了电压通道的抗混叠滤波器。

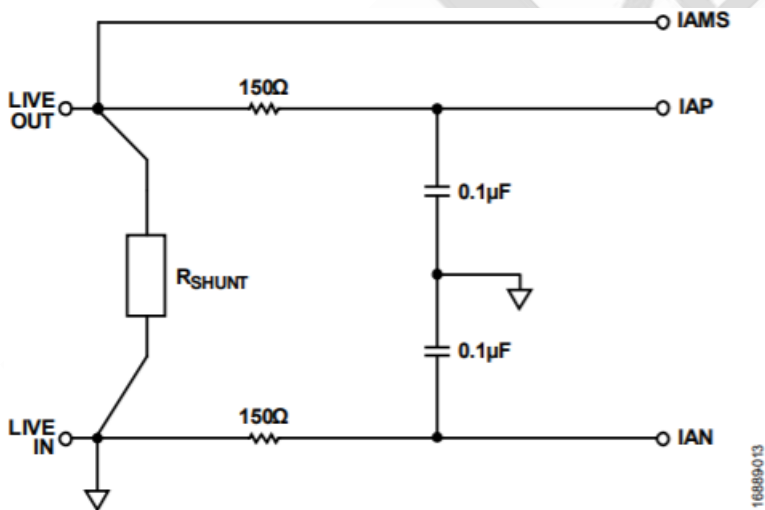


图 13. 相电流通道抗混叠原理图。

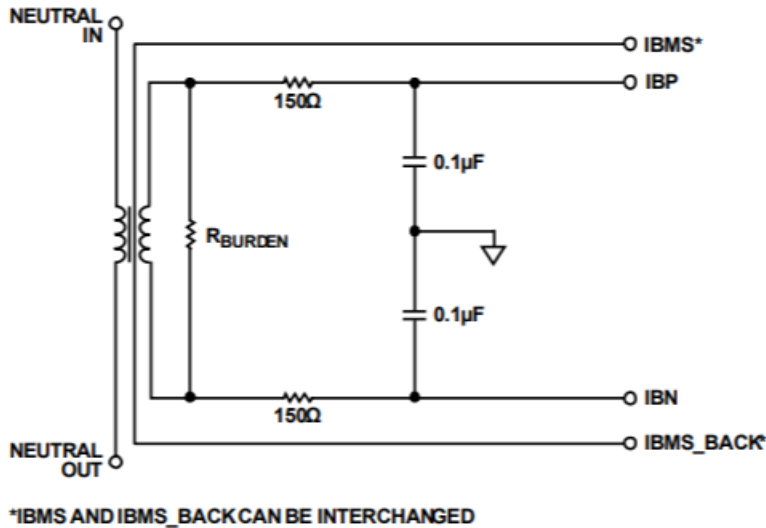


图 14. 零线电流通道抗混叠原理图。

## 晶振和电容

为了实现最优的 mSure 自动校准性能，请参阅晶振部分和抗混叠电容部分有关选择晶振和抗混叠电容的说明考虑相关参数。

### 晶振

按照以下规格选择晶振：

- 工作温度：-40°C 至+85°C
- 频率容差：≤ ±50ppm
- 频率稳定性：≤ ±30ppm

为了保护 CLKIN 引脚和 CLKOUT 引脚免受噪声和干扰，避免在负载电容、CLKIN 引脚和 CLKOUT 引脚之间形成长连接线，因为这会在晶振 PCB 布局中形成大型环路。

确保让 CLKIN 引脚的负载电容尽可能靠近该引脚。确保让 CLKOUT 引脚的负载电容靠近该引脚，但其距离可以大于 CLKIN 负载电容和 CLKIN 引脚之间的距离。

避免与负载电容形成长连接，以免在晶振 PCB 布局中出现大型环路。此配置可以保护

CLKIN 引脚和 CLKOUT 引脚免受噪声和干扰。

为了防止时钟的快速信号与信号走线耦合，不要在晶振 PCB 布局附近布设信号走线。

有关计算负载电容值和选择晶振的详细信息，请参阅 [ADE9153A 技术参考手册](#)。

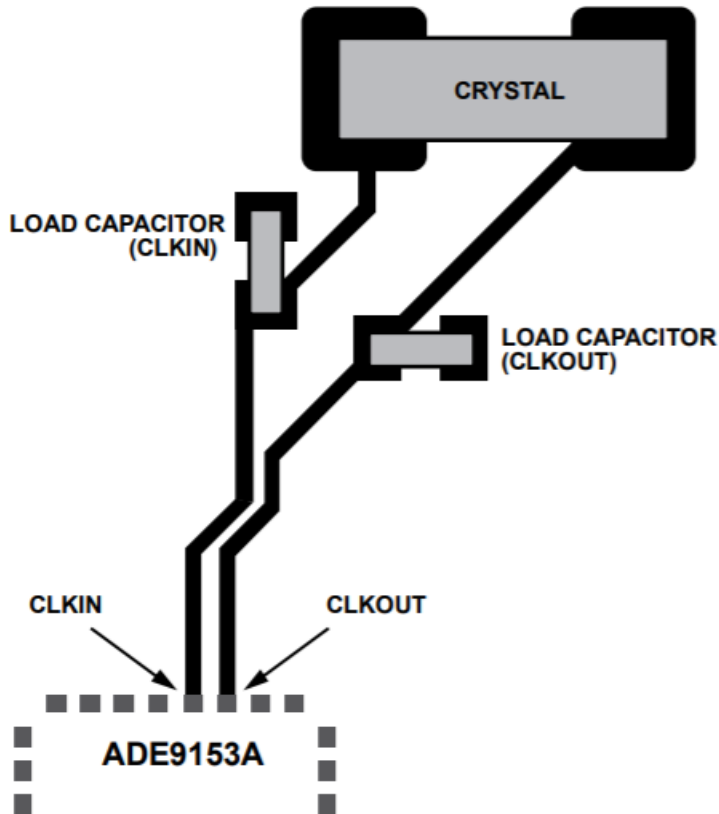


图 15. 推荐的晶振和负载电容 PCB 布局。

### 抗混叠电容

在相电流通道、零线电流通道和电压通道的输入端使用 COG (NP0) 抗混叠电容。

### 去耦电容

去耦电容的推荐电容值为 4.7nF 和 0.1 $\mu$ F。放置这些电容时，确保 0.1 $\mu$ F 电容最靠近芯片，且电容和器件引脚之间的连线尽可能短（见图 16）。

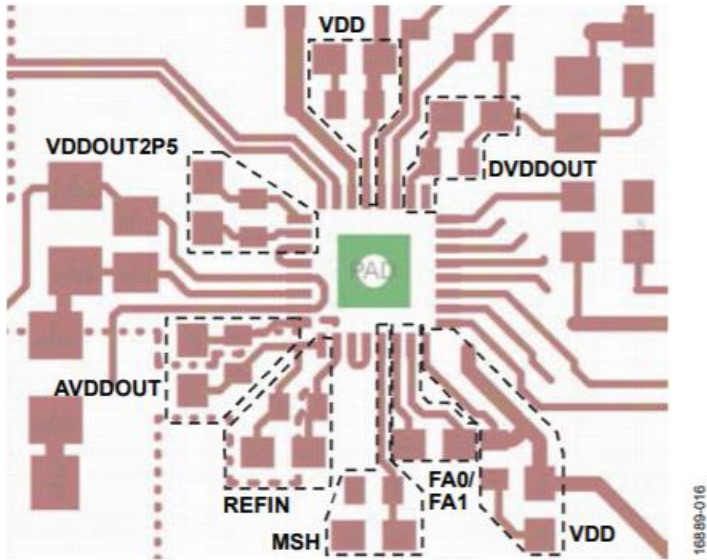


图 16. [ADE9153A](#) 上的电容 PCB 布局。

将 AGND 引脚和 DGND 引脚连接至 PCB 顶层的接地层。在这些引脚附近设置过孔，将引脚连接至 PCB 底层的接地层。REFIN 和 AVDDOUT 去耦电容通过 GND 连接至 AGND 引脚（引脚 17），如图 17 所示。PCB 底层靠近 AGND 引脚、穿过接地层的过孔能够改善此区域的接地 PCB 布局。

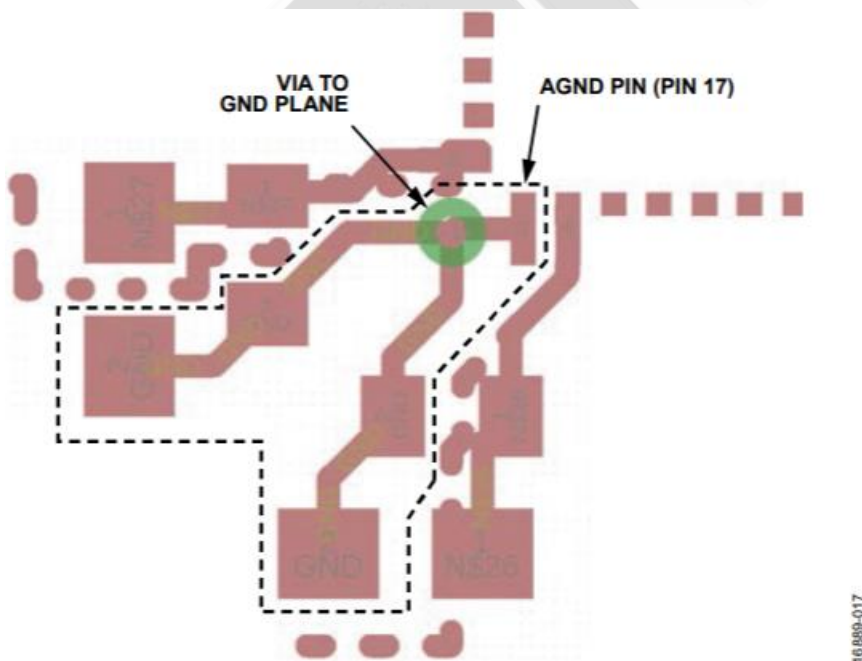


图 17. REFIN 和 AVDDOUT 接地去耦电容连接。



## 电源

EV-ADE9153ASHIELDZ 使用 [ADuM6000](#) 隔离直流-直流转换器为 [ADE9153A](#) 供电。

此电路板配有隔离电源。但是，[ADE9153A](#) 的系统电源可以隔离，也可以不隔离。选择使用哪种电源，取决于应用类型和系统设计。

### 使用隔离电源的连接

电表的电源输入需要连接至火线端子和零线端子。使用隔离电源时，将变压器输入和火线端子（连接至电流分流器）接地。只能通过电流分流器，而非接地层将变压器输入连接至火线端子。确保接地层和变压器输入只在火线端子这一点相交。

将金属氧化物变阻器(MOV)跨接在靠近火线端子和零线端子的位置。这个 MOV 可以保护电源和分压器，避免其受高压影响，防止相线和零线电路中出现高电流。驱动零线端子时，该走线不得干扰 IAMS 走线和 IBMS 走线下方的接地层。该电源输出接地必须连接至接地层。图 18 显示推荐的电源连接。

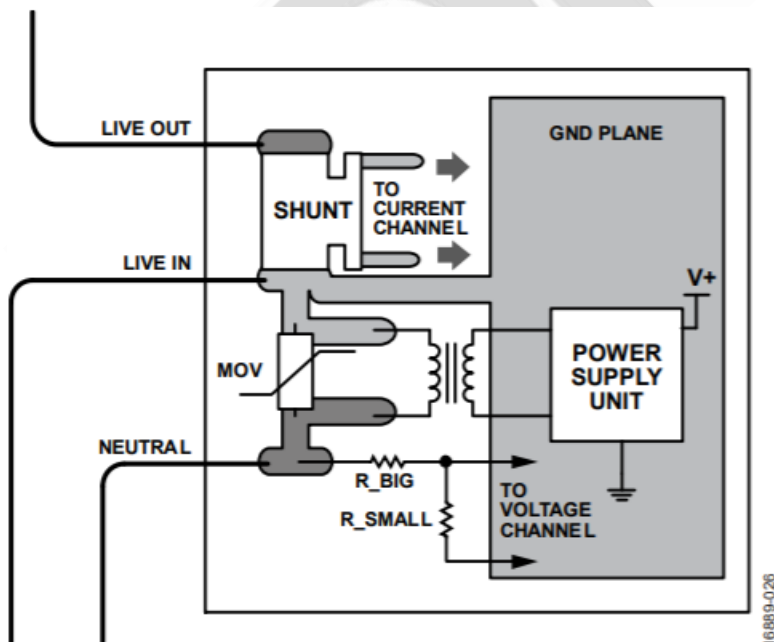


图 18. 隔离电源接地连接。

### 使用非隔离电源的连接

使用非隔离电源时，通过电流分流器将火线端子连接至 MOV。将 MOV 的另一个端子连接至零线端子，以及连接至电源的正温度系数(PTC)热敏电阻。如果出现错误，MOV 可保护设备不受电源电流激增影响。图 19 显示非隔离电源连接。

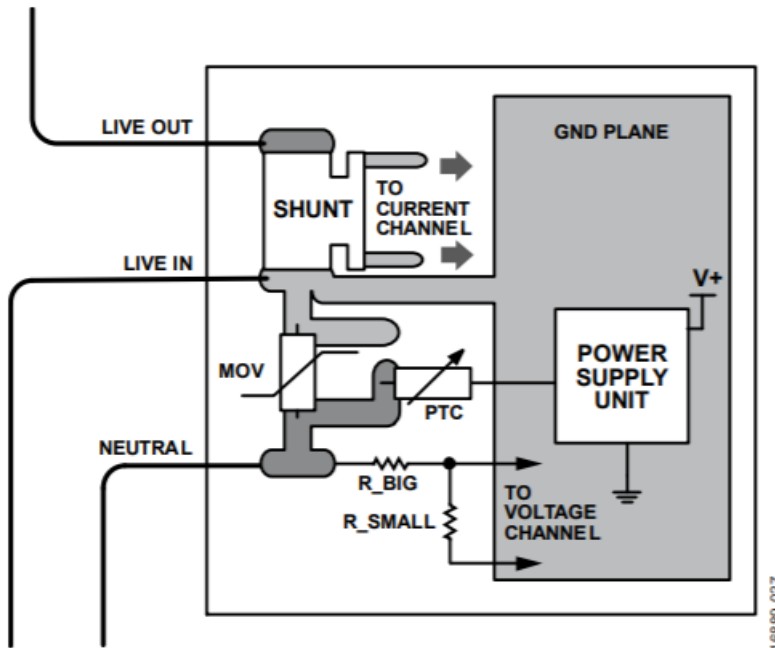


图 19. 非隔离电源连接。

### 接地和隔离

[ADE9153A](#) 的接地和微控制器的接地必须正确隔离。在配置主接地 PCB 布局时，要考虑设备、传感器、电源和设备其他组件的位置。本部分通过 EV-ADE9153ASHIELDZ 的接地 PCB 布局来说明主接地和次接地的划分（见图 20）。

#### 接地层

必须合理规划接地设计，以尽可能减少来自内部和外部的噪声。不当的接地设计会导致噪声进入设备，进而影响模拟电路和 mSure 通道的性能和功能。建议在 PCB 顶层和底层均设置接地层。

图 20 左侧描述了底层的接地层 PCB 布局。

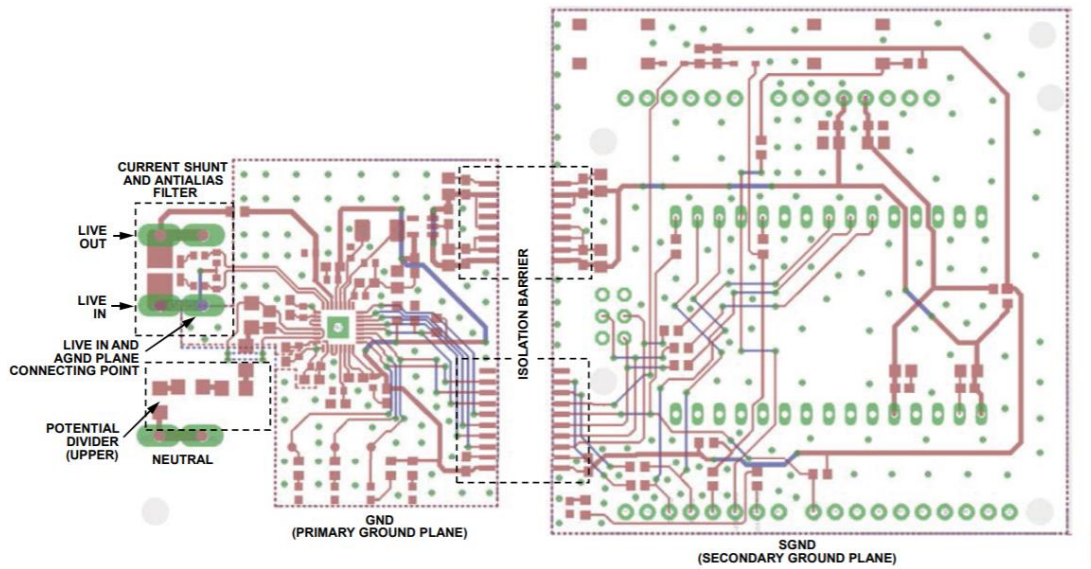


图 20. [EV-ADE9153ASHIELDZ](#) PCB。

次接地层(SGND)是控制器接地层，与 [ADE9153A](#) 的所有接地和火线完全绝缘。

抗混叠滤波器、电流分流器和分压器（上部）不会干扰接地层。有关电源的详细信息，请参阅电源部分。

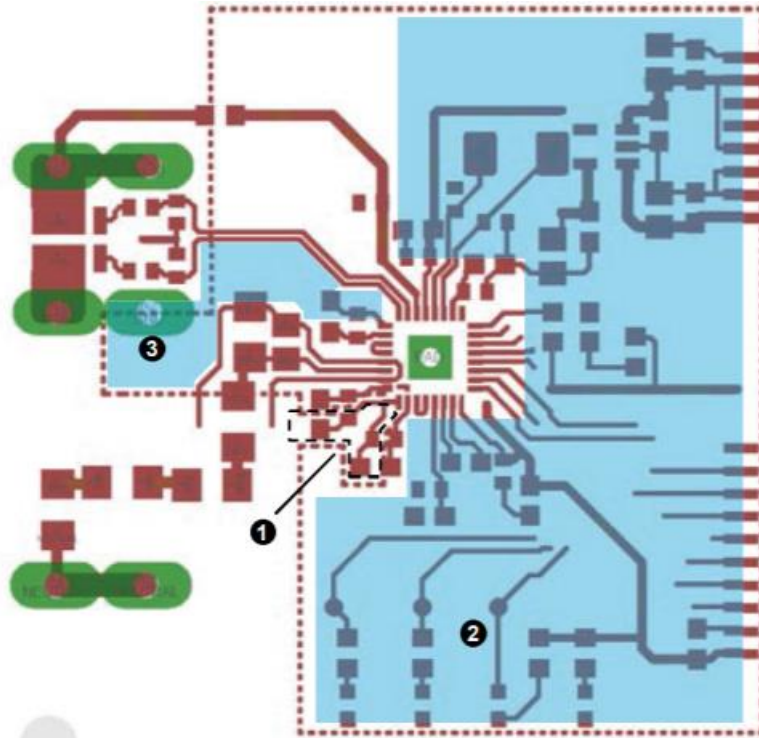
### 主接地层

构建主接地层时，请遵循以下原则：

- 通过接地层，将 [ADE9153A](#) 的 AGND 引脚和 DGND 引脚尽可能与阻抗最低的连接相连。
- 通过电流分流器，将火线与顶层接地层连接。
- 模拟接地在接地层端接。（接地层也为 [ADE9153A](#) 中的数字电路提供接地参考。）
- 将 DGND 引脚连接至顶层接地层。[ADE9153A](#) 的去耦电容、晶体振荡器、电源输出接地，以及其他许多支持组件都在接地层接地。

图 21 显示 [ADE9153A](#) 的典型接地层连接。标签 2 表示接地层。REFIN 和 AVDDOUT 的接

地直接连接至 AGND 引脚，并未形成一个层（参见晶振和电容部分）。



- NOTES**
1. REFIN AND AVDD GROUND TO GND PLANE.
  2. GND PLANE SURROUNDING THE TOP LAYER.
  3. GND PLANE CONNECTED TO LIVE IN.

16889-021

图 21. 接地层（顶层）。

过孔连接 PCB 顶层和底层的接地层（见图 22）。DGND 和 AGND 引脚必须通过靠近引脚的过孔连接至顶层和底层的接地层。



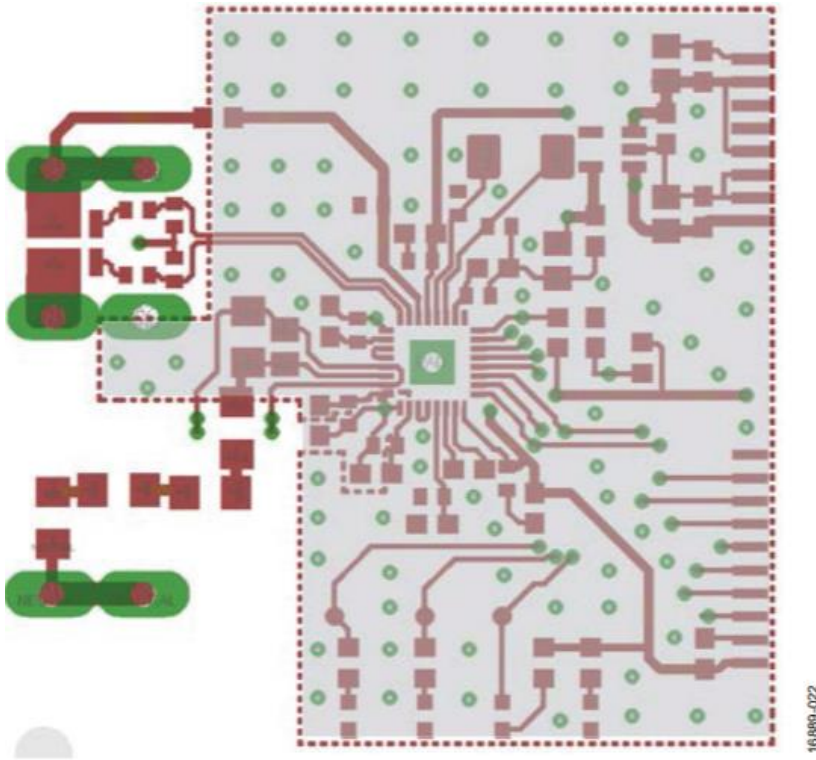


图 22. 带过孔的接地层（底层）。

如图 23 所示，接地层位于 VAN 和 VAMS 保护的下方。此接地层保护分压器的低电阻，以及电压通道的抗混叠滤波器。分压器上部高压侧的下方没有接地层。

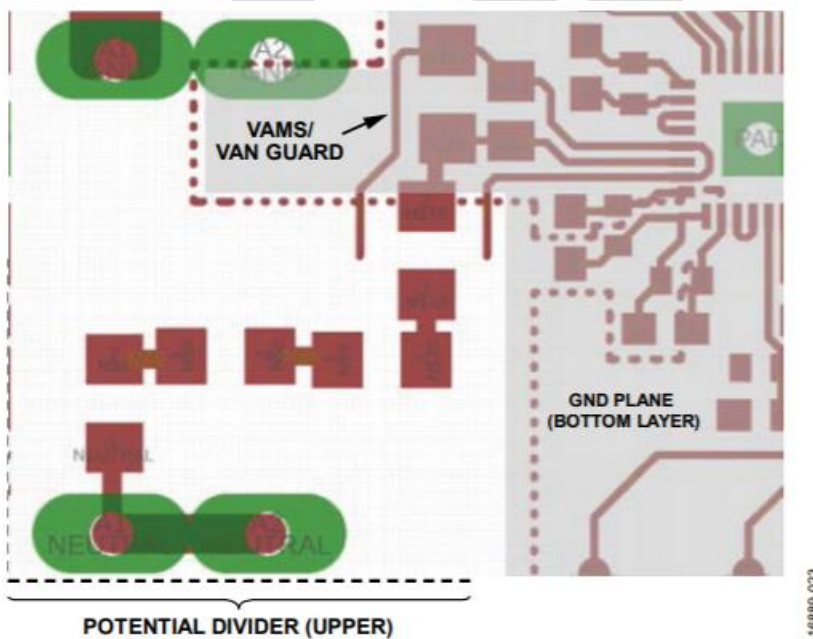


图 23. 处于 VAMS 和 VAN 保护下方的接地层。



## 隔离

在系统级应用中添加电能计量功能时，需要设置隔离栅，将电压、电能计量电路的接地和控制器隔离开来。

[ADE9153A](#) 在交流电压下浮空。因此，需要提供隔离，以保证安全。通常在 [ADE9153A](#) 和微控制器单元(MCU)之间设置隔离。或者，在 MCU 和通信之间设置隔离。

隔离栅必须包含隔离器或带电源隔离或数据隔离通道的 IC，以便将包含电能计量系统的高压侧和包含控制器或系统处理器的安全侧隔离开来（见图 24）。在 [EV-ADE9153ASHIELDZ](#) 上，[ADUM6000ARIZ](#) 提供隔离电源，[ADUM4152BRIZ](#) SPIsolator<sup>®</sup> 隔离串行外设接口(SPI)和低速数字接口信号。

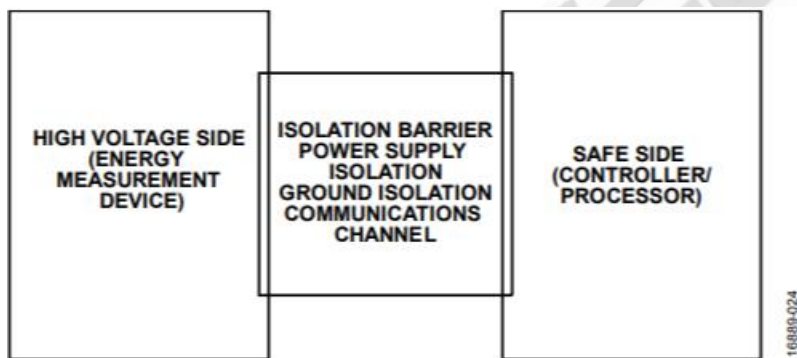


图 24. [EV-ADE9153ASHIELDZ](#) 的隔离栅。

选择隔离设备时，请考虑一些关键要求，例如数据速率、空间要求以及电压要求。

## 应用示例

### 智能街道照明

智能街道照明将计费级电能计量功能集成到系统中，旨在提高能效，并提供自动开关控制、亮度控制和故障报警功能。智能街道照明的独有特性是支持远程维护和开发，因此适合采用 [ADE9153A](#) 的自动校准技术。

在电能计量应用中，电表的电源消耗不会计入客户账单，因此，电表的电源要设置在分流电阻之前。在有些应用中，例如某些街道照明应用，其配置要求测量包括测量模块在内的整个负载的功耗。在这种情况下，电源要设置在分流电阻之后。mSure 需要使用分流传感器，调整其功耗可能导致 mSure 结果出现误差，电源设计不同，误差情况也不同。这些误差与电源设计相关，必须在每个完整系统上测量。这些误差可能只有零点几个百分点。按照标准建议，在分流电阻之前连接模块的电源。

## 多输出电能计量

数据中心的配电装置(PDU)采用多个单相插座来分配电能。利用 [ADE9153A](#) 可监测每个插座消耗的电能。图 26 为 PDU 应用中采用多个 [ADE9153A](#) 设备的示意图。

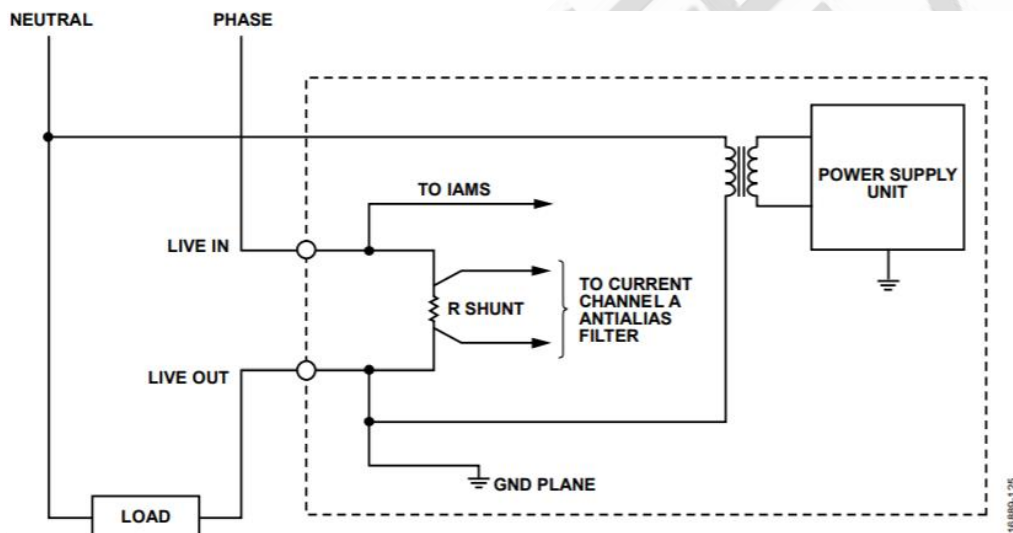


图 25. 分流电阻之后的电源连接。

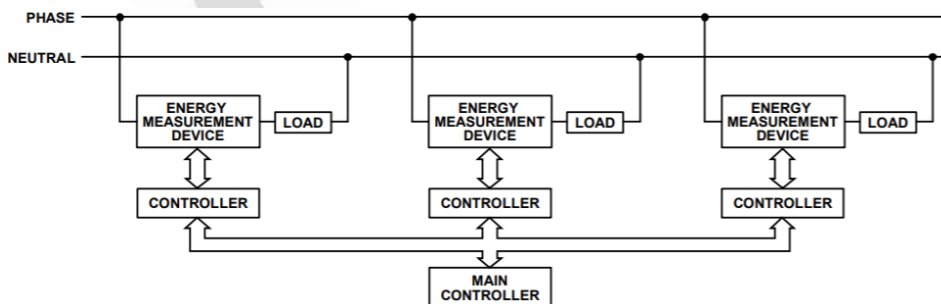


图 26. 多输出电能计量。

## 结论

将 [ADE9153A](#) 作为电能计量设备添加至系统中时，本文提供的指南和建议至关重要。

这些建议简要汇总如下：

- SMD 电流通道的 PCB 布局必须包含 mSure 输入路径和 mSure 返回路径（用于 IAMS 注入）。确保在 IAMS 上放置一个电容并接地，以抵御电快速瞬变干扰。
- 大部分应用并不需要零线电流测量。在这种情况下，必须将 IBP 引脚和 IPN 引脚短接在一起，IBMS 引脚和 DGND 引脚短接在一起。使用电流互感器来测量零线电流通道时，需要为 IBMS 接入提供额外线路。
- 分压器的 VAP 走线周围必须提供 VAMS 和 VAN 保护。遵循推荐的 PCB 布局和铺铜走线要求。
- 抗混叠滤波器必须对称，且靠近传感器放置，平行走线馈入 [ADE9153A](#) 的引脚。
- 晶振的频率容差必须  $\leq \pm 50\text{ppm}$ ，稳定性频率  $\leq \pm 30\text{ppm}$ 。确保晶振的负载电容靠近引脚位置。
- 系统可以使用来自控制器的电源，或者 [ADE9153A](#) 的独立电源。遵循 PCB 布局建议。
- 设备的所有接地必须在接地面汇合。确保将系统的高压测和安全侧隔离开来。

## 晶片级封装安装指南

晶片级封装(WLP)允许集成电路(IC)面向下安装在印刷电路板(PCB)上，芯片的焊盘通过单独的焊点与 PCB 连接。本文讨论了晶片级封装技术及其优势，描述了 ADI WLP 的 PCB 布局 and 安装流程。

晶片级封装(WLP)用单独的焊点将集成电路(IC)与印刷电路板(PCB)连接在一起。IC 面朝下安装，这种技术不需要任何绑定线或引线，有别于其他球栅阵列、引脚封装和压层 CSP 封装技术，是 IC 与 PCB 之间电感最小的封装形式，这也是它最主要的优点。另外，这种封装大大缩小了封装尺寸，缩短了制造周期，并增强了热传导特性。

本文描述了 ADI WLP 的 PCB 布局 and 安装流程，注意，这里给出的只是基本的 PCB 布板设计和安装指南，并不保证用户最终产品的可靠性，用户还需要对其最终产品的使用寿命和可靠性进行验证。

## 封装结构

WLP 焊点的相互连接是在硅晶片的基板上构建起来的，晶片电路的表面覆盖了一层 BCB (Benzocyclobutene)树脂薄膜，这层薄膜可以减缓凸点的机械应力，并为裸片表层提供电气隔离。过孔成像在 BCB 膜上，与 IC 绑定焊盘提供电气连接。UBM 层 (焊点下的金属化层) 覆盖在过孔上方，BCB 层的另一个作用是焊料掩膜，定义回流焊球的直径和位置。目前封装 I/O 的设计包含 2 至 55 个可焊接点，如图 1 所示。标准的焊点合金是易于溶解的 Sn63Pb37、“高铅含量”Pb95Sn5 和“无铅”Sn96.5Ag3Cu0.5，单个 WLP 焊点的结构如图 2 所示，元件背面是裸露的硅片，带有一个光刻的引脚 1 标记和标示码。双金属层分区工艺(RDL)允许从外围绑定盘移至其他凸点矩阵模板。

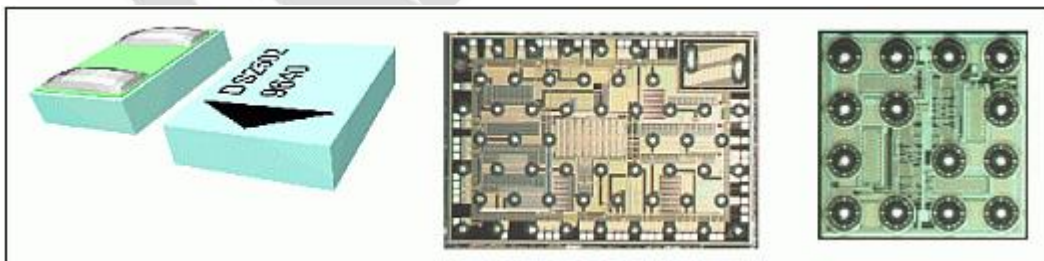


图 1. 通用的 2 焊点 CSP、55 焊点倒装芯片、4 × 4 UCSP™。

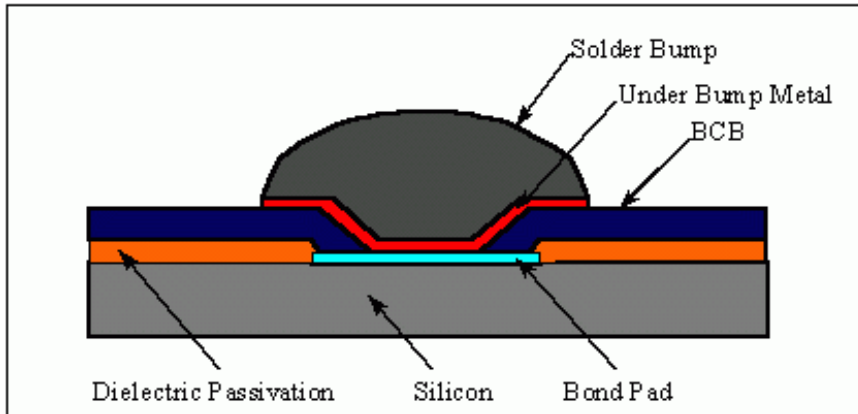


图 2. 通用 WLP 结构图。

## WLP 载带

WLP 采用卷带(T&R)形式包装，卷带规格符合 EIA-481 和 EIA-746&747 标准。图 3 给出了典型的卷带结构，所有 ADI 的倒装芯片和 CSP 器件采用浮凸载带包装，带有压封胶粘 (PSA)封带，卷轴为 7 英寸或 13 英寸。也可以根据用户需求提供 Surftape®或 Surftape-Lite®卷带及其他尺寸的卷轴。



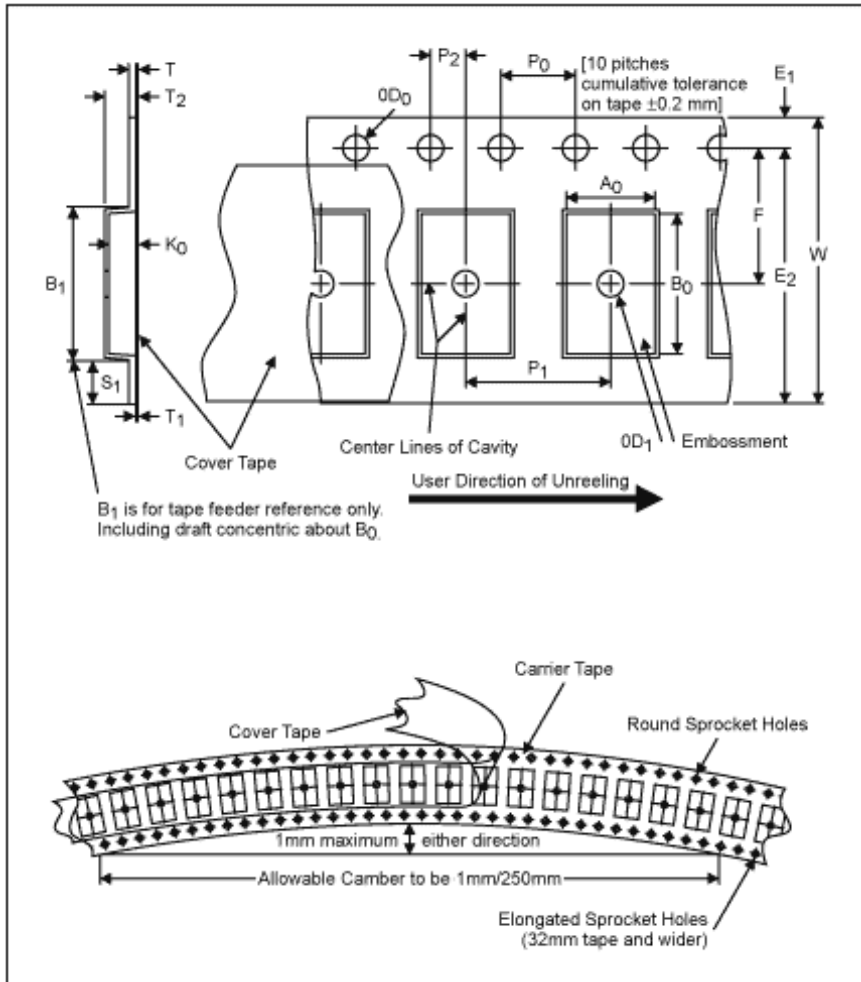


图 3. 典型 WLP 载带结构。

焊球在卷带内面朝下放置，卷带的每个包装内引脚 1 的位置保持一致。封带的总剥离强度在 0.1N 至 1.0N (10gf 至 102gf 标定刻度)。

## PCB 布局

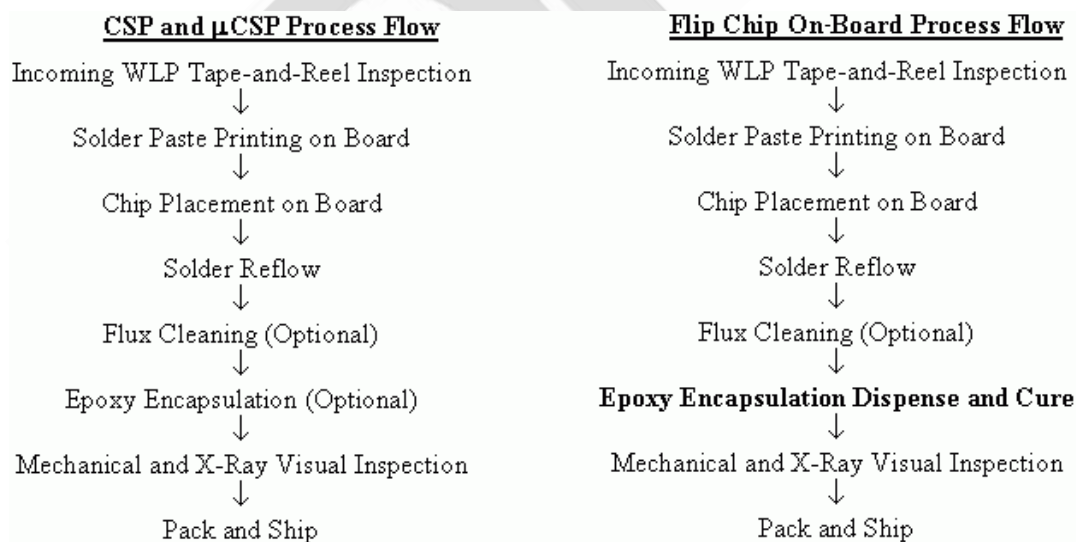
PCB 设计需要符合 IPC-A-600 和 IPC-6012A 标准，标准的 FR4 ( $T_g=120^{\circ}\text{C}$  至  $150^{\circ}\text{C}$ ) 覆铜层压板可能适用于峰值温度达  $240^{\circ}\text{C}$  的全部回流焊流程；对于峰值温度在  $240^{\circ}\text{C}$  至  $270^{\circ}\text{C}$  范围的回流焊工艺，建议使用高性能 FR4 或 BT 层压板 ( $T_g=170^{\circ}\text{C}$  值  $185^{\circ}\text{C}$ )。

对于 ADI 的焊点合金材料，无电镀镍浸金(ENIG)是 PCB 铜基板焊盘表面抛光的首选电镀处理方法（在最小 100 微英寸/最大 300 微英寸厚度的 Ni 上覆盖最小 3 微英寸/最大 20 微英寸厚度的 Au），铜焊盘上也可以使用有机表面保护(OSP)层。

对于所有球栅阵列封装的焊点，非焊锡掩膜法(NSMD)焊盘优于焊锡掩膜法(SMD)焊盘。焊盘之间建议使用焊盘掩膜法，利用焊盘掩膜设计清空 0.002"至 0.003"的焊盘边缘。采用层叠焊点回流（易溶的 Sn-Pb 和无铅）处理时，焊盘尺寸通常比最大焊点直径小 20 至 25%，保证焊接深度达到最大元件焊点高度。采用非层叠焊点回流（高铅含量）处理时，焊盘尺寸通常比最大焊点孔径大 0.002"至 0.004"，对于焊点沉浸度和可接受度可以利用 X 射线检查。对于“高铅含量”焊盘设计的唯一例外是 ADI 的 2 焊点 CSP 封装（图 1），对于这种封装形式，建议使用 1:1 最大焊点孔径的焊盘，以防止回流焊时由于管芯的倾斜造成焊点的连接。基板模板可以是圆形的或方形的，焊盘和连线应该对称排列，以避免回流焊中产生偏离中心的拉力。为防止虚焊，每个 NSMD 焊盘应该由一条线连接，引线宽度不要超出所连接的 NSMD 焊盘孔径的 1/2。

应谨慎选择 WLP 元件在 PCB 上的位置，如果相邻元件具有较高的封装外形，则会遮蔽 WLP 封装，避免潜在的错误连接。

## PCB 安装流程



## 焊膏印刷工艺

焊膏印刷是与 PCB 装配产出率相关的最重要的工艺。必须检查焊膏厚度、焊盘覆盖百

分比和与焊盘的对准精度。

- 选择焊膏：应使用第 3 类（锡球尺寸为 25 至 45 微米）或第四类（20 至 38 微米）的锡膏，选择哪一类取决于模板开孔的尺寸。建议使用低卤化物含量(<100ppm)和免清洗的、J-STD-004 指定的 ROL0/RELO 树脂助焊剂，可以省去回流装配后的清洗工作。
- 制作模板：使用激光切割不锈钢箔片加电抛光技术或镍金属电铸成形的制作工艺。镍电铸成形工艺虽然比较昂贵，但是对于从超小的开孔进行焊膏沉积的过程最具可重复性。这种方法还有一个优点，可以形成任何用户所需要的厚度。具有梯形截面的模板开口有助于焊膏的释放。
- 焊锡模板开口设计：对于激光切割 SS 使用纵横比为  $\geq 0.75$  的孔径；对于镍金属电铸成形，使用纵横比为  $\geq 0.66$  的孔径，方圆形（25 微米角径）开口有助于焊膏沉积的重复性。孔径纵横比定义为孔径开口面积除以孔径边缘的面积。也可以使用偏离基板焊盘的 X、Y 坐标轴，使每个焊点的粘贴沉积度最强，焊点之间的影响最小，如图 4、图 5 所示。
- 焊锡模板的厚度：焊锡模板的厚度应该不超过焊点的高度，必须达到实际孔径设计所对应的纵横比的要求。在采用混合技术的 PCB 装配中，如果这些模板要求与其他 SMT 元件的要求相冲突，可以使用符合 IPC-7525 设计标准的低一级的模板工艺或双印刷模板工艺。

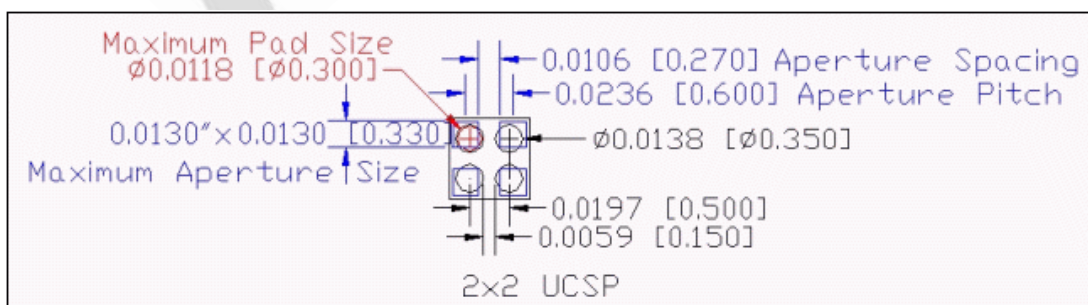


图 4. 2 × 2 UCSP 孔径焊点的模板设计范例。

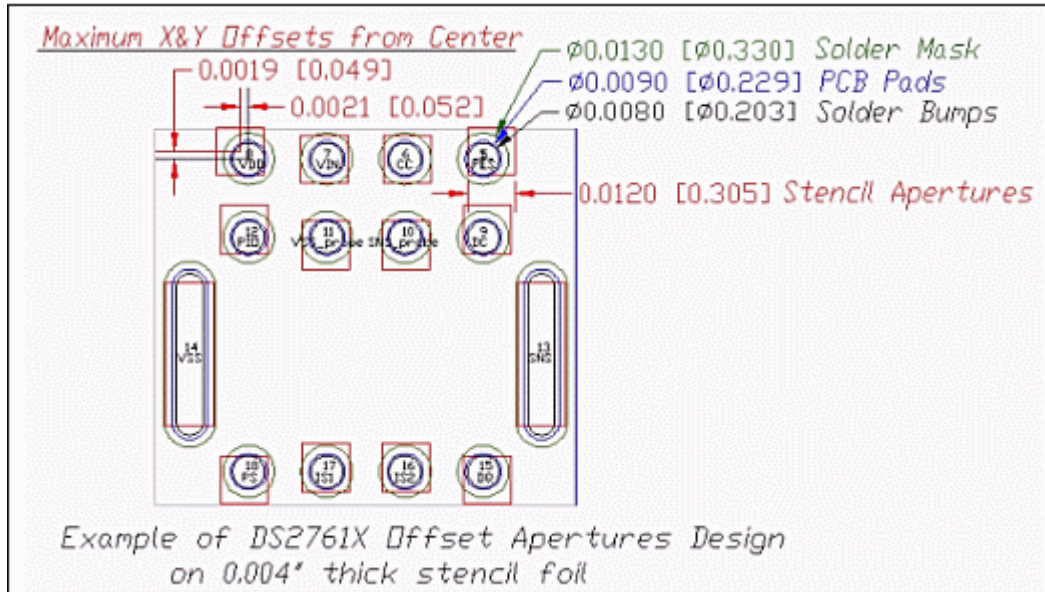


图 5. DS2761X 倒装芯片孔径焊点的模板设计范例。

## 元件的放置

ADI 的所有 WLP 硅片均采用真空吸头从载带包装中取出，并贴放到 PCB 上，这一过程使用标准的自动精确定位 IC 拾取/贴放机完成，在  $4\sigma$  下的贴放精度  $\leq 0.050\text{mm}$ 。拾取/贴放系统需要一个固定的卷带送料器。使用机械中心定位方案的系统是不可取的，因为它极有可能损坏硅封装。

- 拾取/贴放系统的贴放精度依赖于它使用的是封装外形中心与球栅阵列中心的视觉定位技术。排列精度要求较低时，封装外形中心对准可以用于高速贴放；球栅阵列中心排列能够在贴放速率较低时实现最大的对准精度。封装外形对准与球栅阵列对准的中心位置座标 X、Y 最大可相差  $\pm 0.035\text{mm}$ 。
- 焊点贴放位置与 PCB 焊盘中心的最大允许偏移在 X、Y 方向均为  $\pm 0.100\text{mm}$ ，这样可以保证回流过程的沉浸力使焊点自动对准中心。
- 所有硅裸片封装的接触力应该控制在  $\leq 2$  牛顿(204gf)以内。精确的分布力度应该周期性地利用经过校准的测压表进行测试。



- 需要使用 2D X 射线测量并验证贴放精度。

## 焊膏回流

ADI 的 WLP 符合工业标准回流焊处理流程，我们选择氮惰性气体下的回流焊接。

- 推荐使用压迫气体对流回流炉，这样可以控制整个过程中的热传导率。
- WLP 焊点能够经受三个标准回流焊周期。
- 推荐使用 2D X 射线或 3D X 射线分层摄影法作为回流焊之后取样检验，检查焊结短路、焊锡不足、漏焊和潜在开路等问题。
- 易溶解的 Sn-Pb 焊膏回流到易溶解的 Sn-Pb 或“高铅含量”焊点的 WLP：标称峰值温度是  $220^{\circ}\text{C} \pm 15^{\circ}\text{C}$ ，高于  $183^{\circ}\text{C}$  熔点温度的持续时间是  $60 \pm 15$  秒，由机械装置内部的热电偶测量和验证回流炉的温度特性。典型的易溶 Sn-Pb 焊膏回流焊温度曲线如图 6 所示。峰值温度上限建议用于易溶 Sn-Pb 焊膏回流到“高铅含量”焊点的 WLP 中，以增强焊点接口处金属间的绑定层。

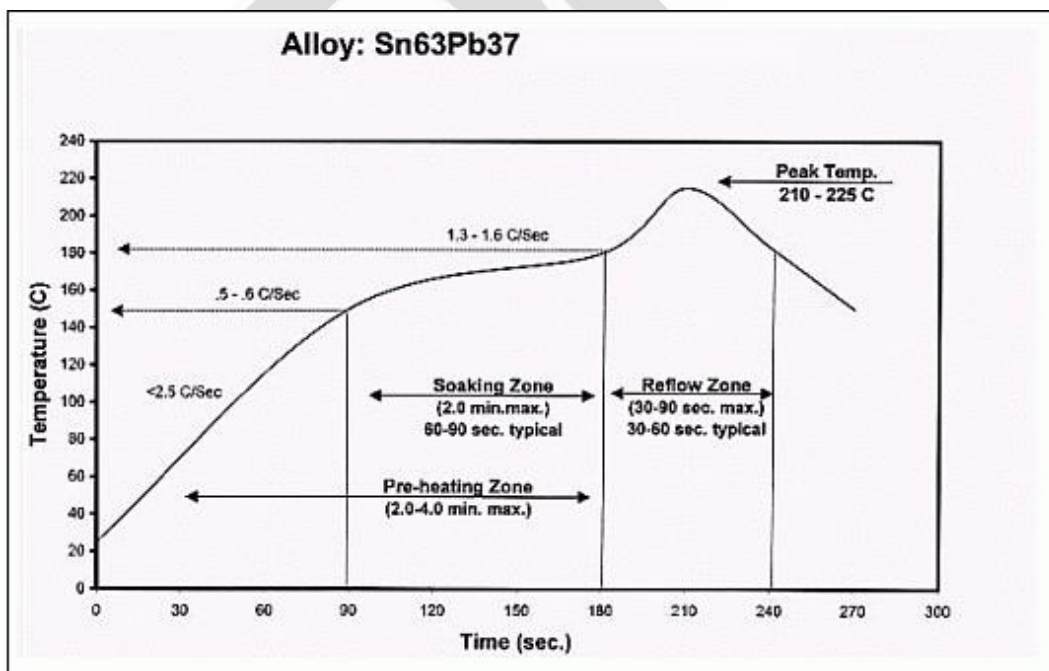


图 6. 易溶焊膏的典型温度特性曲线。



- “无铅”焊膏回流焊：标称峰值温度为  $250^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ，高于  $217^{\circ}\text{C}$  至  $221^{\circ}\text{C}$  熔点温度的时间是  $60 \pm 15$  秒，由机械装置内部的热电偶测量和验证回流炉的温度特性。对于 Sn96.5Ag3.5 和 SnAg(2-4)Cu(0.5-0.8)合金的典型“无铅”焊膏回流焊温度曲线如图 7 所示。

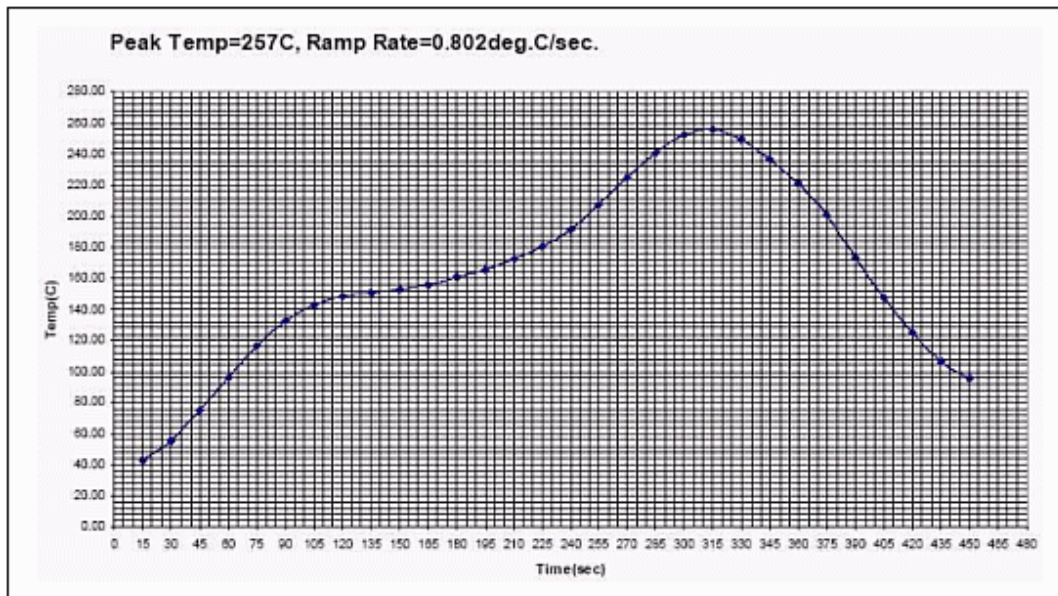


图 7. Sn96.5Ag3.5 和 Sn-Ag-Cu “无铅”焊膏的典型温度特性曲线。

## 元件更换

WLP 的更换方法与典型的球栅阵列(BGA)更换方法相同。

- 使用局部加热取走 WLP 元件，加热温度曲线与最初的回流温度曲线类似，使用对流热气体喷嘴和底部预热的方法。
- 当喷嘴温度超过焊点熔点时，使用塑胶镊子或者真空工具取走有缺陷的元件。
- 必须使用温度可控的烙铁除去焊盘上的残留锡料。
- 将凝胶状助焊剂涂到焊盘上。
- 用真空拾取工具拾起新元件并利用视觉定位贴放夹具将其精确地放置在电路板上。

- 用相同的对流热气体喷嘴和底部预热的方法对元件进行回流焊接，采用最初的回流温度曲线。

## 环氧包封（板上安装倒装芯片所必需的）

为了提高焊点连接的机械强度，加速热循环(ATC)能力，可以在安装了的 CSP 电路增加环氧填充和/或 Glob-Top 包封,使测试可靠性比没有环氧包封的元件提高 10 倍。这种“包封效应”可以提高芯片与基板之间环氧粘合剂的机械连接机制的性能。环氧包封还为潮湿的环境以及化学污染提供了一层物理屏障。另外，环氧填充还可以阻止焊膏在相邻焊点之间蔓延, Glob-Top 环氧层可以防护 WLP 的边缘和背面硅层的机械连接处不被损坏。

### 材质的考虑

- 固化环氧剂的线性扩充系数(CTE)与焊接点、Sn63Pb37 (21ppm/°C)-Pb95Sn5 (29ppm/°C)、65%至 70%硅填充料一致。
- 较高的玻璃化转变温度(Tg)改善了所有产品保存期内的温度需求（最小固化环氧  $T_g \geq$  基板  $T_g$ ; FR4=120°C 至 135°C, BT/强化 FR4=170°C 至 185°C）。
- 支持 BCB 钝化和 LPI 焊锡掩膜。
- 低 Ionics, 总卤化物低于 100ppm。
- 低粘连性、快速回流率，回流能力可达到 50mm(2mil)最小间隙尺寸。
- 低扭曲度，低收缩率。
- 低吸潮性。

### 可接受的视觉核查标准

- 环氧填充材料必须连续地环绕整个管芯的四周构成一个正倒角，不允许有空隙。这

个正倒角与管芯的底层边沿有一个最小连接高度，连接高度不要超出管芯顶层边沿。另外，倒角必须为正的润湿角，使管芯边沿与外界隔离。

- 环氧表层从视觉上必须保持均匀，没有间隙和针孔。
- 环氧层不要粘接到任何装配电气插头的表面。
- 可以利用垂直扫描声波显微镜(C-SAM)成像作为填充空隙检测的分析方法，如图 9、图 10 所示。
- 测量液化环氧分布重量的增加可作为监视 SPC 的简单方法。

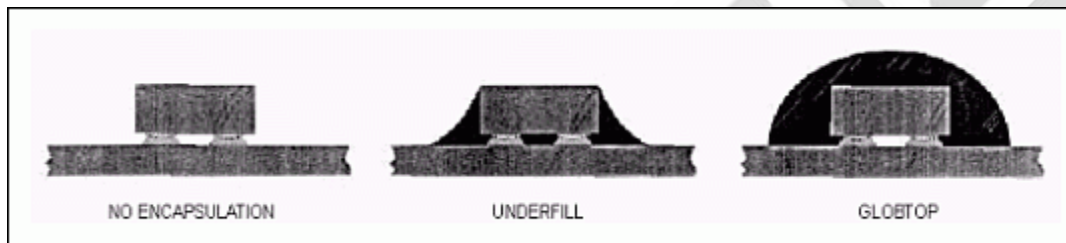


图 8. 环氧包封选项。

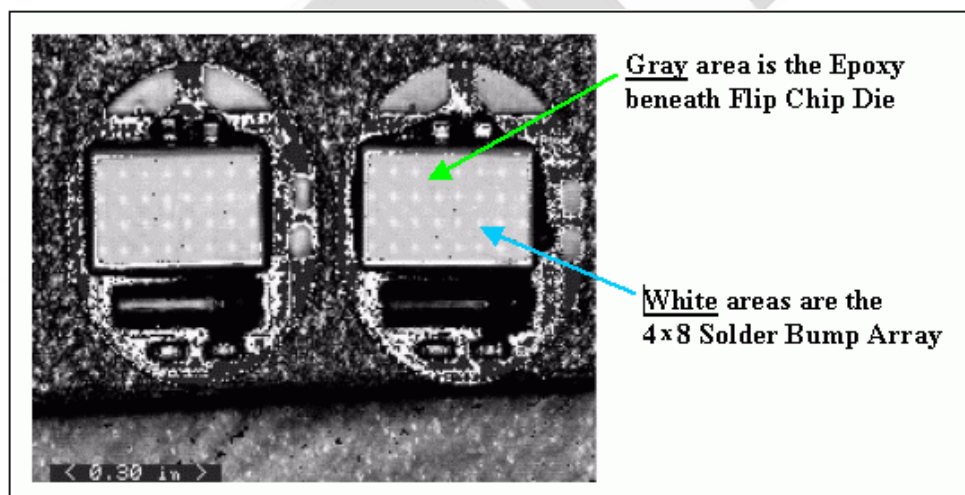


图 9. 垂直扫描声波显微镜(C-SAM)成像的例子。

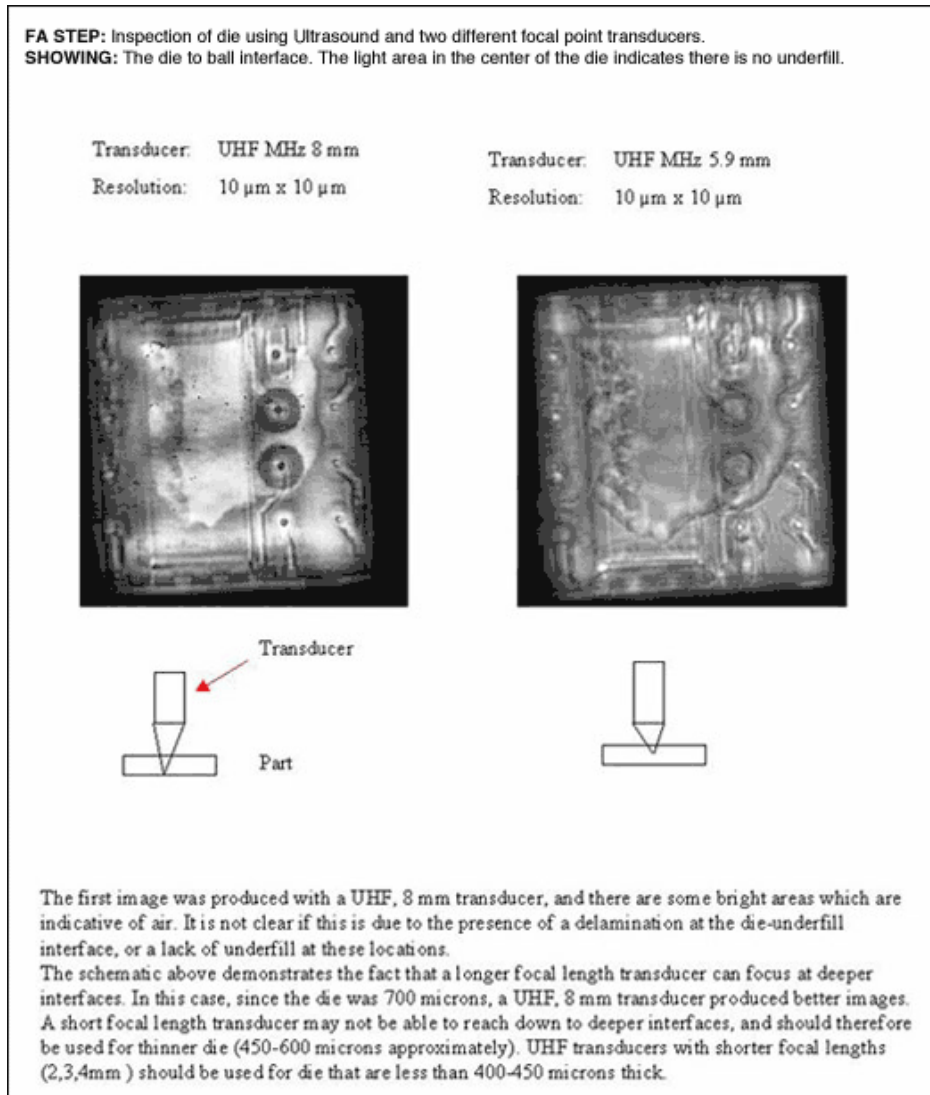


图 10. 垂直扫描声波显微镜(C-SAM)成像的例子。

## 包装与运输

为了防止损坏 WLP 元件，包装与运输 WLP 装配部件时必需小心，尤其是在不使用环氧包封安装 WLP 元件的情况下。必需评估并严格遵守装有 WLP 元件的 PCB 包装规格。

# 针对采用多个 AD7606 器件应用而推荐的 印刷电路板(PCB)布局



在电力线路测量和保护系统中，需要对多相输配电网的大量电流和电压通道进行同步采样。这些应用中，通道数量从 6 个到 64 个以上不等。[AD7606](#) 8 通道数据采集系统(DAS) 集成 16 位双极性同步采样 SAR ADC 和片内过压保护功能，可大大简化信号调理电路，并减少器件数量、电路板面积和测量保护板的成本。高集成度使得每个 [AD7606](#) 只需 9 个低值陶瓷去耦电容就能工作。

在测量和保护系统中，为了保持多相电力线网络的电流和电压通道之间的相位信息，必须具备同步采样能力。[AD7606](#) 具有宽动态范围，是捕获欠压/欠流和过压/过流状况的理想器件。输入电压范围可以通过引脚编程设置为  $\pm 5V$  或  $\pm 10V$ 。

此文详细介绍针对采用多个 [AD7606](#) 器件应用而推荐的印刷电路板(PCB)布局。该布局在通道间匹配和器件间匹配方面进行了优化，有助于简化高通道数系统的校准程序。当通道间匹配非常重要时，此电路可以使用 2.5V 内部基准电压源 [AD7606](#)；而对于要求出色绝对精度的高通道数应用，此电路可以使用外部精密基准电压源 [ADR421](#)，它具有高精度（B 级：最大值  $\pm 1mV$ ）、低漂移（B 级：最大值  $3ppm/^{\circ}C$ ）、低噪声（典型值  $1.75\mu V$  p-p, 0.1Hz 至 10Hz）等特性。低噪声及出色的稳定性和精度特性使得 [ADR421](#) 非常适合高精度转换应用。这两个器件相结合，能够实现业界罕有的集成度、通道密度和精度。

[AD7606](#) 是一款集成式 8 通道数据采集系统，片内集成输入放大器、过压保护电路、二阶模拟抗混叠滤波器、模拟多路复用器、16 位 200 kSPS SAR ADC 和一个数字滤波器。图 1 所示电路包括两个 [AD7606](#) 器件，可以配置为使用 2.5V 内部基准电压源或 2.5V 外部基准电压源 [ADR421](#)。如果 REF SELECT 引脚接逻辑高电平，则选择内部基准电压源。如果 REF SELECT 引脚接逻辑低电平，则选择外部基准电压源。

电源要求如下：AVCC=5V, VDRIVE=2.3V 至 5V（取决于外部逻辑接口要求）。

本文描述一个评估板的布局和性能，其中内置两个 [AD7606](#)，构成一个 16 通道数据采集系统。欲浏览完整的 16 通道 DAS PC 板文档，请访问：



[www.analog.com/CN0148\\_PCB\\_Documentation](http://www.analog.com/CN0148_PCB_Documentation)

为实现良好的通道间匹配和器件间匹配，模拟输入通道和器件去耦的对称布局非常重要。

所示数据支持利用图 1 所示 16 通道 ADC 实现的匹配性能。

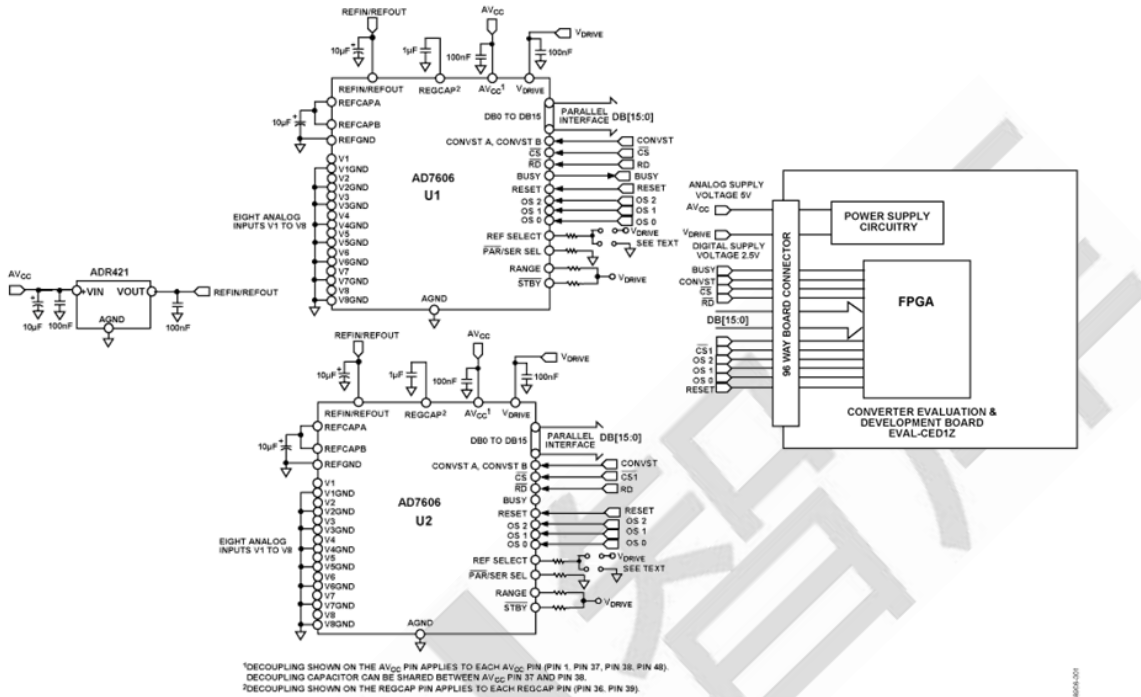


图 1. 采用两个 [AD7606](#) 8 通道 DAS 的 16 通道、16 位数据采集系统（原理示意图，未显示所有连接。对于通道间和器件间匹配测试，器件之间的具体连接参见正文）。

## 16 通道 DAS 的双路 [AD7606](#) 板布局

在内置多个 [AD7606](#) 器件的系统中，为确保器件之间的性能匹配良好，这些器件必须采用对称布局。图 2 显示采用两个 [AD7606](#) 器件的布局。

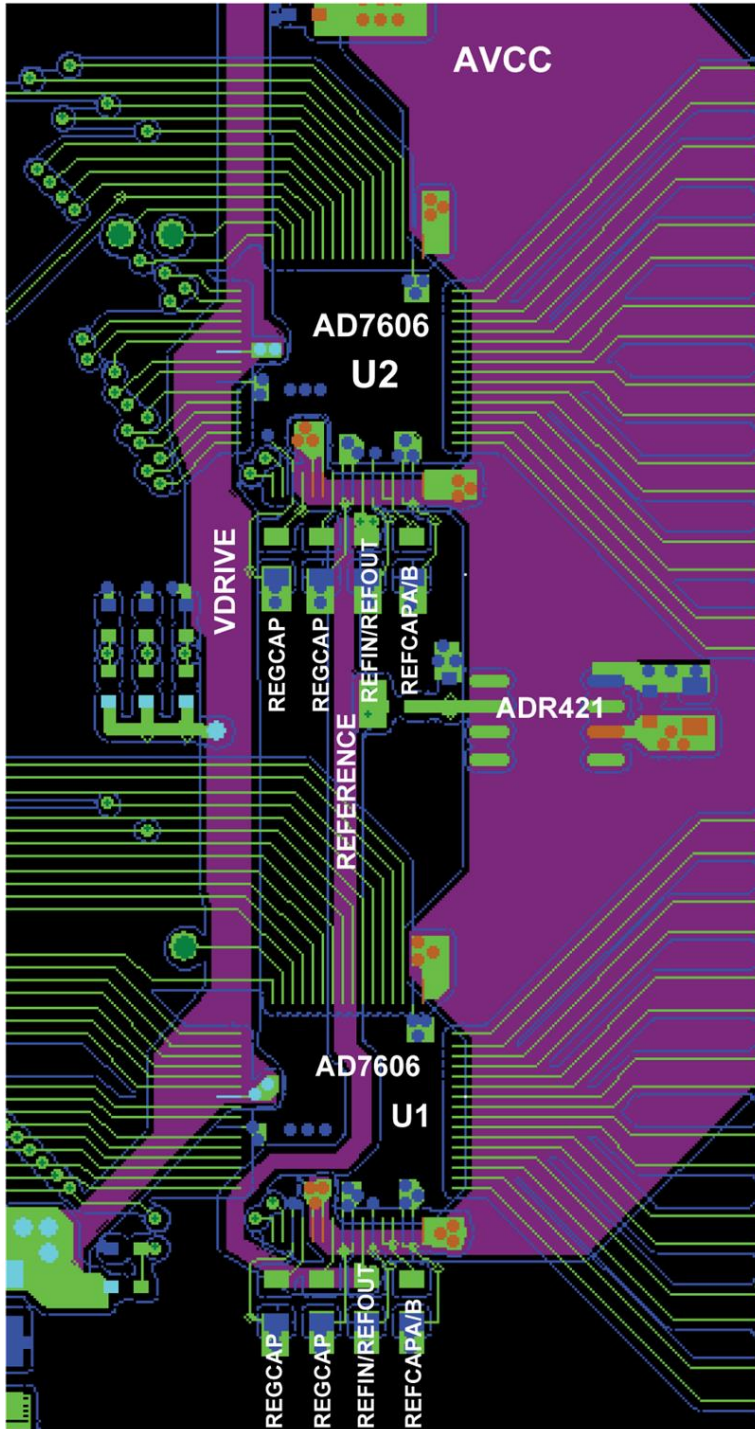


图 2. 采用两个 [AD7606](#) 的 16 通道 DAS 的 PCB 布局。

$AV_{CC}$  电压平面沿两个器件的右侧布设， $V_{DRIVE}$  电源走线沿两个 [AD7606](#) 器件的左侧布设。基准电压芯片 [ADR421](#) 位于两个 [AD7606](#) 器件之间，基准电压走线向上布设到 U2 的引脚 42，向下布设到 U1 的引脚 42。使用实心接地层。这些对称布局原则适用于含有两个以

上 [AD7606](#) 器件的系统。[AD7606](#) 器件可以沿南北方向放置，基准电压位于器件的中间，基准电压走线则沿南北方向布设，类似于图 2。

良好的去耦也很重要，以便降低 [AD7606](#) 的电源阻抗，及其电源尖峰幅度。去耦电容应靠近（理想情况是紧靠）这些引脚及其对应接地引脚放置。

REFIN/REFOUT 引脚和 REFCAPA、REFCAPB 引脚的去耦电容是攸关性能的重要电容，应尽可能靠近相应的 [AD7606](#) 引脚。可能的话，应将这些电容放在电路板上与 [AD7606](#) 器件相同的一侧。图 3 显示 [AD7606](#) 电路板顶层的建议去耦配置。所示的四个陶瓷电容是 REFIN/REFOUT 引脚、REGCAP 引脚、REFCAPA 引脚和 REFCAPB 引脚的去耦电容。这些电容沿南北方向放置，以便尽可能靠近相应的引脚。

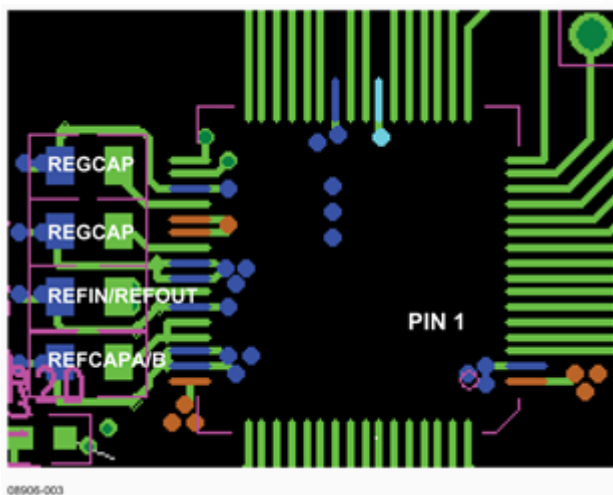


图 3. 顶层去耦，显示了两个 REFCAPA 引脚、REFIN/REFOUT 引脚和 REFCAPA/B 引脚的去耦电容。

图 4 显示底层去耦配置，它用于四个 AVCC 引脚和 VDRIVE 引脚的去耦。使用多个过孔将引脚与其相应的去耦电容相连。[AD7606](#) 器件周围去耦电容的对称布局有利于器件间的性能匹配。多个过孔用来将电容焊盘和引脚焊盘接地及接到电压平面和基准电压走线。

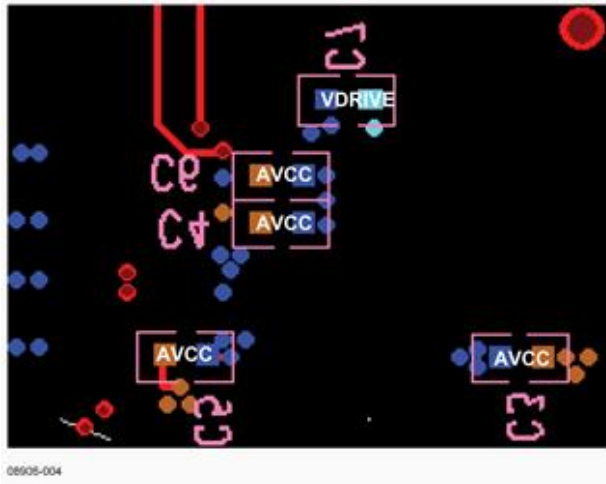


图 4. 底层去耦，显示了四个 AVCC 引脚和 VDRIVE 引脚的去耦电容。

## 16 通道系统的通道间匹配

在高通道数系统中，良好的通道间和器件间性能匹配可以大大简化校准程序。[AD7606](#) 器件、模拟输入通道和去耦电容的对称布局有助于多个器件之间的性能匹配。使用公共系统基准电压将能进一步增强系统的匹配性能。图 5 显示所有输入接地时，用于测量板上 16 个通道之间性能匹配的电路配置。还有最多 7 个码的分布直方图，各通道直方图的中心为码 0，如图 6 所示。

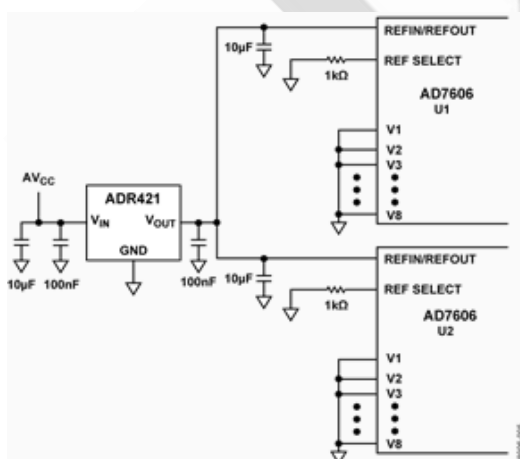


图 5. 用于测试 16 通道系统通道间匹配的电路示意图，该系统采用两个 [AD7606](#) 和外部基准电压源 [ADR421](#)，所有输入接地。

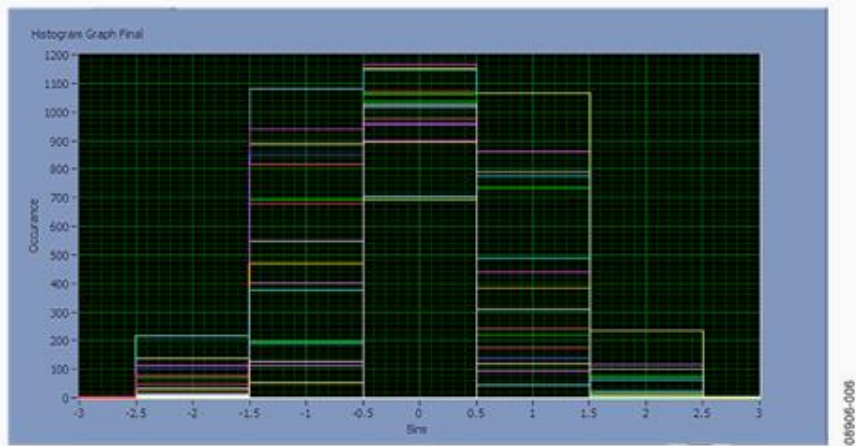


图 6. 图 5 所示电路的直方图，显示了使用外部基准电压源 [ADR421](#) 的 16 通道系统的通道间匹配性能。

## [AD7606](#) 内部基准电压源用作系统基准电压源

[AD7606](#) 内置一个 2.5V 基准电压源，经过内部放大，它可以为 [AD7606](#) ADC 提供约 4.5V 的缓冲基准电压。在通道间和器件间匹配性能至关重要的高通道数应用中，可以用一个 [AD7606](#) 的内部基准电压源为另一个 [AD7606](#) 器件提供基准电压。在此配置中，U1 配置为在内部基准电压下工作，如图 7 所示。

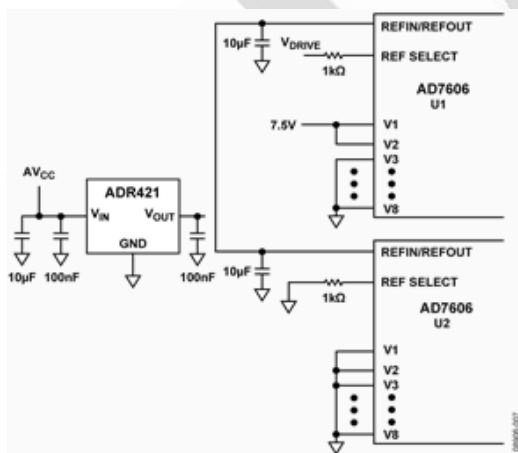


图 7. 用于测试一个 [AD7606](#) 通道间匹配的电路示意图，使用 U1 内部基准电压源。

[AD7606](#) U2 器件可配置为在外部基准电压源模式下工作。U1 REFIN/RFOUT 引脚提供的 2.5V 基准电压路由至 U2 的 REFIN/REFOUT 引脚。一个 10 $\mu$ F 去耦电容位于 [AD7606](#) 器



件的 REFIN/REFOUT 引脚。在 [AD7606](#) U1 和 U2 上，REFCAPA 和 REFCAPB 引脚短接在一起，并通过一个 10 $\mu$ F 陶瓷电容去耦至 GND。

两个 [AD7606](#) 器件均以 200 kSPS 的采样速率工作，一个 7.5 V 直流信号施加于 U1 的 V1 和 V2，如图 7 所示。码的直方图如图 8 所示。在同一器件的通道之间，平均输出码相差 1.2 个码。板上的所有 16 个通道以 200 kSPS 速率进行转换。

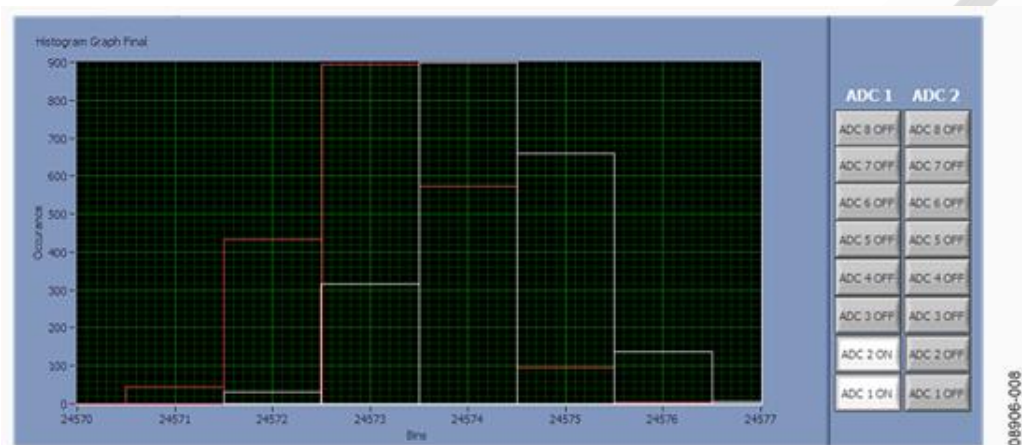


图 8. 图 7 所示电路的直方图。

7.5V 信号施加于 U1 的 V1 和 U2 的 V1，板上的所有 16 个通道以 200 kSPS 速率工作，如图 9 的配置电路示意图所示。码的直方图如图 10 所示。在不同器件的 V1 通道之间，平均输出码相差 1.4 个码。

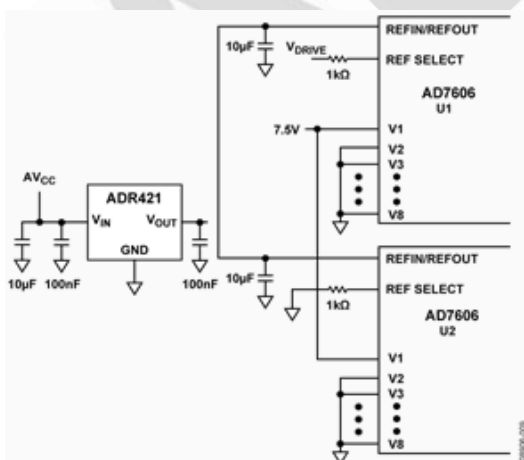


图 9. 用于测试两个 [AD7606](#) 之间器件间匹配的电路示意图，U1 内部基准电压源用作系

系统基准电压源。

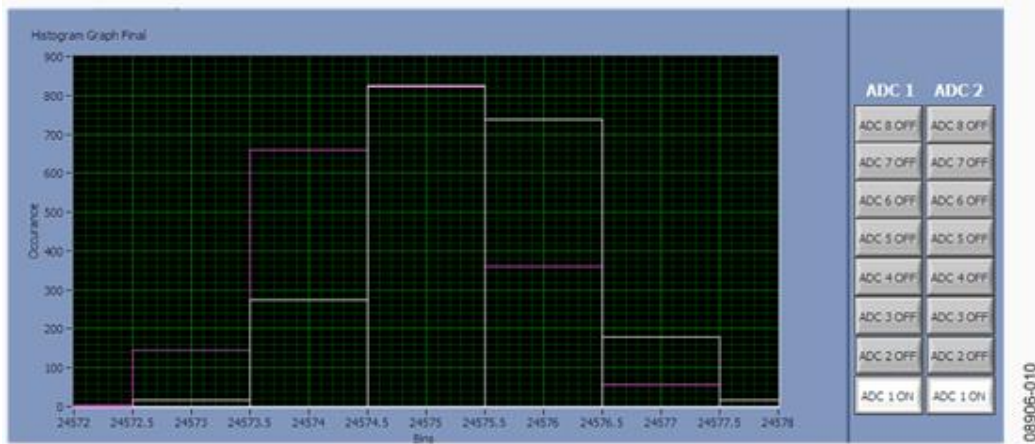


图 10. 图 9 所示电路的直方图。

将一个 [AD7606](#) 的内部基准电压源用作系统基准电压源时，以上直方图显示，一个 [AD7606](#) 器件的通道之间以及多个器件的通道之间都具有非常好的匹配性能。

## 绝对精度

除了通道间匹配和器件间匹配外，如果 ADC 转换结果的绝对精度也非常重要，则应使用外部小容差、低漂移基准电压源作为系统基准电压源。在该电路中，[ADR421](#) 2.5V 基准电压源用作系统基准电压源。

施加于 [AD7606](#) 器件的基准电压会影响 ADC 输出码：

$$\text{Actual Ideal Code} = \frac{V_{IN}}{10 \text{ V}} \times 2^{15} \times \frac{V_{REF}}{2.5 \text{ V}}$$

实际理想码的值会因温度而不同，具体取决于系统基准电压源的温度系数特性。在绝对精度非常重要的应用中，或者在希望避免通过复杂的温度校准程序实现绝对精度和通道匹配的应用中，应当使用 [ADR421](#) 等小容差、低漂移 2.5V 基准电压源作为 [AD7606](#) 器件的系统基准电压源。

7.5V 直流电压施加于 U1 的输入 (V1 和 V2)，如图 11 的电路所示，并使用外部基准电

压源。U1的两个通道的码直方图如图12所示。两个通道的码直方图平均值相差0.9 LSB。

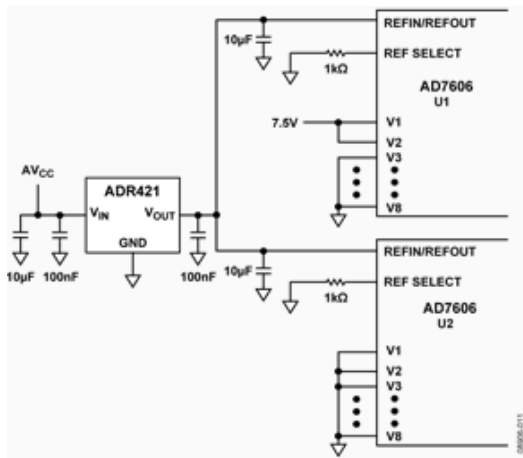


图 11. 用于测试一个 [AD7607](#) 通道间匹配的电路示意图，使用外部基准电压源。



图 12. 图 11 所示电路的直方图。

在用于测试器件间匹配的图 13 所示电路中，7.5V 直流信号施加于 U1 和 U2 [AD7606](#) 器件的 V1 通道，并使用外部基准电压源。两个 [AD7606](#) 器件的两个 V1 通道的码直方图如图 14 所示。板上的所有 16 个通道以 200 kSPS 吞吐速率工作。U1 和 U2 的 V1 通道之间的码直方图平均值相差 0.6 LSB。

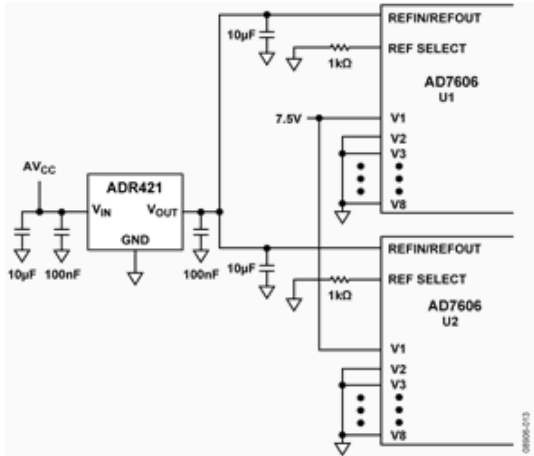


图 13. 用于测试两个 [AD7606](#) 器件间匹配的电路示意图，使用外部基准电压源。

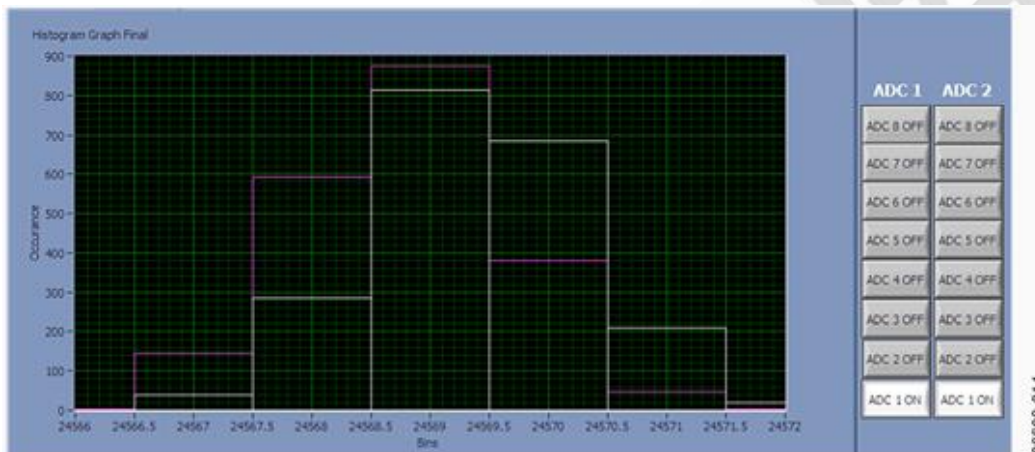


图 14. 图 13 所示电路的直方图。

以上直方图显示，采用 [ADR421](#) 外部系统基准电压源时，一个 [AD7606](#) 器件的直方图平均值间匹配和多个 [AD7606](#) 器件的直方图平均值间匹配均小于 1 LSB。

## 结论

本布局能够确保通过一个 [AD7606](#) 实现通道间良好匹配性能，并且同一 PC 板上的多个 [AD7606](#) 之间也具有良好的器件间匹配性能。[AD7606](#) 器件的对称布局，特别是去耦电容将有助于实现良好的通道间匹配和器件间匹配。在高通道数系统中，良好的通道间和器件间性能匹配意味着校准程序得以简化。

常见变化: [AD7606](#) 是一款 8 通道 DAS, 还可以使用 [AD7606-6](#) (6 通道 DAS) 和 [AD7606-4](#) (4 通道 DAS) 。 [AD7607](#) 是 [AD7606](#) 的 14 位版本。其它基准电压源可以利用[基准电压源选型和评估工具](#)进行选择。

## 低压降压 DC-DC 转换器 MAX20021/

## MAX20022 PCB 布局指南

本文解释如何设计用于车载供电的四通道电源管理 IC (PMIC) [MAX20021/MAX20022](#), 在降低辐射的同时获取最佳性能。文中给出了电源管理电路的四层板设计布局。

### 引言

合理的 PCB 布局至关重要,尤其是在高频开关型稳压器 (例如, [MAX20021/MAX20022](#)) 的设计中。经过优化的 PCB 布局可以提供干净的输出, 并简化电磁干扰(EMI)测试中的调试工作。本文介绍了一些优化电路布局的关键区域, 确保提供最佳性能。

### 总体布局设计指南

- 使输入电容(C5-C8)、电感(L1-L4)和输出电容(C1-C4)形成的环路面积保持最小。
- $V_A$  输出电容(C9)尽可能靠近引脚 26 ( $V_A$  和引脚 24(GND))放置, 电容与引脚之间不要有过孔。该引脚为 IC 的模拟供电输入, 引线上产生的任何电感都将增加模拟噪声, 从而增大 LX[1:4]的输出抖动。
- 优先使用尽可能短的走线。

### 优化 AC-DC 电流通路

为降低电磁辐射, [MAX20021/MAX20022](#) 外围的无源元件布局非常关键。存在电流阶跃



变化的路径称为交流路径,出现在开关通/断操作的时刻。开关接通/断开(ON/OFF)之后,电流流过的路径为直流路径。

## 交流路径

[MAX20021](#) 同步整流 DC-DC 转换器每路输出的开关电流路径上具有三个无源器件 (C1、C5、L1)。这三个元件对电磁辐射和器件性能的影响非常大。图 1、图 2 所示为 OUT1 在 ON/OFF 期间的开关电流路径;图 3 为两个电流路径的差异,具有最大  $di/dt$ 。应优先考虑 C5 的布线,其次是 L1 和 C1 布线。

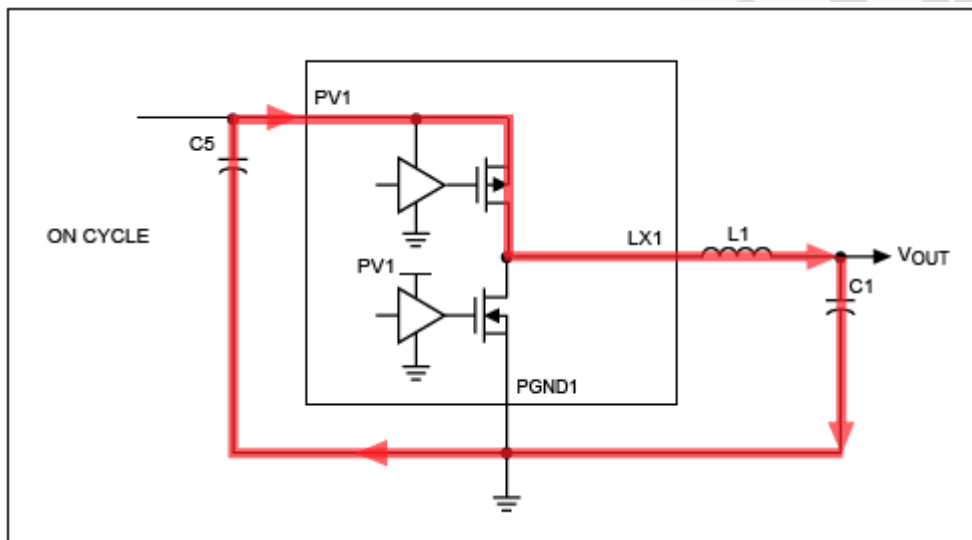


图 1. PMOS 导通时 OUT1 的电流路径。

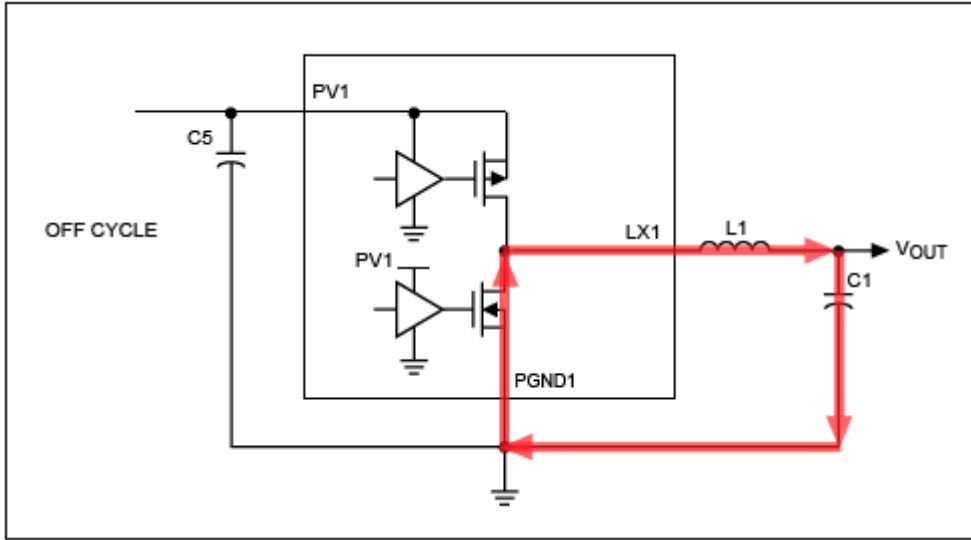


图 2. DMOS 导通时 OUT1 的电流路径。

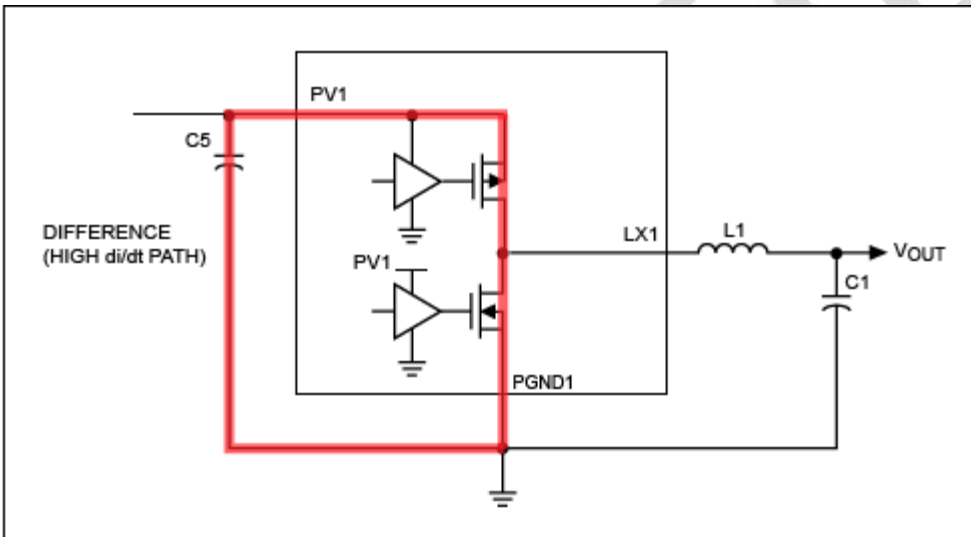


图 3. OUT1 交流路径差异。

## 扩频

如果改善布线无法通过用户的辐射标准测试，可以定制具有时钟扩频的 [MAX20021/](#)  
[MAX20022](#) 产品，扩频器件与标准版本器件相比，能够使 FM 频带的噪声降低 12dB。有关定制扩频器件的流程，请参考器件数据表的相关说明。

## 举例：四层 PCB 设计布局

图 4 至图 7 是根据上述布线指南制作的四层板示意图。

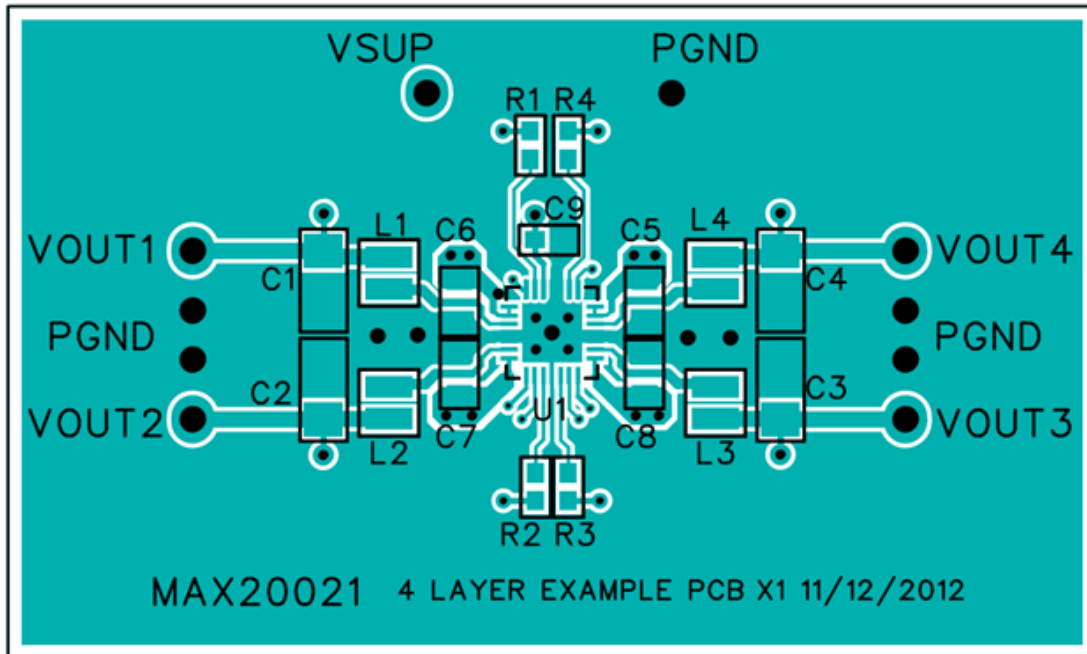


图 4. 四层板布线 – 顶层。

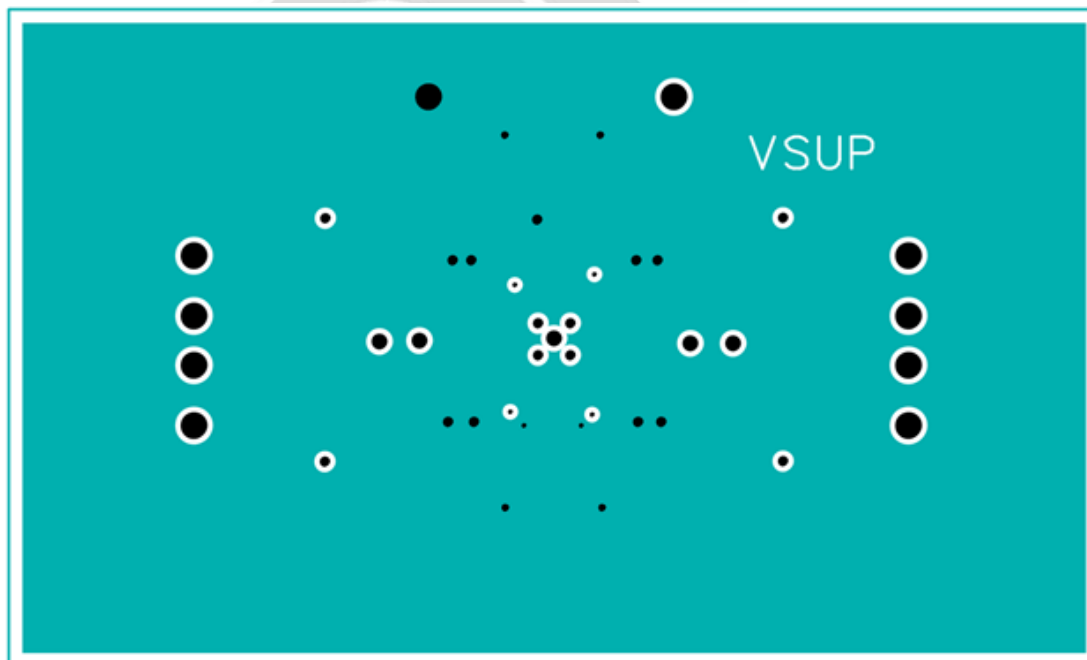


图 5. 四层板布线 – PGND 层。

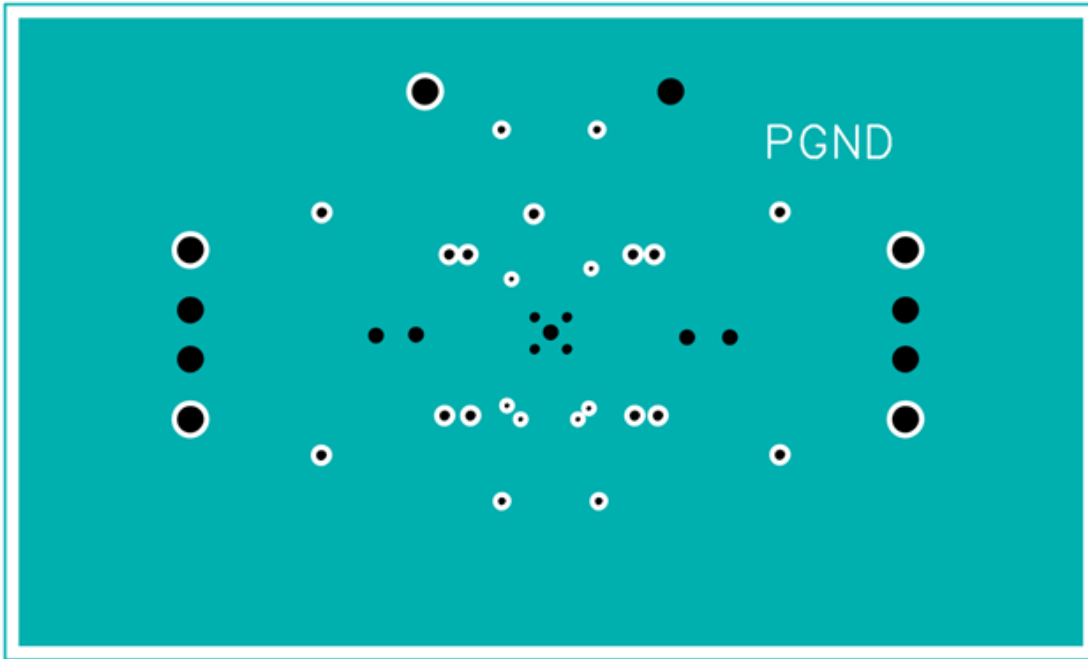


图 6. 四层板布线 – VSUP 层。

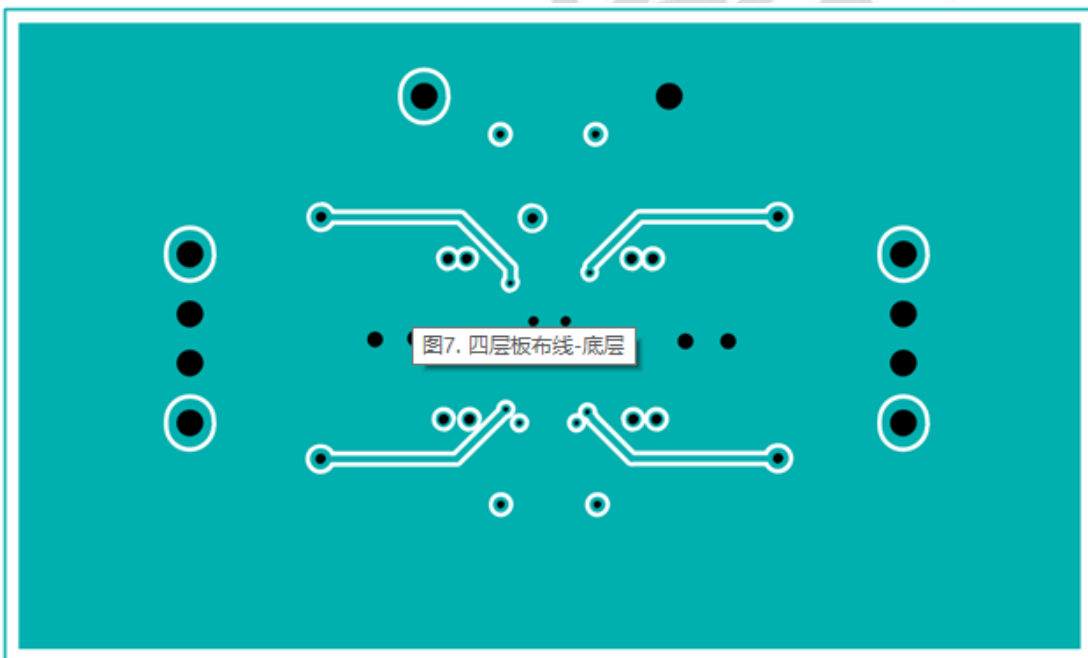


图 7. 四层板布线 – 底层。

## 结论

针对开关稳压器 [MAX20021](#)/[MAX20022](#) (图 8) 的外围元件进行合理布局, 有助于从

源头降低噪声和电磁辐射，节约项目评估阶段的宝贵时间，缩短产品研发周期。

表 1. 元器件列表

Designation	Qty	Description
C1–C4	4	10 $\mu$ F, 10V $\pm$ 10% X7R 1206 ceramic capacitor
C5–C8	4	2.2 $\mu$ F, 10V $\pm$ 10% X7R 0603 ceramic capacitor
C9	1	470nF, 10V $\pm$ 10% X7R 0402 ceramic capacitor
R1–R4	1	20k $\Omega$ $\pm$ 1% 0402 resistors
L1–L4	4	MTD2520–CN1R5M 1.5 $\mu$ H inductor
U1	1	MAX20021/MAX20022 quad, low-voltage DC-DC converters

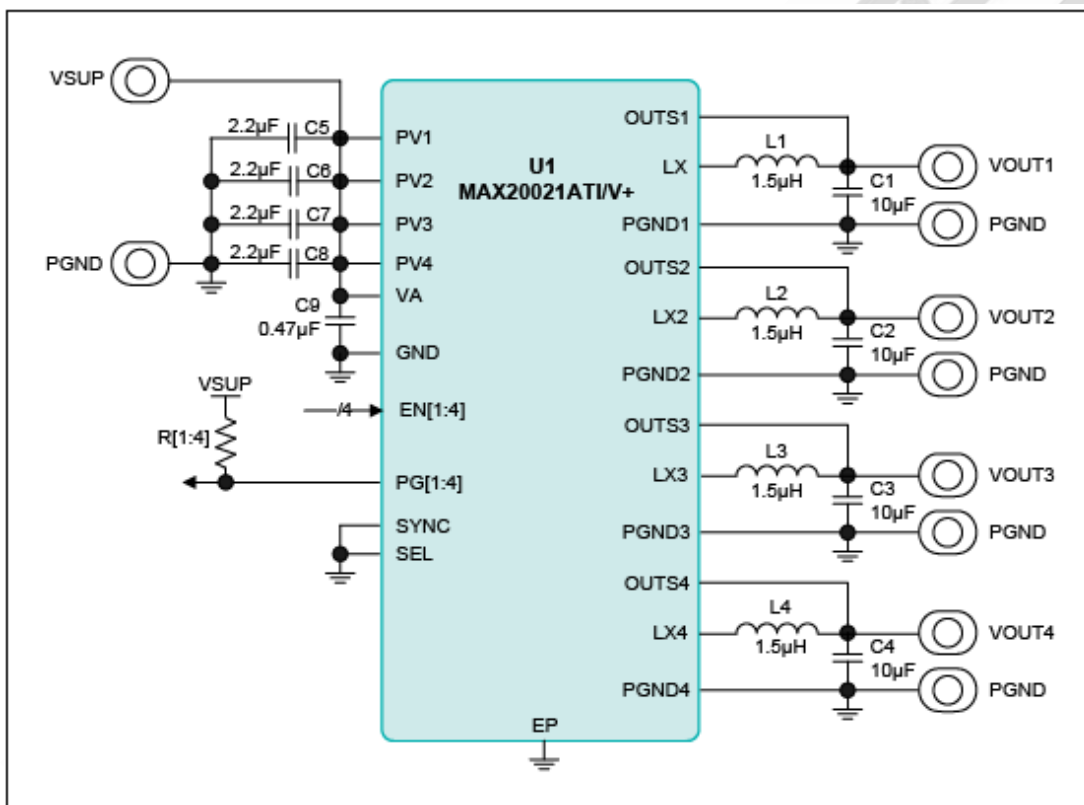


图 8. PCB 布板原理图。

## 以 MAX16903/MAX16904 开关稳压器设计为例，介绍优化系统性能的布板原则

使用高频开关稳压器时，好的汽车电源 PCB 布线可以提供更干净的输出，并且简化 EMI



测试中的调试工作。本文以 [MAX16903/MAX16904](#) 开关稳压器设计为例，介绍如何布线以获得最佳的性能，并降低辐射。

## 引言

使用高频开关稳压器（如 [MAX16903/MAX16904](#)）时，好的汽车电源 PCB 布线可以提供更干净的输出，并且简化电磁干扰(EMI)测试中的调试工作。本文以 [MAX16903/MAX16904](#) 开关稳压器设计为例，介绍优化系统性能的布板原则。

## 布线通用规则

1. 将输入电容 C3、电感 L1 和输出电容 C2 形成的环路面积保持在最小。
2. BIAS 输出电容(C4)尽可能靠近第 13 引脚(BIAS)和第 14 引脚(GND)放置，引脚和电容之间不要出现过孔。这是 IC 的模拟电源输入，阴线上的任何电感都会在 BIAS 电源引入噪声，从而增大 LX 输出的抖动。
3. 使用尽可能短的引线。

## 优化 AC-DC 电流路径

为了尽可能降低电磁辐射，[MAX16903/MAX16904](#) 外围元件的布局非常关键。电流跃变的路径称为交流路径，出现在开关 ON/OFF 操作时。开关接通/断开(ON/OFF)之后，电流路径的电流为直流路径。

## 交流路径

[MAX16903](#) 同步 DC-DC 转换器的开关电流通路需要 3 个无源元件（C2、C3、L1），这三个元件对电磁辐射和器件性能的影响非常大。图 1、图 2 给出了 ON、OFF 周期的电流路径；图 3 说明了出现最高  $di/dt$  的两个电流路径的差异。应优先考虑 C3 的

布线，其次是 L1 和 C2 的布线。

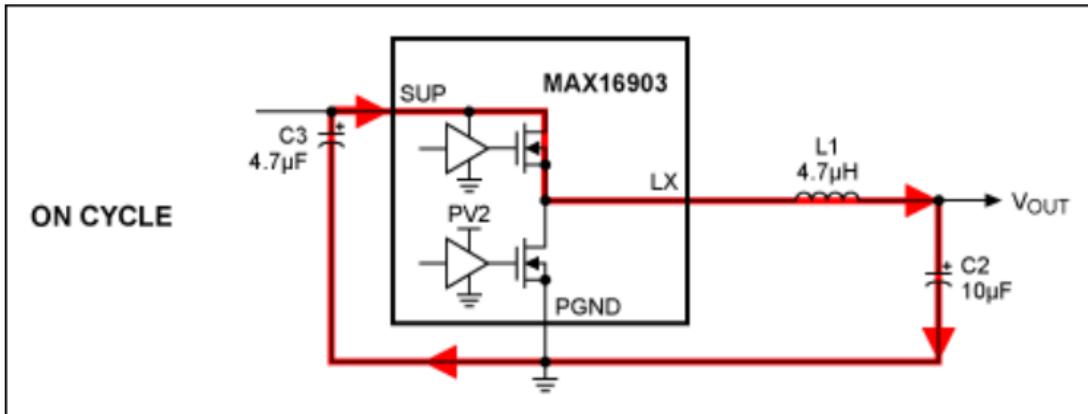


图 1. PMOS 导通状态下的 OUT2 电流路径。

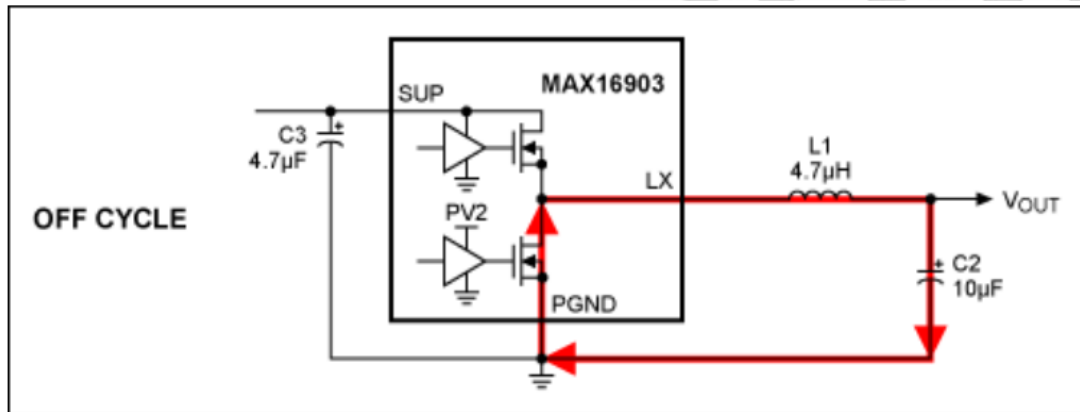


图 2. DMOS 导通状态下的 OUT2 电流路径。

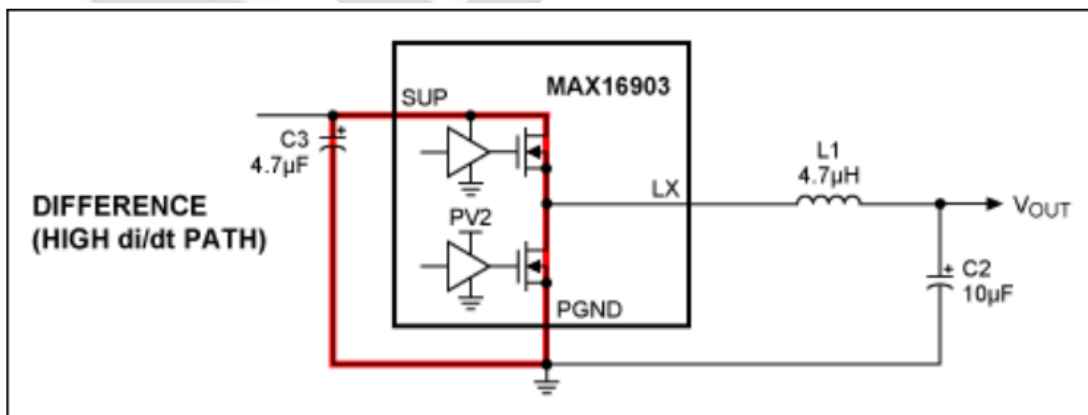


图 3. OUT2 交流路径的差别。

## 自举交流路径

[MAX16903/MAX16904](#) DC-DC 转换器使用了一个高边 DMOS 管，要求在 LX 引脚（DMOS 源极）产生高于 5V 的电压。为了产生该电压，需要在 LX/BST 引脚之间连接一个自举电容（图 4），DMOS 处于 OFF 期间，5V BIAS 稳压器对自举电容 C1 充电；BIAS 输出还为误差放大器供电。因此，须尽可能保持干净（低噪）的 BIAS，以免对误差放大器造成负面影响，在 C4 和 [MAX16903/MAX16904](#) 之间保持尽可能小的电感，C4 应尽可能靠近 14 脚(GND)和 13 脚(BIAS)放置，不要增加过孔。

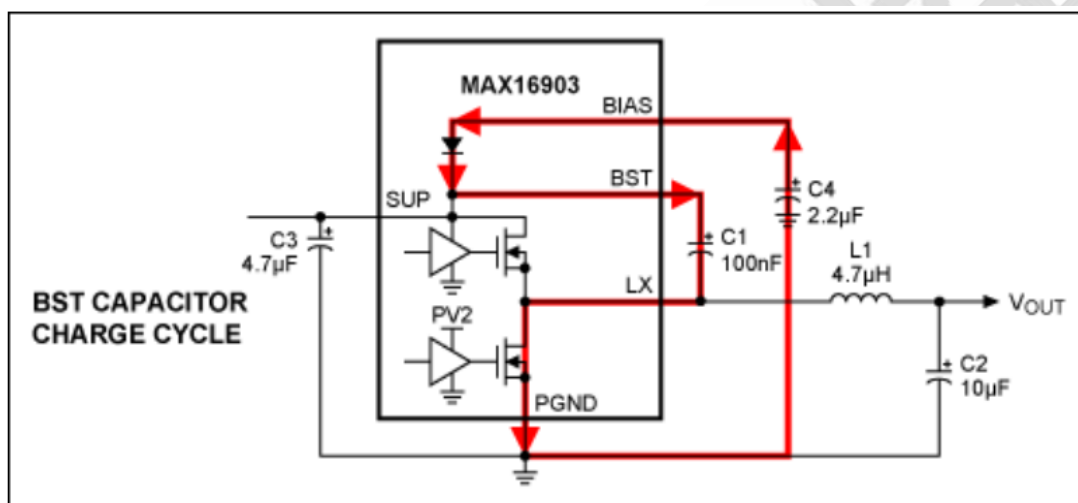


图 4. 自举电容交流路径。

## 扩频

对于改善布线也无法通过用户测试的情况，可以定制具有时钟扩频的 [MAX16903/MAX16904](#) 产品，具有扩频功能的器件与标准版本的器件相比能够使 FM 频带的噪声降低 15dB。有关定制扩频版本器件的流程，请参考数据手册中的相关说明。

## 举例：两层 PCB 板布线，器件采用 TSSOP 封装

图 5 和图 6 按照上述布线原则设计电路板，采用两层板。

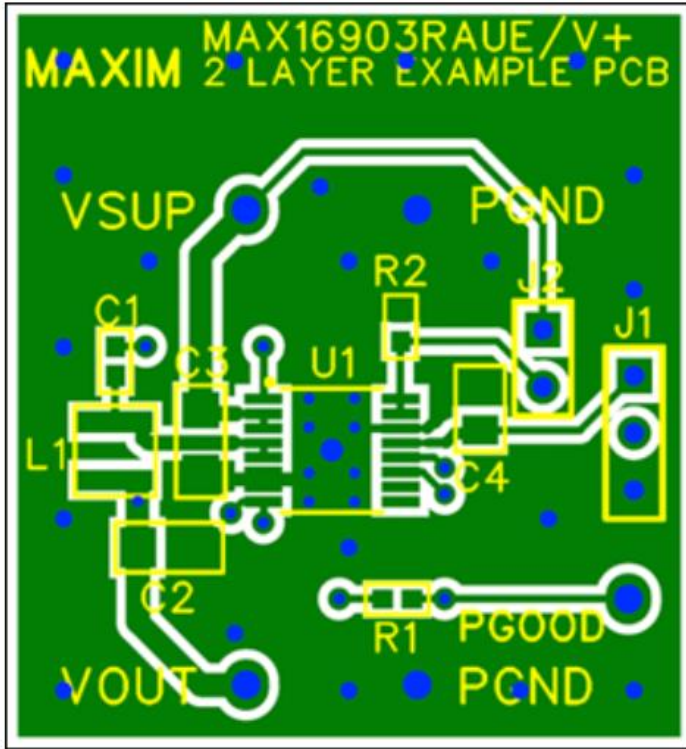


图 5. 两层板布线（顶层），器件为 TSSOP 封装。

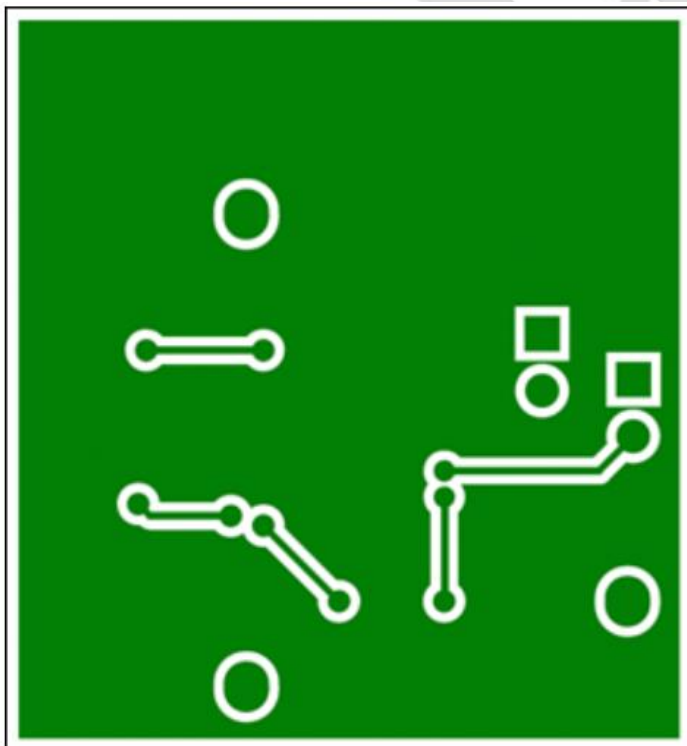


图 6. 两层板布线（底层），器件为 TSSOP 封装。

## 举例：两层板布线，器件采用 TDFN 封装

图 7 和图 8 给出了一个两层板的布线示例。

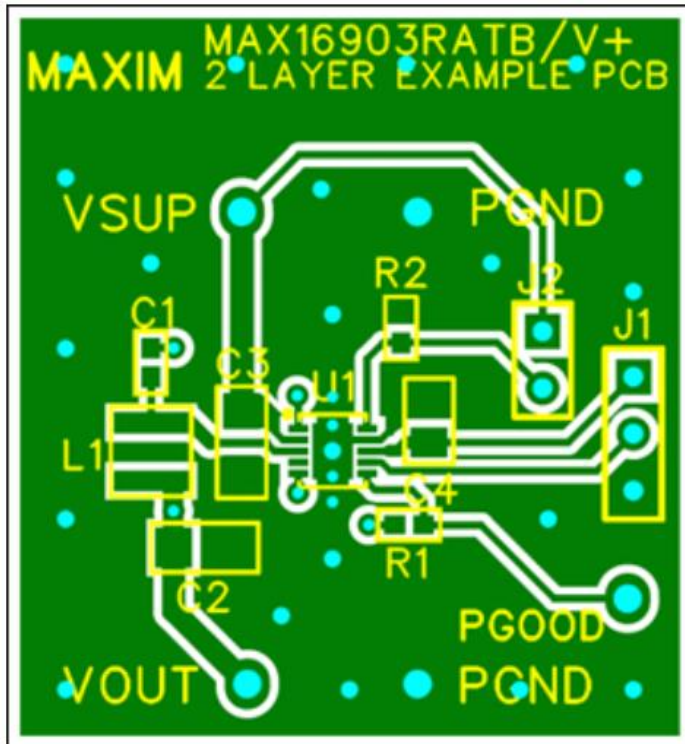


图 7. 两层板布线（顶层），器件为 TDFN 封装。



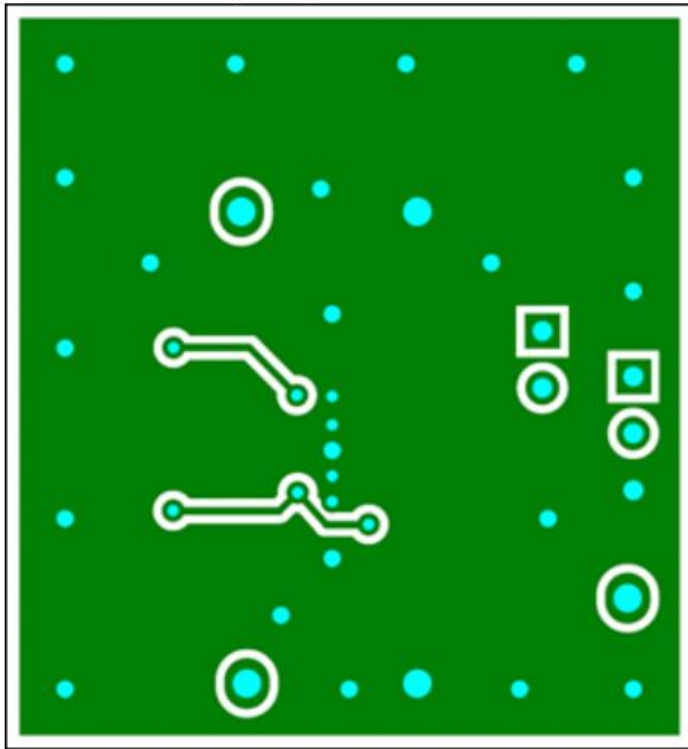


图 8. 两层板布线（底层），器件为 TDFN 封装。

## 主电源滤波

主电源滤波非常重要，因为进入模块之前最后一个降低电磁辐射的机会。对于高频开关稳压器，如 [MAX16903](#)，传导辐射大多出现在 FM 频段(76MHz-108MHz)。为了降低辐射，可以增加一个在此频带具有较高阻抗的铁氧体磁珠，或者是谐振频率大于 108MHz 的电感。

## 结论

针对开关稳压器 [MAX16903](#)（图 9）外围元件的合理布局，有助于从源头降低噪声和电磁辐射，有助于节约项目评估阶段的宝贵时间，简化设计。

表 1. 元件列表

Designation	Qty	Description
C1	1	0.1 $\mu$ F, 10V $\pm$ 10% X7R 0402 ceramic capacitor
C2	1	10 $\mu$ F, 10V $\pm$ 10% X7R 1206 ceramic capacitor
C3	1	4.7 $\mu$ F, 50V $\pm$ 10% X7R 1210 ceramic capacitor
C4	1	2.2 $\mu$ F, 10V $\pm$ 10% X7R 0805 ceramic capacitor
R1, R2	1	20k $\Omega$ $\pm$ 1% 0402 resistors
L1	1	LPS3015-472MLB 4.7 $\mu$ H inductor
U1	1	MAX16903/MAX16904 Low-I <sub>Q</sub> DC-DC Converter

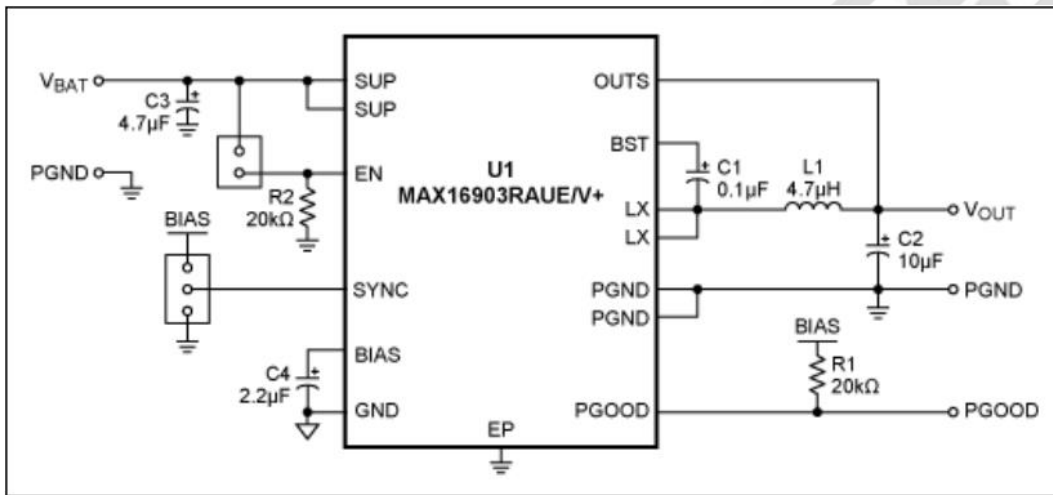


图 9. 用于 PCB 布板的原理图。



# 无忧选购 ADI 中国在线商城

专为 ADI 中国客户提供的在线购买渠道

即日起,无论您通过手机还是电脑访问 [Analog Devices 中文官网](#),即可开启全新的中国本地化订购服务。

我们采用现货销售,购物车可按整包或片数自定义输入产品数量。人民币结算系统支持国内多种主流线上支付方式。本地货币采购帮您轻松免除报关烦恼。更有顺丰速运为快捷配送锦上添花。



手机扫描二维码

即刻前往 ADI 中国在线商城介绍页



**官方正品现货**

自定义产品数量,支持非整包购买



**人民币支付**

直接结算,免除报关烦恼



**多种支付方式**

微信 | 支付宝 | 云闪付...方便快捷



**在线客服支持**

专业高效,快速解决问题

如需更多帮助,

请致电 ADI 中国客户信息中心 4006-100-006 或邮件至 [cic.china@analog.com](mailto:cic.china@analog.com)