

# HPM系列MCU

## 高精度ADC之误差分析和设计指南

---

## 目录

1. 介绍.....	4
2. ADC 基本概念和常用术语 .....	4
3. ADC 测量误差的来源 .....	4
3.1. 参考源 .....	4
3.2. ADC 输入阻抗与采样时间 .....	6
3.3. 驱动放大器.....	10
3.4. 电源噪声.....	13
3.5. I/O 口引脚串扰 .....	14
4. 提高 ADC 测量精度的方法 .....	14
4.1. 选择合适的参考源 .....	14
4.2. 优化电源设计.....	15
4.3. 增大采样时间.....	16
4.4. 输入信号优化.....	17
4.5. 避免串扰.....	18
4.6. 软件算法提高 ADC 的采样精度.....	18
5. 总结.....	19
6. 版本信息 .....	20

### 图片目录

图 1 .典型ADC系统架构.....	5
图 2 . 系统噪声跟ADC噪声和参考源噪声的关系 .....	6
图 3 . SAR ADC结构图 .....	7
图 4 . ADC电容单位阶跃响应.....	7
图 5 .加RC滤波器ADC示意图 .....	8
图 6 .加入RC滤波器后采样过程电压变化.....	9
图 7 . 加入运放和RC滤波器的ADC示意图 .....	10

# 1. 介绍

HPM系列产品是先楫半导体推出的基于RISC-V架构的高性能、高实时的MCU，其中内置多个12位和16位分辨率的逐次逼近模数转换器（SAR ADC），可转换外部引脚、以及芯片内部的模拟信号。其中12位ADC最大采样率为5MSPS，16位ADC最大采样率为2MSPS，支持读取、周期、序列、抢占多种采样模式，输入模式支持单端（12位，16位）及差分输入（12位），并且支持可配置分辨率和采样周期数，以及DMA转换结果写入内存中。HPM系列丰富的ADC资源和出色的性能可用于工业，汽车领域中对高精度模数转换的场景。

本文档针对SAR ADC的测量误差的问题进行了深入探讨，通过深入分析这些因素，我们可以更好地理解ADC性能中的潜在瓶颈。为了提高ADC的精度，文档提出了几种有效的方法，从而达到HPM系列MCU高精度ADC采样的目的。

# 2. ADC 基本概念和常用术语

请参考《HPM系列MCU高精度ADC之性能评估与测试指南》应用文档。

# 3. ADC 测量误差的来源

本节介绍了影响ADC进行精确模数测量的一些常见的典型因素。

## 3.1. 参考源

SAR ADC在量化过程中需要与DAC输出进行多次比较，其中DAC输出电压即为 $\frac{V_{ref}}{M}$ ，等式1是ADC的理想转换函数

$$ADC\ Code = V_{IN} \times \frac{2^N}{V_{REF}} \quad 1$$

因此参考电压噪声对ADC性能和精度的影响非常大。具体来说参考电压产生的误差有如下几个方面：

- 参考源电压范围

# HPM系列MCU

## 高精度ADC之误差分析和设计指南

参考电压可以确定ADC的测量范围。如果参考电压太小，ADC可能无法测量大到达其极限的输入信号。并且采样信号幅值超过参考电压的幅值会带来模拟电源漏电，严重影响ADC性能。因此参考电压不能低于输入信号幅值。同时，参考电压太大也会降低ADC精度，举个例子：对于一个12位ADC，如果输入信号范围为0-2.4V，若设置 $V_{REF+}$ 为3.3V，则对于理想ADC可以得出采样结果数字量范围位为0-2978， $1\text{LSB} = \frac{3300\text{mV}}{2^{12}} = 0.81\text{mV}$ ，即采样结果能够分辨的电压为0.81mV。若设置 $V_{REF+}$ 为2.5V，采样结果数字量范围为0-3931， $1\text{LSB} = \frac{2500\text{mV}}{2^{12}} = 0.61\text{mV}$ ，即采样结果能够分辨的电压为0.61mV。因此，合适的参考电压可以保证ADC能够正常测量整个信号范围，以获得最佳性能。

### ● 噪声

等式1表明，参考电压源中的任何初始误差或噪声都可以通过转换为增益误差体现在ADC输出代码中。一般而言，对于一个典型的ADC应用中，ADC整体噪声来源主要由输入放大器噪声、参考源噪声、ADC内部量化噪声组成，如图1所示，

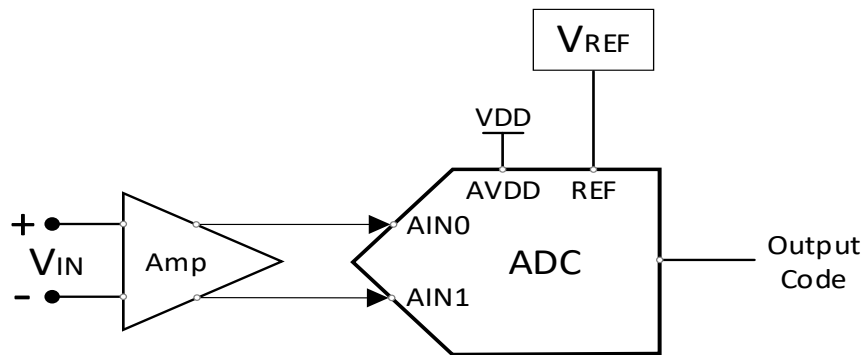


图 1. 典型ADC系统架构

反应系统整体噪声量化指标可以以信号链中各个组件噪声的方根（RSS）的方式叠加，即等式1所示：

$$\text{Total Noise} = \sqrt{V_{N,ADC(RTI)}^2 + V_{N,AMP(RTI)}^2 + V_{N,REF(RTI)}^2} \quad 2$$

从等式1可以看出，当参考源噪声相比输入放大器噪声和ADC内部量化噪声不可忽略时将会增加系统的整体噪声，更有甚则会主导系统整体噪声水平。为了解释说明这个问题，我们假设放大器噪声相比较而言可以忽略，那么我们将得到等式3所示的系统整体噪声：

$$\text{Total Noise} = \sqrt{V_{N,ADC(RTI)}^2 + V_{N,REF(RTI)}^2} \quad 3$$

其中

$$V_{N,REF(RTI)} = \frac{V_{IN,(RMS)}}{V_{REF}} \times V_{N,REF(RMS)}$$

$V_{N,ADC(RTI)}$ 是规格书定义的ADC量化噪声，跟输入没有关系。

从等式3可以看出参考源噪声对整体噪声的贡献不是恒定的，而是跟ADC输入电压占满量程范围（FSR）的比例成一定的函数关系。为了更加具体分析，我们假设输入最大电压达到满量程范围为3.0V（参考源电压为3.0V），此时的参考源噪声为 $2.0\mu V_{RMS}$ ，并且假设ADC噪声为 $0.5\mu V_{RMS}$ ，可以获取满量程范围内的系统噪声，如图所示：

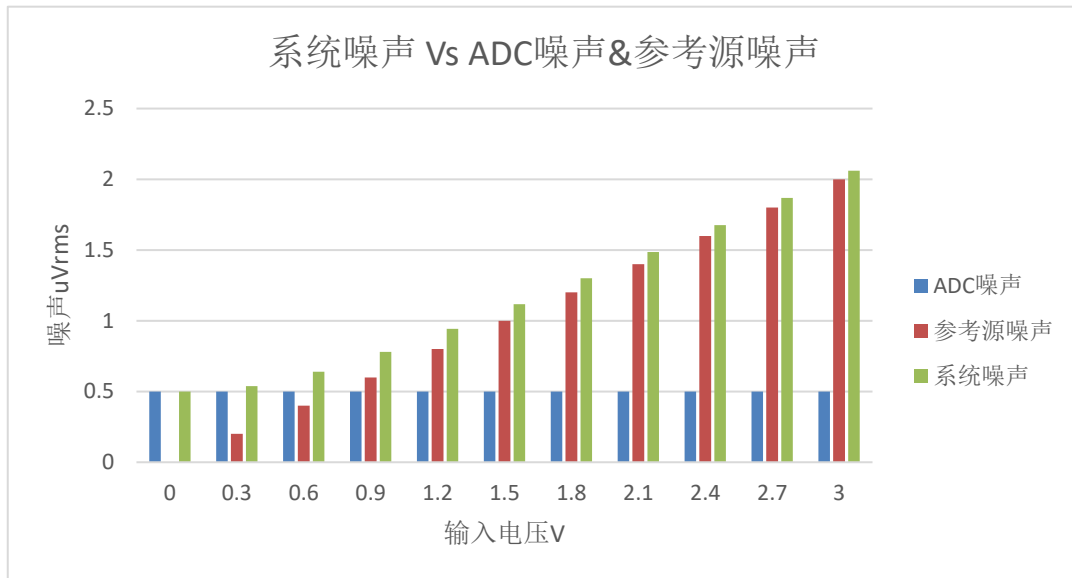


图 2. 系统噪声跟ADC噪声和参考源噪声的关系

从图2可以看出，在整个ADC输入电压范围内，在ADC输入电压比较低的时候，ADC整体噪声主要来源为ADC噪声，随着ADC输入电压的增大，参考源噪声的贡献增大，当输入电压达到最大值时，参考源噪声对系统的影响也达到最大值。

### ● 精度

参考电压的精度也是影响ADC性能的因素之一，如果参考电压给出的不稳定，例如温度系数，线调整率，负载调整率或长期漂移等导致基准电压源的输出精度变化，则量化结果可能会有较大的偏差。

### ● 稳定性

另外，对于SAR ADC在整个转换周期中内部电容网络切换导致基准输入产生较大的尖峰输入电流。该尖峰电流可能会有mA级别大小，但是往往时间比较短（纳秒级），这些快速开关电流瞬变会导致电压压降（因为参考电压源的高输出阻抗）。这个电压压降直接影响到参考输出电压，以及到ADC引脚VREF输入电压，这么可能会导致ADC转换误差。因此，提高参考源的稳定性变得尤为重要。

## 3.2. ADC输入阻抗与采样时间

由ADC采样原理可知，在做AD转换时，信号源通过外部输入电阻和内部开关电阻 $R_I + R_S$ 对采样保持电容 $C_S$ 进行充电，如图所示，正常情况下，直到采样电容上的电压被充到与外部待测信号一致后再进行ADC转换才合理。显然，对采样保持电容 $C_S$ 的有效充电由外部电阻和内部开关电阻之和与采样保持电阻所控制。

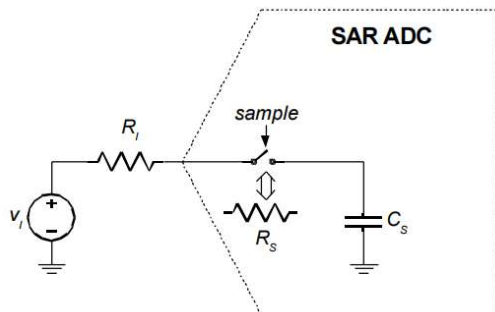


图 3. SAR ADC结构图

其充电时间常数是

$$\tau = (R_I + R_S) \times C_S$$

4

系统零状态单位阶跃响应为 $V_C(t) = V_I \times (1 - e^{-\frac{t}{\tau}})$ ，如图4所示

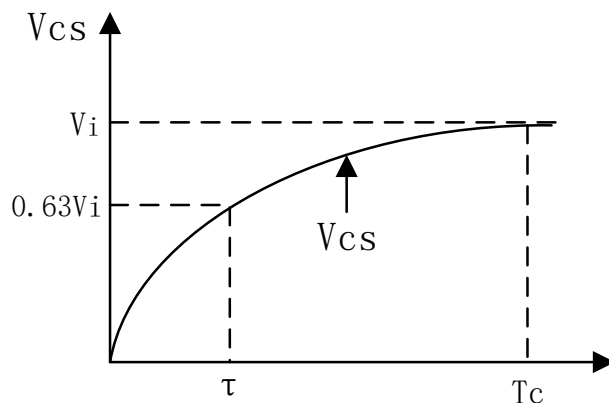


图 4. ADC电容单位阶跃响应

如果内部采样时间 $T_c$ 小于采样保持电容 $C_S$ 通过 $R_I + R_S$ 的有效充电的时间，则经过ADC转换得到的数值会小于实际数值，这时就会产生误差。具体来说，如果把等式3带入等式4，可得等式5:

$$V_t = V_I \times \left(1 - e^{-\frac{t}{(R_I+R_S) \times C_S}}\right)$$

5

当采样时间 $t$ 固定后，电容 $C_S$ 与信号源之间的电压差为:

$$V_{err} = V_I \times e^{-\frac{t}{(R_I+R_S) \times C_S}}$$

6

从等式6可以看到，电压误差与信号源幅度有关，信号源电压越大，电压误差越大。当信号源电压 $V_I$ 与参考电压 $V_{REF}$ 相同时，电压误差最大。

为了获得准确的ADC结果，假设要求采样电压误差小于0.5LSB，即

$$V_I \times e^{-\frac{t}{(R_I+R_S) \times C_S}} < \frac{V_{REF}}{2^N} \times \frac{1}{2} \quad 7$$

整理等式7可得：

$$R_I < \frac{t}{C_S \times (N + 1) \times \ln 2} - R_S \quad 8$$

从等式8可以看出，信号源的最大输入阻抗与采样电阻 $R_S$ ，采样电容 $C_S$ 和采样时间有关。由于 $R_S$ 和 $C_S$ 在ADC设计阶段就已经固定，可以在规格书中找到具体参数，也就是说，如果在采样时间一定的前提下，对 $R_I$ 的最大值有一定的要求。否则，如果忽略这些参数，则采样结果很难达到理想的精度。

然而，对于大多数应用中，通常会在ADC信号源加入RC滤波电路，用于限制到达ADC输入端的带外噪声和帮助衰减ADC输入端中开关电容的反冲影响，以获得更精准的采样结果。如图5所示：

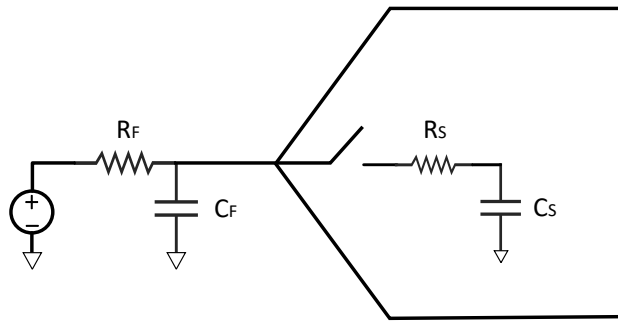


图 5.加RC滤波器ADC示意图

在图5所示的电路中，假设 $C_F$ 初始电压为 $V_I$ ，假设 $C_S$ 初始电压为0，信号输入电阻 $R_F$ 阻值显著大于 $R_S$ ，那么当充电开关闭合时 $C_F$ 里的电荷将分配给 $C_S$ ，最终 $C_F$ 和 $C_S$ 电压趋于相同，即

$$V_{CS\_T1} = \frac{Q_{C_F}}{C_F + C_S} = \frac{V_I \times C_F}{C_F + C_S} \quad 9$$

我们可以通过等式10计算出 $\Delta V$ 的值

$$\Delta V = V_I - V_{CS\_T1} = \frac{V_I \times C_S}{C_F + C_S} \quad 10$$

然后输入信号源开始通过 $R_F$ 给 $C_F$ 和 $C_S$ 充电，整个过程如图6所示。



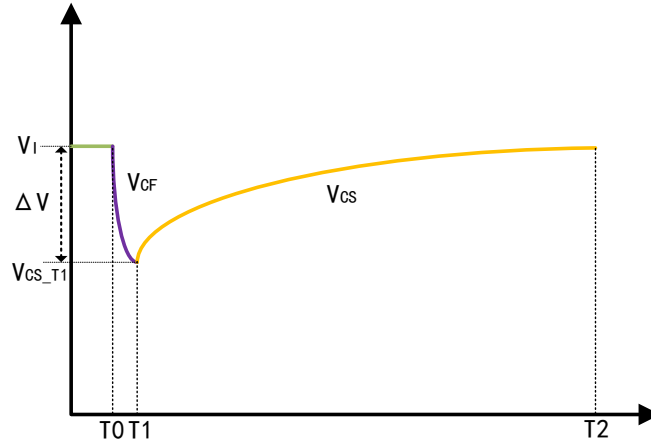


图 6.加入RC滤波器后采样过程电压变化

由等式10可以看出，假设 $C_F = N \times C_S$ ，则 $\Delta V = \frac{V_I}{N+1}$ ，即当 $C_F$ 与 $C_S$ 的比值越大，产生的电压跌落越小。在 $T_2$ 时间段内 $C_S$ 上的电压如等式11所示

$$V_{CS}(t) = \Delta V \times \left(1 - e^{-\frac{t}{\tau_2}}\right) + V_{CS\_T1} \quad 11$$

其中，充电时间常数为

$$\tau_2 = (R_F + R_S) \times (C_F + C_S) \quad 12$$

带入等式可以获得 $C_S$ 上电压偏差为：

$$V_{err} = \frac{V_I \times C_S}{C_F + C_S} \times e^{-\frac{t}{(R_F+R_S) \times (C_F+C_S)}} \quad 13$$

从等式可以看到，电压误差与信号源幅度有关，信号源电压越大，电压误差越大。当信号源电压 $V_I$ 与参考电压 $V_{REF}$ 相同时，电压误差最大。同样，为了获得准确的ADC结果，假设要求采样电压误差小于 $0.5LSB$ ，带入各个等式整理可得：

$$R_F < \frac{t}{(C_F + C_S) \times \ln \frac{C_S \times 2^{N+1}}{C_F + C_S}} - R_S \quad 14$$

从等式14可以看出，当 $C_F=0$ 时，与等式8结果一致。

然而在实际应用中还应考虑滤波器带宽，假设滤波器截止频率为 $f_c$ ，则

$$f_c = \frac{1}{2\pi R_F C_F} \quad 15$$

因此为了保证滤波器带宽， $R_F$ 和 $C_F$ 的值不能太小。因此在加滤波器情况下，情况变得更加复杂，如果 $R_F$ 选择不合适将会影响ADC采样精度，达不到预期的效果。

以上分析是基于系统的零状态响应，即 $C_S$ 初始电压为0，但实际采样过程中采样电容上的初始电压并不一定为0，在单通道连续采样时该初始电压等于上一次采样的电压值（第一次为0），在多通道扫描采样时，该初始电压等于上一个采样通道的信号电压。

## 3.3. 驱动放大器

3.2节介绍了ADC输入阻抗对采样精度的影响，得出结论在采样时间固定的前提下，输入阻抗不能太大，否则采样电容不能达到精度所需的电压值。如果信号输入阻抗太大，一般推荐的是在信号源和RC滤波器之间加一个放大器，用来调节输入信号，同时充当信号源与ADC输入端之间的低阻抗缓冲器。如图7所示，这是一个典型的放大器、单极点RC滤波器和ADC组成的系统。

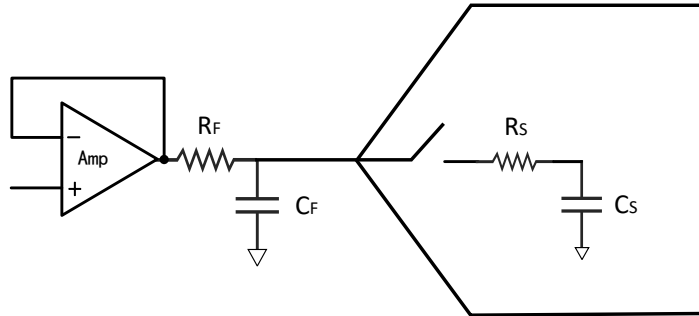


图 7. 加入运放和RC滤波器的ADC示意图

对于这样的电路，需要根据输入信号频率以及ADC吞吐速率选择合适的放大器和RC滤波器参数以保证宽带内低噪声以及低失真性能，否则很难保证良好的ADC采样精度。

- RC滤波器

在3.2节中讲到RC滤波器中R和C值限制了采样时间，同时R和C值也决定了带宽，因此选择合适的R和C值应考虑ADC采样时间和带宽的因素。然而实际应用中只考虑这些因素仍然不够，输入信号频率，幅度以及ADC转换时间等多个因素也影响了R和C的值。具体分析如下：

假设输入是频率为 $f_{IN}$ ，幅值为 $V_P$ 的正弦波信号，即：

$$V_{IN}(t) = V_P \sin(2\pi f_{IN} \cdot t) \quad 16$$

那么，对于整个正弦波周期内变化率为：

$$\frac{dV}{dt} = V_P 2\pi f_{IN} \cdot \cos(2\pi f_{IN} \cdot t) \quad 17$$

即，最大变化率为：

$$Vt = 2\pi f_{IN} V_P \quad 18$$

那么对于转换开始和转换结束时间段 $t_{CONV}$ 内输入电压的最大变换量为等式19所示。

$$V_{\Delta t} = 2\pi f_{IN} V_P \cdot t_{CONV} \quad 19$$

ADC转换结束，采样开关立即导通，假设忽略开关导通电阻，DAC电容网络在采样开关导通前后时刻保持相同电荷，那么对于再次充电时采样电容 $C_S$ 以及滤波电容 $C_F$ 电荷重新分配后采样电容电压为

$$V_A = \frac{Q_{CFi} + Q_{CSi} + V_{\Delta t} \cdot C_F}{C_F + C_S} \quad 20$$

其中

$Q_{CFi}$ 为转换开始时滤波电容初始电荷，等于 $V_i \cdot C_F$ ， $V_i$ 为转换开始时的电压。

$Q_{CSi}$ 为转换开始时采样电容初始电荷，等于 $V_i \cdot C_S$ ， $V_i$ 为转换开始时的电压。

那么采样开关导通导致的电压跌落 $V_{droop}$ 有下面等式给出：

$$V_{droop} = V_i + V_{\Delta t} - V_A \quad 21$$

带入等式整理后可得：

$$V_{droop} = \frac{V_{\Delta t} \cdot C_S}{C_F + C_S} \quad 22$$

由等式13可得 $C_S$ 上电压偏差为

$$V_{err} = V_{droop} \cdot e^{-\frac{t}{\tau}} \quad 23$$

假设要求采样电压误差小于0.5LSB，即 $V_{err} < \frac{V_{REF}}{2^{N+1}}$ ，带入各个等式可得最大时间常数 $\tau_{max}$ ：

$$\tau_{max} = \frac{t}{\ln\left(\frac{2^{N+1} \cdot 2\pi f_{IN} V_P \cdot t_{CONV} \cdot C_S}{V_{REF} \cdot (C_F + C_S)}\right)} \quad 24$$

等效RC带宽为

$$f_{3db} = \frac{1}{2\pi\tau_{max}} \quad 25$$

从等式24可以看出最小带宽、转换时间和输入频率之间的这种关系说明：输入频率越高，则要求RC带宽越高。同样，采集时间越短，越能提高RC带宽。采集时间对所需带宽的影响最大；如果采集时间加倍，也就是减慢了采样速度，系统的吞吐率降低，所需带宽将减半。

### ● 放大器

选择合适的放大器需要考虑如下几个方面：放大器带宽，放大器建立时间，放大器噪声特性以及放大器失真。

一般而言，一种常见的设计指导原则是放大器的信号带宽至少应比RC带宽大两三倍，这种额外的带宽预留可以弥补放大器自身的频率响应限制以及提供足够的裕度，以确保信号在预定的频率范围内得到准确放大。这个原则中的具体倍数可能会因应用和技术差异而有所不同。一般而言，如果以反向建立（**negative feedback**）为主，放大器的频率响应可能更稳定，因此要求的额外带宽可能会相对较少。而如果以正向建立（**positive feedback**）为主，放大器的频率响应会更

容易受到限制，因此需要更大的额外带宽来弥补。如果要求放大器级提供电压增益（这会降低可用带宽），更适用这条原则，甚至可能需要带宽更宽的放大器。

建立时间通常是指建立到额定阶跃大小某一百分比所需的时间。主要有两段组成，第一段是运放的输出电压从起始值到达目标值附近，这一过程是一个非线性过程。这一段的时长是由给运放的补偿电容充电的电流所决定的，也可以理解为第一段时间与运放的压摆率（**slew rate**）有关，（压摆率的决定因素也是运放补偿电容充电的快慢）。第二段时间是指输出已经接近最终目标值了，进入这一阶段后，运放处在准线性区。这一阶段的特性，主要受运放的零-极点对（**doublets**）影响。在高速运放中，运放的 **slew rate** 非常高，因此第一段时间非常短，因此建立时间主要由第二段时间所决定。对于要求高性能的应用（例如16位到18位的ADC），建立时间通常要求达到很高的准确性，例如建立到0.001%的要求。如果驱动ADC的放大器在建立时间内未达到最终值，而被ADC采样了，这将引起ADC的采样误差，因为ADC采样到的信号并没有完全建立到期望值。

放大器噪声一般通过低频1/f噪声（0.1 Hz至10 Hz）和高频时的宽带噪声谱密度折合到ADC输入端的总噪声可以按照如下方法计算。首先，计算放大器宽带频谱密度在RC带宽上的噪声。

$$v_{n, rms} = Ne_{n,rms}\sqrt{1.57 \times BW_{RC}} \quad 26$$

其中， $e_n$  = 噪声频谱密度(V/√Hz)， $N$  = 放大器电路噪声增益， $BW_{RC}$  = RC 带宽 Hz。然后，通常通过下式计算低频1/f噪声；它通常指定为峰峰值，需要转换为均方根值。

$$v_{n, \frac{1}{f}, rms} = N \frac{v_{n, \frac{1}{f}, pk-pk}}{6.6} \quad 27$$

其中， $v_{n, \frac{1}{f}, pk-pk}$  = 1/f为峰峰值噪声电压， $N$  = 放大器电路噪声增益。

总噪声为以上两个噪声的和方根：

$$v_{n, total} = \sqrt{v_{n, rms}^2 + v_{n, \frac{1}{f}, rms}^2} \quad 28$$

为了将驱动器噪声对总SNR的影响降至最低，建议将总噪声保持在ADC噪声的1/10左右的水平，并根据目标系统的SNR要求来调整噪声容限。在系统设计中应考虑噪声限制以及其他因素，以实现最佳的性能和噪声特性。

放大器需要考虑的另一个重要特性是特定输入频率时的失真。通常，为获得优质性能，16位ADC需要大约100 dB的总谐波失真(THD)。总谐波失真可以规格书中查找。另外，裕量，即放大器最大实际输入/输出摆幅与正负电轨之差，也可能影响THD。放大器可能具有轨到轨输入和/或输出，或者要求最高1 V甚至更大的裕量。即便是轨到轨输入/输出，如果工作信号电平接近放大

器的供电轨，也将难以获得良好的失真性能。因此，最好应选择让最大输入/输出信号远离供电轨的电源电平。因此，在放大器设计中，需要仔细考虑失真特性，并选择电源电平和裕量，以确保放大器能够提供所需的高质量性能，并尽量避免失真的影响。这将有助于实现更准确的信号放大和最终的系统性能。

### 3.4. 电源噪声

现代应用对高精度的高速采样模数转换器（ADC）的需求越来越高，通常需要12位或更高分辨率，以实现更准确的系统测量。然而，提高分辨率也意味着系统对噪声更加敏感。每增加一位分辨率，例如从12位增加到13位，系统对噪声的敏感度将提高一倍。

因此，在ADC的设计中，设计人员必须考虑到一个常常被忽视的噪声源，即系统电源。ADC是一种敏感的器件，其性能受到每个输入信号（包括模拟信号、时钟和电源输入）的影响。为了实现最佳性能，通常建议平等地对待每个输入信号。噪声是多种多样的，并且以不同形式存在，但它的辐射会对性能产生影响。因此，对于转换器和最终的系统而言，必须确保任何给定输入上的噪声都不会对性能产生负面影响。

换句话说，为了实现高精度的ADC性能，设计人员需要关注噪声管理，特别是来自系统电源的噪声。通过选择适当的电源滤波和稳压技术、设计合适的电源供应路径以及采用技术策略，如分隔地面平面和电源平面等，可以减少或抑制噪声的传播和辐射。这样可以保证ADC在各种输入条件下都能实现预期的高精度性能，同时提高系统的信噪比和整体系统测量的准确性。

#### ● DCDC电源噪声

在电源噪声中，值得关注的是DC-DC转换器（DCDC）的噪声。DC-DC转换器通常使用开关调制技术来控制输出电压，在开关转换过程中，电感元件会产生瞬时电流变化，从而引起电磁干扰和噪声。此外，电源内部的电容和电感之间的交互作用还会产生输出纹波噪声。

DC-DC转换器的噪声可能会对模数转换器（ADC）的测量结果产生影响，从而降低测量的精度。首先，DC-DC转换器通过输出端口产生噪声，这些噪声可能会进入ADC所在的电路中，直接影响ADC的准确性。这种噪声可能会导致测量结果的“漂移”，使得ADC的输出变化率高于实际输入变化率。

其次，DC-DC转换器的噪声可能会通过电源线和地线等传递到与ADC连接的器件或线路上。当这种噪声进入ADC的参考电压或测量信号中时，会导致ADC的测量错误或失真。

因此，DC-DC转换器的噪声管理在保证ADC测量准确性方面非常重要。

### 3.5. I/O口引脚串扰

引脚之间包括芯片内部bonding线之间的电容耦合会导致I/O之间的串扰现象，这对ADC的采样精度产生显著的影响，尤其是当ADC的当前模拟采样通道邻近存在持续数字I/O的电平翻转动作时（比如典型情况下的PWM输出）。

由于电容的存在，当数字信号发生翻转时，会产生瞬态电流，并通过电容耦合到ADC的模拟输入信号上。这个瞬态电流会引入噪声和干扰，可能在ADC的模拟信号中产生不期望的变化。这种串扰效应尤其在模拟输入信号与数字I/O引脚接近的情况下更为明显。

## 4. 提高ADC测量精度的方法

基于第3节的误差来源分析可知，如果要提高ADC测量精度，那么要针对以上的误差来源进行针对性的解决。

### 4.1. 选择合适的参考源

对于参考源造成的ADC采样误差在第3.1节中有详细描述，因此为了减少参考源的误差可以从以下几个方面进行：

**合适的参考源电压：**合适的参考源电压有助于提高采样精度，理想情况下，参考源电压应接近或略大于输入信号最大值，以满足应用场景的要求。

**降低参考源噪声：**由于参考源噪声影响系统整体噪声，因此在参考源设计中首选要保证参考源噪声低于一定水平值，可以使用具有高精度和低噪声的外部参考源，但是要注意的是如果参考源噪声相比较ADC噪声或者输入信号噪声很小，再进一步降低参考源噪声可能并不能使系统更加有明显提升，并且从成本上来看，更低噪声的参考源往往价格比较昂贵，因此，在设计中，需要权衡和平衡各个因素，包括性能要求、成本和实际可行性。为参考电源接入一个低通滤波器也可以过滤掉高频噪声，从而减少噪声对参考电源的影响。

**增加缓冲器：**对于高精度ADC采样，在参考源输出增加一个低通滤波器可以有效抑制参考源噪声，然而增加滤波器后其提供电流能力往往会下降，由于ADC采样过程中会抽取Vref管脚电流，导致滤波电阻产生压降，此时可以增加一个缓冲器为ADC Vref管脚提供一定的驱动能力。同时可以使用高品质旁路电容对基准引脚进行去耦合。此旁路电容用作为一个电荷存储器，可以在



高频瞬变电流期间提供瞬时充电电流。应该将基准旁路电容放置在尽量靠近基准引脚的位置上，连线尽可能短并使得连线保持低电感。

**稳定电源：**高质量且稳定的电源对于保证参考电源负载的稳定性非常重要。因此，在设计参考电源时，应该正确选择电源器件为其提供稳定电源输入，并且需要使用一个合适的电源滤波器来防止电源输入电压的快速变化。

**优化Layout：**合理的layout有助于进一步降低参考源噪声，提高系统性能。将参考源的组件和电路放置在独立的区域，远离其他可能引入噪声的元件或信号。通过将参考源与其他信号线、开关电源和产生高频干扰的器件（如时钟发生器）隔离开，可以减少来自其他部分的噪声干扰。对于参考源的电源线，尽量使用宽而短的线路，并避免过长的线路，采用粗线和低电阻的线材可以降低电阻和电感，减少传输噪声。

## 4.2. 优化电源设计

### ● DCDC电源

降低DCDC电源噪声可以通过如下方式进行：

**DCDC电源滤波：**在DCDC电源的输出端口添加滤波电容和滤波电感，可以消除输出端口的高频噪声。滤波电路应该根据系统的噪声要求和性能要求来选择合适的元器件，对于滤波电容的选择推荐低ESR（等效串联电阻）的电阻来短路高频噪声，使其能够流回到电源或地线上进行消除。对于滤波电感的选择应考虑其电感值，耐流电流和工作频率范围，以确保滤波效果和系统的稳定性。

**布局优化：**将DCDC电源和数字以及模拟电源线、地线等分离开，避免它们靠近或交叉走线。这样可以减少电源线和地线之间的互相干扰，降低传输噪声。在多层PCB设计中，可以设置地平面层来提供良好的地引线、减少噪声的传播和辐射。DCDC地平面与数字地区域分开布局，这样可以减少电源地上的噪声传到数字电路区域。DCDC地平面与数字地通过单点连接或使用电源地和数字地之间的低阻抗路径（比如0Ω电阻、电感、磁珠等）来实现。

**使用低噪声的DCDC电源：**常见的噪声指标包括输出噪声电压和噪声功率密度。较低的噪声指标表示DCDC电源在输出上产生的噪声较少。在设计过程中，应选择低噪声和高效率的DCDC电源，以减少噪声引起的问题。同时在选择DCDC电源时，注意其PWM控制方式和频率。某些PWM控制方式可能会产生更低的输出噪声。一般推荐详细研究DCDC电源的数据手册和供应

商提供的参考设计。这些资源通常提供有关噪声特性和性能的信息，可以帮助选择合适的低噪声DCDC电源。

HPM系列MCU电源管理域中有一个DCDC可用于为系统电源域供电，以及数个能够唤醒系统的功能模块，能够在系统电源域关闭的状态下保持低功耗运行，在硬件设计时需要外接一个储能电感用于输出和存储能量。和常规DCDC一样，该DCDC硬件设计也遵循相似的原则。用户可参考《HPM6000系列微控制器ADC相关硬件设计指南》应用文档，该文档描述了片上DCDC推荐的设计以及布局方式。

### ● ADC电源

虽然ADC转换器对电源输入有一定的抑制能力，然而对于高性能ADC采样还是建议在ADC输入增加一个高PSRR的低压差稳压器（LDO）以提高系统的PSRR。这将有助于清除任何剩余的纹波，并直接增加整个系统的PSRR能力，为ADC电源输入提供高级别噪声抑制能力。

此外电源滤波和去耦同样重要。电源去耦通常发生在系统中的两个位置点：在供电源处和设备电源引脚处。较大“容量”的去耦电容器（通常电容不小于 $1\mu\text{F}$ ，推荐 $4.7\mu\text{F}$ ）通常直接放置在电源输出端并连接至接地。这有助于稳定电源并立即尽可能滤除电源噪声。有时候，如果您希望电流汲取量大一些，您还可将额外的大容量电容器放置得更接近ADC引脚。把附加的较小或“局部”去耦电容器（通常电容不超过 $1\mu\text{F}$ ，推荐 $100\text{nF}$ ）放置得最接近ADC电源引脚处，以帮助过滤掉沿途发现的任何噪声。使用两个并联的局部去耦电容器（即电容为 $4.7\mu\text{F}$ 的去耦电容器和电容为 $100\text{nF}$ 的去耦电容器）将能在更大的频率范围内提供低阻抗。

注意布局。像对待所有其它重要模拟信号一样对待您的电源布线。您想提供从供电源到ADC电源引脚的最直接、电感最小的路径。如果您无法使用电源平面，那么请使线路保持短而直接，但要足够宽，以便处理预期的电流。此外，为了让返回电流尽可能容易地回到电源，还要将电源线路布置得直接跨地平面。

## 4.3. 增大采样时间

通过第3.2节分析可知，对于SAR ADC在采样时间内，采样电容上的电压必须被充分充放电，其被充电的电压值与外部输入电压之间的差值不应超过 $0.5\text{LSB}$ ，否则无论后级ADC性能如何卓越，都无法真实反映信号的幅值。同时，当SAR ADC工作在连续采样或扫描采样模式时，输



入阻抗过大可能会导致一个通道的采样结果受到前一个通道信号的影响。为了解决这个问题，可以通过增大采样时间来满足输入阻抗的要求。增加采样时间可以带来以下几个好处：

**允许充分充放电：**增大采样时间可以确保采样电容得到充分的充放电，以达到要求的电压范围。这有助于避免采样电容电压未能准确反映输入信号幅值的情况。

**减小输入阻抗对结果的影响：**较大的采样时间可以降低输入阻抗对采样结果的影响。通过增加采样时间，可以减小输入阻抗的影响，从而减少前一个通道信号对当前通道的影响。

需要注意的是，增加采样时间可能会降低采样速度，因此需要在采样时间和采样速度之间做权衡。同时，还要考虑系统的要求和所采集信号的特性，选择合适的采样时间以满足精度和动态范围的要求。

总之，适当增大采样时间是解决SAR ADC采样电容充放电以及输入阻抗影响的一种方法，可以提高ADC的精度和信号获取的准确性。

## 4.4. 输入信号优化

对于输入信号的处理往往比较复杂，其中涉及到RC滤波器计算，运算放大器选型。比较推荐的做法是要了解你的系统中各个参数，在此基础上建立系统模型，通过仿真或者计算，得出关键参数，这是确保系统性能和信号处理准确性的重要步骤。

以下是关于RC滤波器计算和运算放大器选型的一些建议：

**RC滤波器计算：**

- **确定滤波器类型：**根据系统的需要（如截止频率、通带范围等）选择适当的滤波器类型，如低通、高通、带通或带阻滤波器。

- **计算滤波器参数：**根据所选滤波器类型和截止频率等要求，计算所需的电阻和电容值。可以使用标准的滤波器设计等式或在线计算工具来帮助确定合适的参数。同时需要计算保持时间，适当的RC滤波器可以提供足够的保持时间，确保采样电容被充分充电并稳定保持输入信号。这有助于确保ADC在每个采样周期内都能够准确地转换输入信号的幅值。

- **考虑非理想因素：**在设计滤波器时，需要考虑非理想因素，如电阻和电容的容差、电感和电阻的串扰等，以确保滤波器的实际性能符合要求。

**运算放大器选型：**

- **确定要求和参数：**了解系统的要求和参数，如增益、带宽、输入/输出电阻、噪声要求等。

- 选择合适的运放：根据系统要求和参数，选择合适的运放器件。考虑运放器件的增益带宽积（GBW）、输入偏置电流（IB）、输入偏置电压（Vos）、噪声性能等因素。可以参考运放器件厂商的数据手册和性能指标进行比较和选择。

- 考虑稳定性：在选型时，还需要考虑运放的稳定性和相应的补偿方法，以防止振荡和不稳定性的产生。

系统建模和仿真：

- 建立系统模型：基于了解的系统参数和所选择的滤波器、运放器件，建立系统的电路模型。可以使用电路仿真工具（如SPICE仿真软件）进行模拟。

- 仿真和优化：利用建立的模型进行仿真，在仿真环境中评估系统的性能和各个参数的影响。通过仿真可以对滤波器和运放器件进行调整和优化，以满足系统需求。

- 实际测试验证：在仿真调整后，进行实际测试验证，确保设计满足要求的性能和准确性。

综上所述，了解系统的参数并建立系统模型是设计输入信号处理部分的重要步骤。通过仿真和计算，可以优化滤波器和运放器件的选择及参数设置，以满足系统的性能要求。同时，也需根据设计结果进行实际测试验证，确保设计满足要求，并根据需要进行调整和优化。

## 4.5. 避免串扰

正如第3.5节所述，I/O串扰问题会导致ADC精度降低，误差增加，甚至使得采样结果失真。为了减少串扰对ADC采样精度的影响，可以采取一些措施。

首先，可以通过增加物理间距来减少模拟输入信号与数字I/O之间的电容耦合。其次，可以采用屏蔽和隔离技术，将模拟和数字信号之间的干扰最小化，常见的做法是使用不同的层次规划使模拟和数字进行隔离，同时对模拟信号线包地处理也能降低串扰的可能。此外，还可以使用降噪滤波器来滤除高频噪声，以避免其进入到ADC的模拟输入信号中。

综上所述，为了确保ADC采样的准确性，特别是在存在数字I/O电平翻转的情况下，应该注意处理I/O之间的串扰问题。有效的串扰管理措施可以减少串扰引起的噪声和干扰，从而提高ADC的采样精度和系统的整体性能。

## 4.6. 软件算法提高 ADC 的采样精度

除了硬件方法外，还有一些软件方法可以提高ADC的精度。以下是几种常用的方法：

**过采样：**通过对采样率进行增加来提高ADC精度。通过使用高速采样器连续采样多个样本值，可以在数字域中对样本进行平均，从而产生更高的精度。对于过采样，每增加一位分辨率或每减小6dB的噪声，需要以4倍的采样频率 $f_s$ 进行过采样。

**校正技术：**校正技术是一种将像差、非线性等误差从ADC输出中去除的技术。通过校正，可以修正ADC的偏差，从而提高ADC的精度和准确度。

**数字滤波器：**数字滤波器用于提供更好的动态范围，通过去除采样频率过高所引起的不期望的噪声，或利用滤波器获得更丰富的频谱内容。

**内置自校准技术：**HPM系列MCU ADC有内置的自校准功能，可以在运行中校准ADC，并进行偏移校正、增益校准、非线性校准等，用户可参考芯片手册通过软件写入校准参数。

需要注意的是，这些软件方法通常能够提高ADC的精度，但也会增加计算复杂度。因此，在使用这些技术时，需要权衡计算复杂度和精度要求之间的平衡，选用适当的方法，以确保ADC达到最佳性能。

## 5. 总结

本文档针对SAR ADC精确度的问题进行了探讨。首先，详细讨论了导致ADC误差和噪声的常见来源。这些来源包括参考源，ADC输入阻抗和采样时间，驱动放大器设计，电源噪声和I/O串扰等。通过分析这些因素，我们可以更好地理解ADC性能中的潜在瓶颈。

为了提高ADC的精度，文档提出了几种有效的方法。首先，建议采用合适的电源设计来减少电源噪声对ADC的干扰。其次，对参考源设计给出了几种推荐的方法。此外，增大采样时间和对输入信号优化处理可以有效地提高ADC采样精度。

此外，文档还提供了其他一些策略来提高精度。例如，合适的信号处理技术，如滤波器和放大器设计，可以帮助消除噪声和信号失真。通过软件方法，如过采样、校正技术、数字滤波器以及ADC内置的校准技术也是常见的提高ADC采样精度的做法。

总结而言，该文档通过分析ADC误差和噪声的来源，并提出了一系列改善精度的方法，旨在实现高精度ADC采样，为用户提供了提升ADC性能的实用指南。然而对于高精度ADC设计一直是一个比较复杂的话题，请持续关注先楫半导体推出的系列ADC设计相关应用文档。

## 6. 版本信息

表 1. 版本信息

日期	版本	描述
Rev1.0	2023/07/20	初版。