

电源设计管理器

用户指南

UG1556 (v2023.1) 2023 年 5 月 16 日

本文档为英语文档的翻译版本，若译文与英语原文存在歧义、差异、不一致或冲突，概以英语文档为准。译文可能并未反映最新英语版本的内容，故仅供参考，请参阅最新版本的英语文档获取最新信息。

AMD 自适应计算矢志不渝地为员工、客户与合作伙伴打造有归属感的包容性环境。为此，我们正从产品和相关宣传资料中删除非包容性语言。我们已发起内部倡议，以删除任何排斥性语言或者可能固化历史偏见的语言，包括我们的软件和 IP 中嵌入的术语。虽然在此期间，您仍可能在我们的旧产品中发现非包容性语言，但请确信，我们正致力于践行革新使命以期与不断演变的行业标准保持一致。如需了解更多信息，请参阅此[链接](#)。



目录

第 1 章：简介.....	4
安装电源设计管理器.....	5
按设计进程浏览内容.....	5
Versal 自适应 SoC 功耗域.....	6
第 2 章：器件选择和设置.....	9
保证有效执行功耗估算的设计注意事项.....	9
器件配置.....	10
散热设置.....	11
功耗和散热汇总.....	12
术语定义.....	13
片上功耗映射（按组件）.....	14
第 3 章：使用电源设计管理器.....	16
设计流程.....	16
创建新工程.....	16
创建时钟.....	20
第 4 章：估算可编程逻辑元件的功耗.....	23
可编程逻辑功耗.....	23
Logic.....	23
块 RAM.....	24
UltraRAM.....	25
DSP.....	26
I/O.....	27
MIG Wizard.....	29
收发器.....	30
第 5 章：估算 Versal 器件的功耗.....	32
处理器系统.....	32
片上网络、DDRMC 和 HBM.....	35
AI 引擎.....	40
AI 引擎-ML.....	42
硬核 IP 块.....	42
电源设计.....	54
导出功耗约束.....	60
PL 功耗管理.....	61



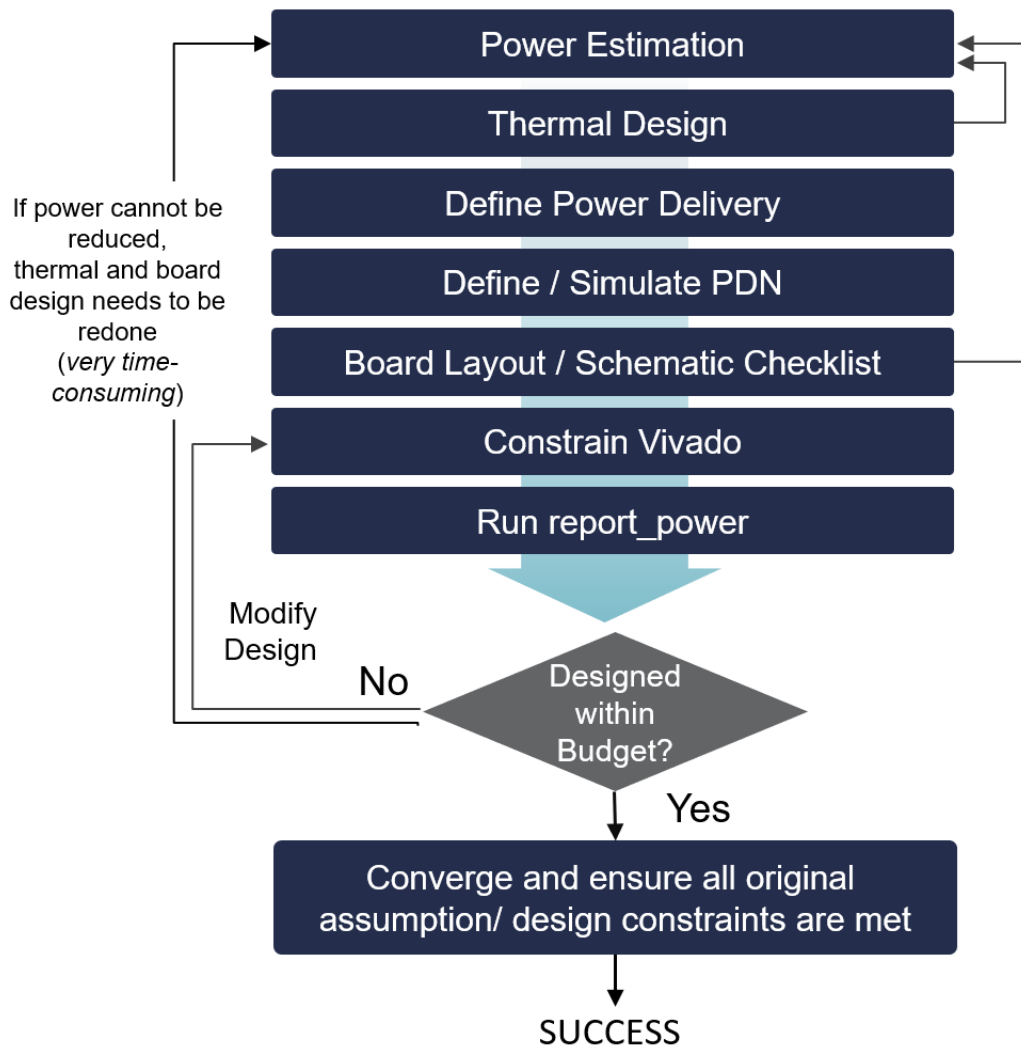
第 6 章：Kria K26 SOM 供电.....	63
电源设计管理器资源页面.....	63
第 7 章：热仿真结果.....	69
第 8 章：附加信息.....	71
在表格中搜索.....	71
工具提示.....	71
设计规则检查.....	72
刷新.....	73
附录 A：附加资源与法律声明.....	74
查找其他文档.....	74
支持资源.....	74
参考资料.....	75
修订历史.....	75
请阅读：重要法律声明.....	75

简介

本文档旨在描述如何使用 AMD 电源设计管理器 (PDM) 来进行功耗估算。对于任何设计，要尽可能实现最低的功耗包络，关键是在设计周期早期准确估算功耗。早期估算对于选择合适的器件、充分发挥架构优势、更改设计拓扑和使用不同 IP 块尤为重要。这样有助于在设计阶段早期妥善权衡取舍，才能在满足规格要求的同时，将产品更快速推向市场。

AMD 提供了通常用于在实现前进行功耗估算的 PDM 工具，以及准确性更高且适合在设计实现期间使用的 AMD Vivado™ Report Power。这些工具具有丰富的功能特性，能够帮助您创建低功耗的 AMD Versal™ 自适应 SoC 设计。AMD 建议采用如下所述功耗方法论来解决整个设计周期内的各种功耗难题。

图 1: 功耗方法论



在工程的概念设计和架构探索阶段，利用有限的设计架构详细信息来评估功耗预算至关重要。PDM 工具可以解决大部分早期功耗估算难题。它通常在工程的设计和实现阶段前使用，能根据您的应用的具体需求助力架构评估、器件选择、选择合适的电源组件以及热管理解决方案。PDM 工具能够考量您的设计的资源使用情况、翻转率、I/O 负载和其他各种因素。通过这些因素与器件模型相结合即可有助于计算估算的配电功耗。器件模型是根据测量、仿真和外推结果而提取出来的。

PDM 工具的准确性主要取决于 2 组输入。包括：

- 器件使用情况、散热环境和解决方案、时钟频率、使能率、翻转率以及您在该工具中输入的其他信息
- 集成到 PDM 工具内的器件数据模型的功耗特性准确性

为了准确完成应用的功耗估算，请尽可能完整输入各项信息。如果设计中某一方面的建模方式过于保守，或者设计缺乏足够的必要信息，都可能导致估算结果不真实。在本文档中探讨了有关达成最差情况估算或典型估算结果的方法和技巧。

安装电源设计管理器

PDM 工具安装现已包含在 AMD 统一安装程序中。如需了解安装详细信息，请参阅《Vivado Design Suite 用户指南：版本说明、安装和许可》(UG973)。

按设计进程浏览内容

AMD 自适应计算文档按一组标准设计进程进行组织，以便帮助您查找当前开发任务相关的内容。所有 AMD Versal™ 自适应 SoC 设计进程的对应[设计中心](#)和[设计流程助手](#)资料均可在 [Xilinx.com](#) 网站上找到。本文档涵盖了以下设计进程：

- 系统和解决方案规划：确认系统级别的组件、性能、I/O 和数据传输要求。包括解决方案到 PS、PL 和 AI 引擎的应用映射。本文档中适用于此设计进程的主题包括：
 - [第 2 章：器件选择和设置](#)
 - [处理器系统](#)
 - [AI 引擎](#)
 - [AI 引擎-ML](#)
 - [可编程逻辑功耗](#)
- 嵌入式软件开发：从硬件平台创建软件平台，并使用嵌入式 CPU 开发应用代码。还涵盖 XRT 和 Graph API。本文档中适用于此设计进程的主题包括：
 - [第 2 章：器件选择和设置](#)
 - [处理器系统](#)
- AI 引擎开发：创建 AI 引擎 Graph 及内核、库用法、仿真调试与剖析以及算法开发。还包含 PL 与 AI 引擎内核的集成。本文档中适用于此设计进程的主题包括：
 - [AI 引擎](#)
 - [AI 引擎-ML](#)

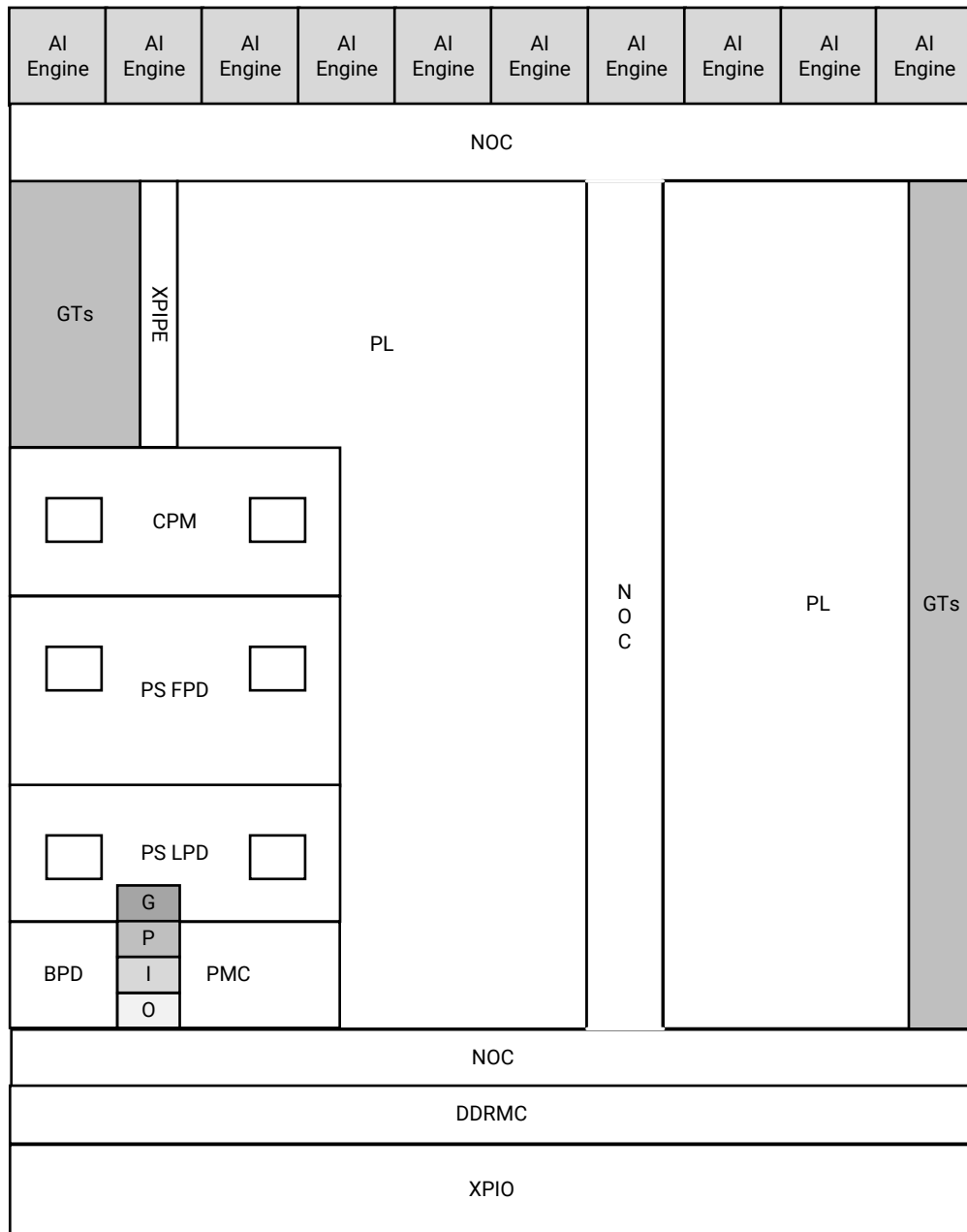
- 硬件、IP 和平台开发：为硬件平台创建 PL IP 块、创建 PL 内核、功能仿真以及评估 AMD Vivado™ 时序收敛、资源使用情况和功耗收敛。还涉及为系统集成开发硬件平台。本文档中适用于此设计进程的主题包括：
 - [第 2 章：器件选择和设置](#)
 - [片上网络、DDRMC 和 HBM](#)
 - [可编程逻辑功耗](#)
- 系统集成与确认：集成和确认系统功能性能，包括时序收敛、资源使用情况和功耗收敛。本文档中适用于此设计进程的主题包括：
 - [第 2 章：器件选择和设置](#)
 - [供电设计](#)
- 开发板系统设计：通过原理图和开发板布局设计 PCB。还包含功耗、散热以及信号完整性注意事项。本文档中适用于此设计进程的主题包括：
 - [第 2 章：器件选择和设置](#)
 - [供电设计](#)

Versal 自适应 SoC 功耗域

在 AMD Versal™ 自适应 SoC 架构中，不同功能块通过分区构成不同功耗域，这些功耗域通过使用专用电源轨来进行供电。这些电源轨可连接到不同电源。下图显示了将 Versal 器件上的电路分区为器件级功耗域的方式。

注释：精确布局可能因目标 Versal 器件及其尺寸而异。

图 2：器件级功耗域



X27262-101122

表 1：功耗域描述

电源器件轨	描述
PMC 器件轨 (V_{CC_PMC})	对于器件，该器件轨始终开启。这是为了器件启动并保持正常工作而必须始终保持处于开启状态的唯一的核域。
PS 低功耗器件轨 (V_{CC_PSLP})	此器件轨必须与 PMC 器件轨一并开启，然后才能通过 USB 开始执行主要器件配置。该器件轨可为 RPU (实时处理单元 - Arm® Cortex-R5F 核) 供电。该器件轨与许多低功耗模式关联，因此其中包含电源岛以满足这些模式的需求。
PS 全功耗器件轨 (V_{CC_PSFP})	该器件轨为处理器系统 (PS) 内 APU (应用处理单元 - Arm® Cortex®-A72 核) 供电，低功耗模式下无需这些单元。
NoC 和 DDRMC 器件轨 (V_{CC_SOC})	该电源器件轨包括 NoC 和硬化的存储器控制器。当开启 PL 器件轨时，该器件轨也应开启。
核与 PL 器件轨 (V_{CCINT})	该器件轨包含 PL、CCIX PCIe® Module (CPM) 和 AI 引擎的内部核逻辑。
PL RAM 器件轨 (V_{CC_RAM})	此电源可为 PL RAM 和 PL 时钟网络供电。当开启 VCCINT 器件轨时，此电源轨应始终开启。如果此电源关闭，那么 VCCINT 器件轨会发生上电复位。
电池供电式器件 (BPD) 轨 (V_{CC_BATT})	这是对 RTC 核与电池供电式 RAM (BBRAM) 的电源器件轨。如果器件关闭，此器件轨会采用电池供电 (V_{CC_BATT})；否则，PMC/PS 辅助电源 ($V_{CC_AUX_PMC}$) 会为此器件轨供电。
模拟器件轨	<p>该器件轨具有 3 个电源，分别为 GT* _AVCC、GT* _AVTT 和 GT* _VCCAUX。GT* _AVCC 是收发器内部模拟电路的模拟电源。包括适用于 PLL、发射器和接收器的模拟电路。GT* _AVTT 是发射器和接收器终端电路的模拟电源。GTY_VCCAUX 是收发器的辅助模拟 QPLL 电压电源。</p> <p>注释： 对于 GTP，电源轨分别为 GTP_AVCC、GTP_AVTT 和 GTP_VCCAUX。对于 GTM，电源轨分别为 MGMTM_AVCC、MGTM_AVTT 和 MGMTM_VCCAUX。根据器件，可采用 GTY、GTY 和 GTM 收发器。</p>
V_{CCO} 器件轨	该器件轨包含所有 VCCO 电源。它为所有器件 I/O 供电。

器件选择和设置

本章旨在描述 PDM 工具的工程设置和创建，包括“Summary”（汇总）页面上的器件选择和环境设置。[第 3 章：使用电源设计管理器](#) 描述了新建工程以及在该工具的其他页面上输入资源的各种方式。

在 PDM 中创建工程后，默认会显示“Summary”页面。此页面在高效估算 AMD Versal™ 和 AMD Kria™ SOM 器件功耗中扮演着不可或缺的角色。“Summary”页面可提供：

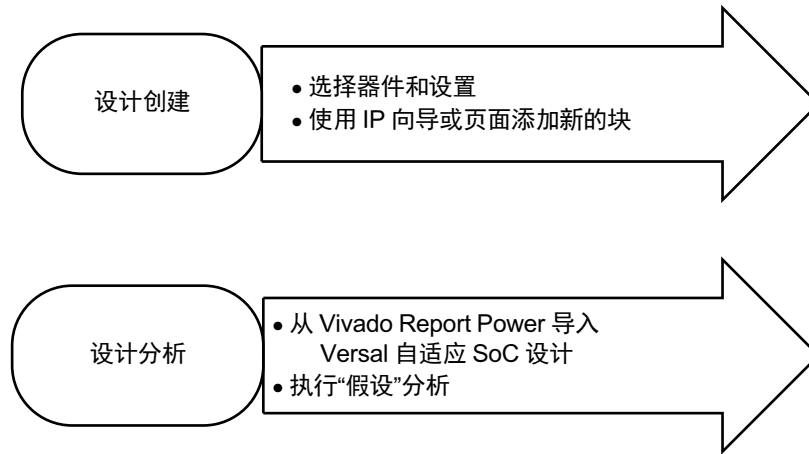
- 器件设置，包括器件选择和散热设置。
- IP 块管理。
- 仪表板，其中包括“Total On-Chip Power”（片上总功耗）、“Junction Temperature”（结温）、“Thermal Margin”（散热裕度）和按资源类型细分的“On-Chip Power”（片上功耗）的估算结果汇总信息。

保证有效执行功耗估算的设计注意事项

PDM 中的设计输入分类为以下 2 个类别：

- 设计创建：设计创建表示完全手动输入功耗估算。它从器件选择和环境设置开始，包括散热条件和功耗预算，以及使用其他页面指定 IP 和可编程逻辑 (PL) 资源。
- 设计分析：设计分析包括从 AMD Vivado™ 工具导入设计用于创建 PDM 工程以便进一步探索。

图 3: Versal 器件中的 PDM 设计流程



X27036-090722

器件配置

对于涉及资源、性能、功耗和封装要求的应用而言，器件选择是至关重要的步骤。建议选择满足您的要求的最小的器件。

重要提示! 以 Versal 器件为目标时，传统意义上使用逻辑资源实现的诸多功能均可融合到硬化的 Versal IP 块中以降低功耗，例如，NoC、DDRMC、MRMAC 和 AI 引擎。请务必减去已融合到硬核 IP 内的任何逻辑资源。

PDM 支持 AMD Kria™ K26 器件和 Versal 器件。Versal 器件选择包括产品系列、器件、器件等级、封装、速度等级、温度等级和静态筛选选项。您也可以在器件选择期间，初始化 V_{ccint} 电压和工艺。Kria 器件选择包括产品系列、开发板、器件和等级，工艺仅有一个选项可供选择。每个器件都有一组独有的功能块，所选封装可确定可用的 I/O 和收发器。欲知详情，请参阅目标产品系列的产品选型指南。Versal 器件支持以下温度等级，各等级对功耗的影响不尽相同。

- 工业级操作温度范围为 -40°C 到 100°C。
- 扩展级操作温度范围为 0°C 到 100°C。
- Q 级操作温度范围为 -40°C 到 125°C。
- 军工企业级操作温度范围为 -55°C 到 125°C。



提示: Versal 器件的某些速度等级可在 100°C 到 110°C 的范围内运行，但运行时间不超过其寿命的 3%。如需了解更多信息，请参阅《利用温度漂移扩展热处理解决方案》(WP517) 和《Versal 架构和产品数据手册概述》(DS950)。

AMD 独特的功耗分箱策略支持工业级器件比扩展级器件实现更低的静态功耗。Versal 器件可提供增强型电压缩放选择，这对于在这些器件上实现最高的单位功耗性能至关重要。Versal 器件支持以下工作模式：

- 高性能核工作电压为 0.88 V (V_{HP})

- 中等或均衡型功耗或性能核的工作电压为 0.80 V (V_{MP})
- 低功耗核的工作电压为 0.70 V (V_{LP})

图 4：“Summary” 页面上的器件选择

Part			
Family:	Versal AI Core Series	Device Grade:	XC
Package:	VIVA1596	Speed:	2
Temperature:	Extended 0C->100C	VCCINT Voltage:	Mid - 0.80v
Device:	XCV1902	Static Power:	Standard
Process:	Maximum		
Vivado part: XCV1902-VIVA1596-2MP-E-S			
<input type="button" value="Apply"/>			

“Process”（工艺）表示器件制造工艺变化，它显著影响漏电功耗。工艺变化模型是常用的行业方法，可在不违反器件规范的前提下满足产出需求。器件制造期间，硅片工艺会改变晶体管特性，导致器件之间出现差异。“Typical”（典型值）是器件同时满足性能和功耗规格的中间界限，而“Maximum”（最大值）则表示最差情况下的工艺变化。



建议：在工作温度较低情况下，对于电池供电式应用的器件选择，请将此项设为“Typical”。对于所有其他用例，请将“Process”设置为“Maximum”，以便进行最差情况功耗估算，这对于为高功耗的应用完成电源（开发板）供电设计和散热设计至关重要。

散热设置

漏电功耗会随结温呈指数级增加。因此，在 PDM 中准确指定环境条件就显得尤为重要。环境设置支持如下流程：

- 用户指定结温：输入器件的目标结温或最大结温和环境温度。
 - PDM 会计算可满足各项要求的最大“Effective Θ_{JA} ”（有效 Θ_{JA} ），“Effective Θ_{JA} ”字段为只读。
- PDM 估算的结温：输入环境温度和“Effective Θ_{JA} ”以供 PDM 用于计算结温。
 - 从热仿真衍生出有效 Θ_{JA} 。

注释：PDM 仅将散热设置用于计算结温，计算公式如下：

$$\text{结温} = \text{环境温度} + (\text{有效 } \Theta_{JA} * \text{片上总功耗})$$



重要提示！PDM 不会执行散热分析以计算有效 Θ_{JA} 。它会根据给定结温和环境温度值来报告各项要求。AMD 建议您将 PDM 填充的最大有效 Θ_{JA} 替换为根据系统散热分析判定的有效 Θ_{JA} ，最好是根据热仿真或实际系统测量所得的值。

如果指定的结温值或计算所得的结温值超出器件温度等级裕度，PDM 会发出警告。

图 5：PDM 中的散热设置

Environment		
Junction Temperature (C)	User Override ON ▾	25 C
Ambient Temperature (Ta)		25 C
Effective ThetaJA		0.000 C/W
Max. Junction Temperature		100 C
Design Power Budget		

注释：AMD 为 Siemens Flotherm 和 Ansys IcePak 都提供了对应散热模型。AMD 建议您执行系统级热仿真。这将使您能够有效评估各项条件，并使用来自仿真的有效 Θ_{JA} 参数在 PDM 中准确估算器件结温。

功耗和散热汇总

Versal 自适应 SoC 的“Power and Thermal”（功耗和散热）仪表板与 XPE 非常相似。

功耗和散热表会显示下列信息：

- 总功耗
- 工作条件
- 功耗数据准确性的特性状态

下图显示了功耗和散热报告的汇总信息。

图 6：功耗和散热汇总

Summary	
∨ Total On-Chip Power	7.309 W
Static Power	2.851 W
Dynamic Power	4.457 W
Junction Temperature	20.212 C
Thermal Margin	80 C
Thermal Power Margin	66.184 W
Thermal Power Margin with excursion to 110C	70.578 W
Characterization	Production (+/- 15% accuracy)

功耗和散热裕度是根据此器件等级最大可接受范围来测量的。当估算的结温超出针对器件指定的最大值时，散热裕度为负值。

术语定义

器件模型准确性

工具中存在的特性描述数据的准确性通过 PDM 的“Summary”（汇总）页面上的“Characterization”（特性描述）字段中指定的准确性来反映。指定的准确性等级包括：Preview、Advance、Preliminary 和 Production。

Preview

此规格和功耗模型基于按比例缩放的目标和早期仿真矢量。

Advance

这些规格仅基于仿真，通常在冻结器件设计规格不久后即可使用。当硅片特性描述数据可用后，这些规格可能会发生改变。Advance 数据准确性被视为低于 Preliminary 数据和 Production 数据。

Preliminary

集成到 PDM 中并指定为该等级的数据是基于完整的早期量产硅片生成的。器件互连结构中几乎所有块都有明确的特性。大部分专用块（如 MRMAC 和 PCIe® 块）的数据同样有明确的特性并集成到 PDM 中。功耗报告的准确性相比于 Advance 数据有所提升。

Production

只要特定器件系列成员有足够的量产硅片具有明确的特性，并能够为大量量产批次提供完整的功耗纠正，那么指定为该等级的数据集成到 PDM 后即可发布。这也包括器件互连结构中所有块的特性数据。

任何功耗估算的准确性都将从信息输入衍生到模型中。PDM 基于器件特性使用下列模型：

- PREVIEW: +/-30%
- ADVANCE: +/-25%
- PRELIMINARY: +/-20%
- PRODUCTION: +/-15%

PDM 和 Report Power 使用相同的模型，但是 Report Power 包含有关所实现的设计的更多细节，例如，资源设置、资源使用情况、信号线扇出以及信号线长度，以支持 Report Power 提供更准确的估算。

注释：对于“maximum”工艺，器件中的静态功耗无论在任何情况下都不应超过工具中报告的值。

总功耗

器件总功耗计算方式如下：

- 器件总功耗 = 器件静态功耗 + 设计静态功耗 + 设计动态功耗。

注释：PDM 将器件和设计静态功耗作为单一静态功耗值来报告。

- 功耗估算建模过程中会考量温度和电压敏感性。系统上的环境温度 (Theta Ja) 和稳定电压可输入专用的对应单元格。其他输入包括工艺 (Typical 或 Maximum) 和环境, 以供您在其中选择强制性结温或者指定环境温度 (含有效封装 Theta JA)。

器件静态功耗

器件静态功耗由所有已连接的电压轨上的晶体管漏电功耗以及器件配置后正常工作所需电路功耗组成。一般这是通过将空白比特流编程到器件中来测量的。器件静态功耗是工艺、电压和温度的函数。这表示器件中的稳定状态和内部函数泄漏。

设计静态功耗

设计静态功耗表示器件已配置但无开关活动时, 功耗门控块的额外功耗。某些资源如果在设计中未被使用, 则产生的静态功耗为零 (0)。在 PDM 中输入这些资源的使用总量时, 会将其计入设计静态功耗。块 RAM、UltraRAM、DDRMC、GT、I/O 和时钟管理器均为功耗门控资源, 并计入设计的静态功耗。另一方面, 有些资源始终保持通电状态, 不计入设计的静态功耗, 因为其功耗已包含在器件的静态功耗中。CLOCK、LOGIC、DSP、AI 引擎和 NoC 均始终通电, 而且都不计入设计的静态功耗。



提示: 要将您的设计元素 (例如, I/O、块 RAM、UltraRAM、DDRMC、GT 和时钟管理器) 添加到设计的静态功耗计算中, 您必须在适用于设计的 PDM 资源工作表中输入资源使用情况和配置。所有 I/O 终端的设置都应开发与设计相匹配。对于任何时钟管理器, 请输入较小的时钟频率值, 以指示其使用情况。在其他资源工作表上输入 (或保留) 时钟频率值 0。

设计动态功耗

设计动态功耗表示源于用户逻辑资源使用、时钟、布线、开关活动和负载的额外功耗。设计动态功耗为常量, 不随器件温度而变。

片上功耗映射 (按组件)

“On-chip Power” (片上功耗) 映射 (按资源) 分为多个组。

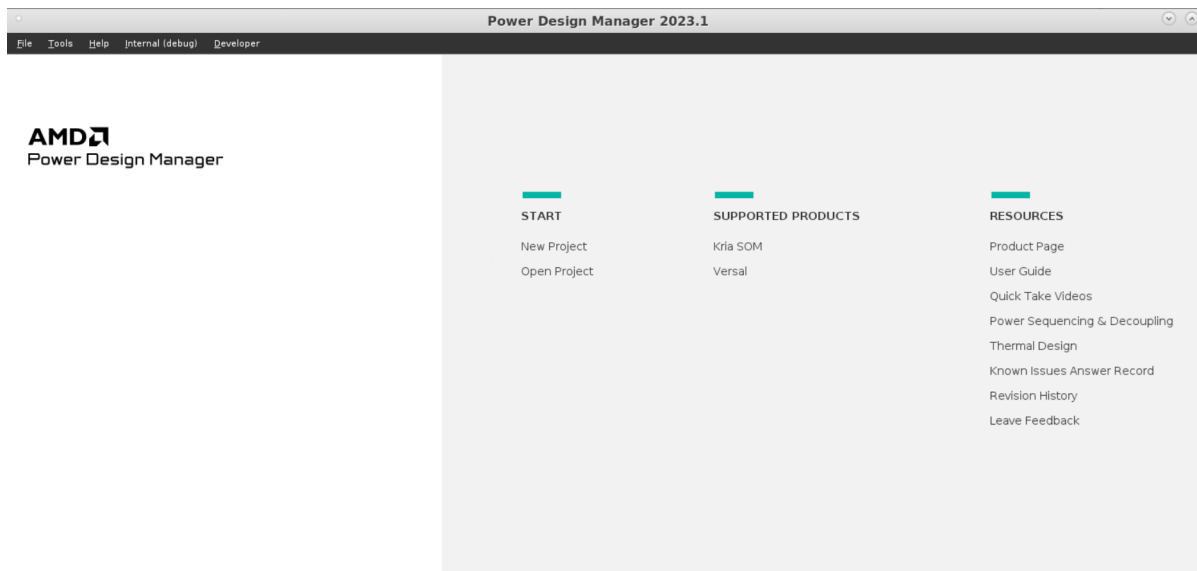
图 7：片上功耗映射

On-Chip Dynamic Power			On-Chip Static Power		
Resource	Power	Power	Resource	Power	Power
PMC	0.247 W	5.85 %	Static		
Processing System			PL	2.900 W	68.69 %
LPD	0.000 W	0.00 %	PS+PMC	0.041 W	0.97 %
FPD	0.000 W	0.00 %	AIE	0.913 W	21.62 %
AI Engine	0.000 W	0.00 %	NoC+DDRMC	0.121 W	2.86 %
NoC	0.000 W	0.00 %	GTs		
Programmable Logic			GTY	0.000 W	0.00 %
Clocking	0.000 W	0.00 %			
Logic	0.000 W	0.00 %			
BRAM	0.000 W	0.00 %			
URAM	0.000 W	0.00 %			
DSP	0.000 W	0.00 %			
Other	0.000 W	0.00 %			
I/O					
Interface	0.000 W	0.00 %			
Hard MC	0.000 W	0.00 %			
Transceiver					
GTY	0.000 W	0.00 %			
Hard IP					
CPM	0.000 W	0.00 %			
MRMAC	0.000 W	0.00 %			
PCIE	0.000 W	0.00 %			

使用电源设计管理器

从 Windows 开始菜单启动 PDM，或者双击 PDM 桌面图标启动。您也可以选择在安装 bin 目录中运行 `pdm` 从命令 shell 启动 PDM。启动 PDM 后会显示“Getting Started”（入门指南）屏幕。

图 8：电源设计管理器



设计流程

PDM 支持两大主要设计流程：

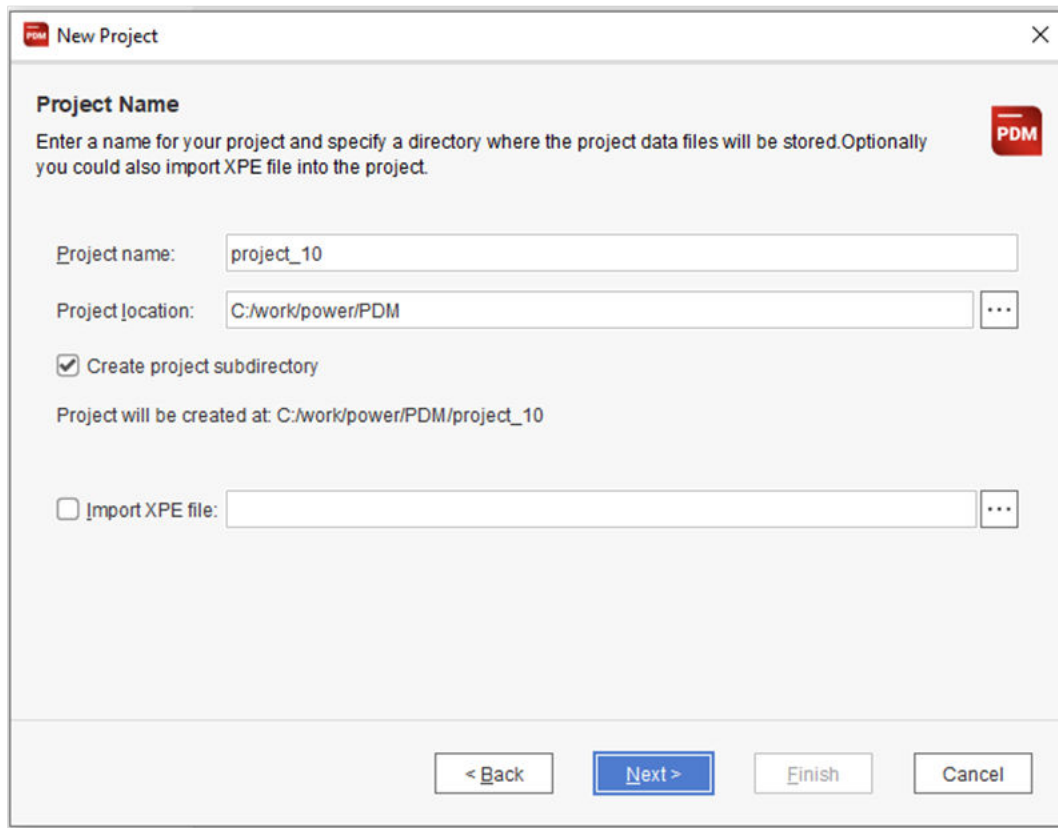
- 手动估算流程：基于估算的器件资源计数和翻转率来评估所选器件的总功耗时，可使用该流程。
启动新 PDM 工程时，新建工程向导会逐步指导您完成工程设置。
- 导入流程：您可使用此流程在创建新工程时将 XPE 或 Vivado Report Power（Vivado 功耗报告）生成的文件导入 PDM。

创建新工程

1. 单击“Getting Started”（入门）屏幕上的“New Project”（新建工程），然后单击“Next”（下一步）。

2. 输入工程名称和工程位置。

您还可以选中从 Vivado 或 XPE 生成的 .xpe 文件用于导入流程。



3. 单击“Next”（下一步）即可转至器件选择向导。对于“Temperature Grade”（温度等级），请选择“Commercial”（商用）或“Industrial”（工业）级，对于“Process”（工艺），请选择“Typical”（典型值）或“Maximum”（最大值），然后单击“Next”。



提示：如果选中 *.xpe 导入流程，则将使用来自 *.xpe 文件的信息自动填充架构和器件详细信息。

New Project

Default Part
Choose a default AMD part for your project.

Part

Architecture: Versal

Family: Versal AI Core Series Device Grade: XC Device: XCVC1902

Package: VIVA1596 Speed: 2 Static Power: Standard

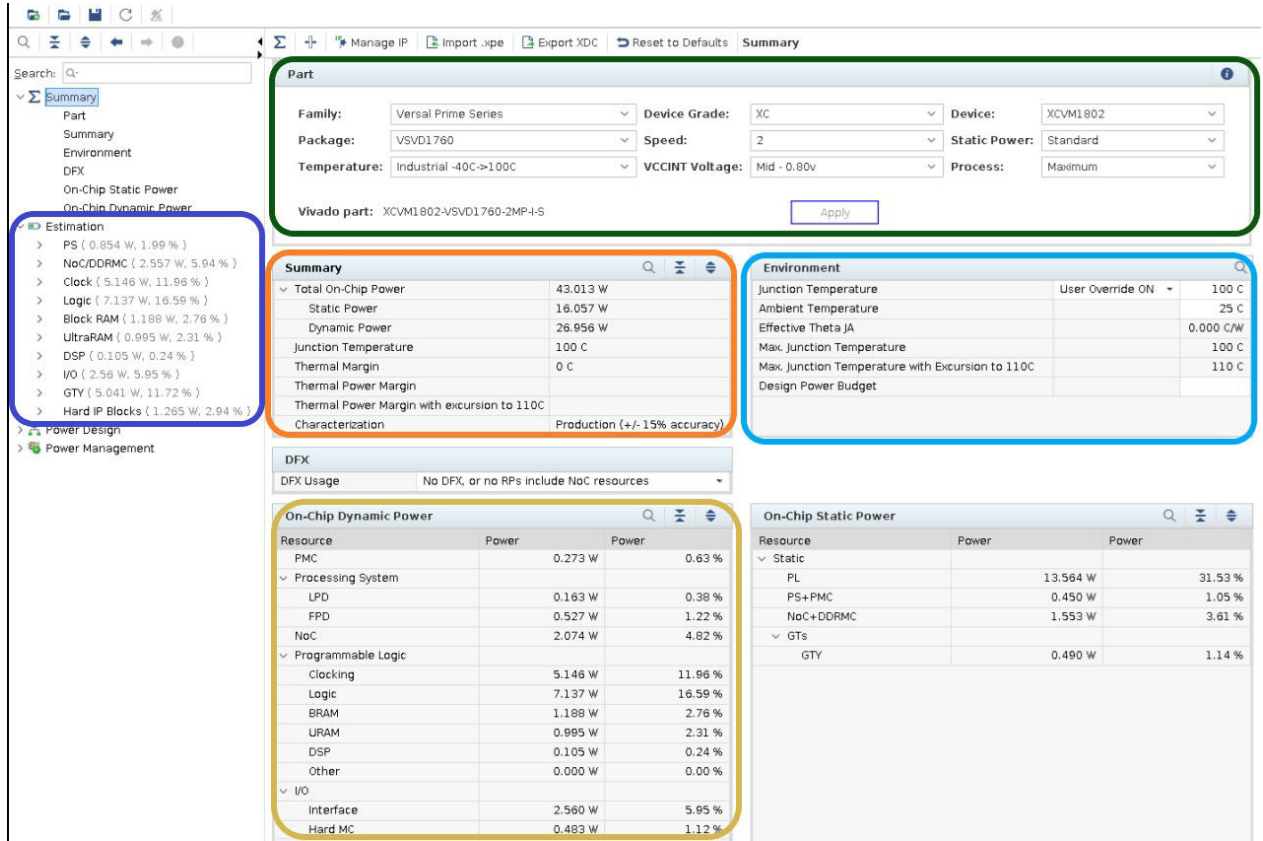
Temperature: Extended 0C->100C VCCINT Voltage: Mid - 0.80v Process: Maximum

Vivado part: XCV1902-VIVA1596-2MP-E-S

< Back Next > Finish Cancel

如需了解有关器件选择的详细信息，请参阅 [第 2 章：器件选择和设置](#)。

- 单击“Next”，然后单击“New Project Summary”（新工程汇总）页面上的“Finish”（完成）。这样您的新工程（全部采用默认值）即可完成创建，可供立即使用。
- 以下是创建新工程后，PDM 中的汇总页面视图。



您可使用左侧页面导航器在资源专用的页面与汇总页面之间进行切换。

在左侧面板中，提供了器件的汇总信息和其他块页面。“Summary”（汇总）页面包含以下几个部分：

- Part（器件）：此面板提供了器件选择和工艺设置的汇总信息，用于进行功耗估算。完成器件更改后，请点击“Apply”（应用）使更改生效。



提示：要了解最差情况下的功耗估算，请使用 maximum 工艺。对于 Kria，最差情况估算用于除 AMD 器件外的所有板载组件。

- Summary（汇总）：该只读表格显示了总功耗估算、结温 (Tj) 和裕度（基于环境设置）。
- Environment（环境）：将结温强制设为固定值，或者为热处理解决方案指定最大环境温度和有效 ThetaJA（从热仿真获取）。



建议：在从热仿真获取 ThetaJA 之前，必须使用最差情况结温。

- On-Chip (Static/Dynamic) Power（片上静态/动态功耗）：“On-chip Power”（片上功耗）表显示了整个块的功耗汇总信息。
- DFX Usage（DFX 用法）：“DFX Usage”部分用于确定启用或禁用 NoC 时钟门控。含不少于 2 个重配置分区 (RP) 的 DFX 设计不支持 NoC 时钟门控。如果设计包含多个 RP，所有 NoC 时钟缓冲器都处于工作状态并耗电。
- Estimation Section（估算部分）：在左侧面板上的“Estimation”（估算）部分下，导航到器件资源的专用页面，您可在其中输入用法、启用和翻转率。

在页面底部提供了“Project Summary”（工程汇总）状态信息，查看所有 PDM 页面时，此处信息保持不变。此信息可为设计提供配电、散热设置和裕度的汇总信息。

单击右下角的“Show/Hide”（显示/隐藏）按钮以便按需隐藏此窗。

图 9：工程汇总状态

Power			Thermal		Project	
Total	64.205 W		Junction Temperature	80 C	Name	XPE
XCVC1902-VSVD1760-1LP-I-L	64.205 W	100.00 %	Ambient Temperature	25 C	Status	Import from XPE
Active	53.667 W	83.59 %	Effective Theta JA	0 C/W		
Static	10.538 W	16.41 %	Thermal Margin	20 C		
			Thermal Power Margin			

Reset to Defaults（复位为默认值）

“Reset to Defaults”选项会清除除器件外的所有用户设置，并将 PDM 复位为默认设置。该选项位于 PDM 的“Summary”页面下。

创建时钟

必须先创建或生成时钟，而后才能启动手动估算流程。这样即可支持在其他页面中选择时钟。

此时钟创建操作可使用“Clock”（时钟）页面下的“Clock” Wizard（时钟向导）来执行。

PDM 工具有“create clock” Wizard（创建时钟向导）用于创建时钟。此向导支持创建内部时钟（来自 PS 或 GT 之类的其他块）和来自自主输入的外部时钟。

在“Create Clock Wizard”中填充详细信息即可创建时钟。从处理子系统 (PS) 或 GT 恢复时钟等其他块选择外部时钟或内部时钟。

图 10：Creating Clock Wizard

The screenshot shows the PDM software interface with the 'Create Clock Wizard' tab active. The interface includes a menu bar (File, Run, View, Tools, Help), a toolbar, and a search bar. The left sidebar shows a tree view with 'Clock (0 W, 0 %)' selected. The main area displays 'Utilization' and 'Power' tables, and a 'Clock Settings' table.

Utilization					Power		
Type	Available	Used	Utilization	Power	Supply	Voltage	Power
MMCM	12	0	0.00 %	0.000 W	VCCINT	0.700 V	0.000 W
DPLL	25	0	0.00 %	0.000 W	VCC_RAM	0.800 V	0.000 W
XPLL	24	0	0.00 %	0.000 W	VCC_IO	0.800 V	0.000 W
Clock				0.000 W	VCCAUX	1.500 V	0.000 W
					Total		0.000 W

Clock Settings								
ID	Name	Source	Frequency (MHz)	Fanout	Fanout/Site	Slice Clock	VCCINT	VCC_RAM
1					6.500	50.00 %	0.000 W	0.000 W
2					6.500	50.00 %	0.000 W	0.000 W
3					6.500	50.00 %	0.000 W	0.000 W
4					6.500	50.00 %	0.000 W	0.000 W

图 11: Clock Wizard

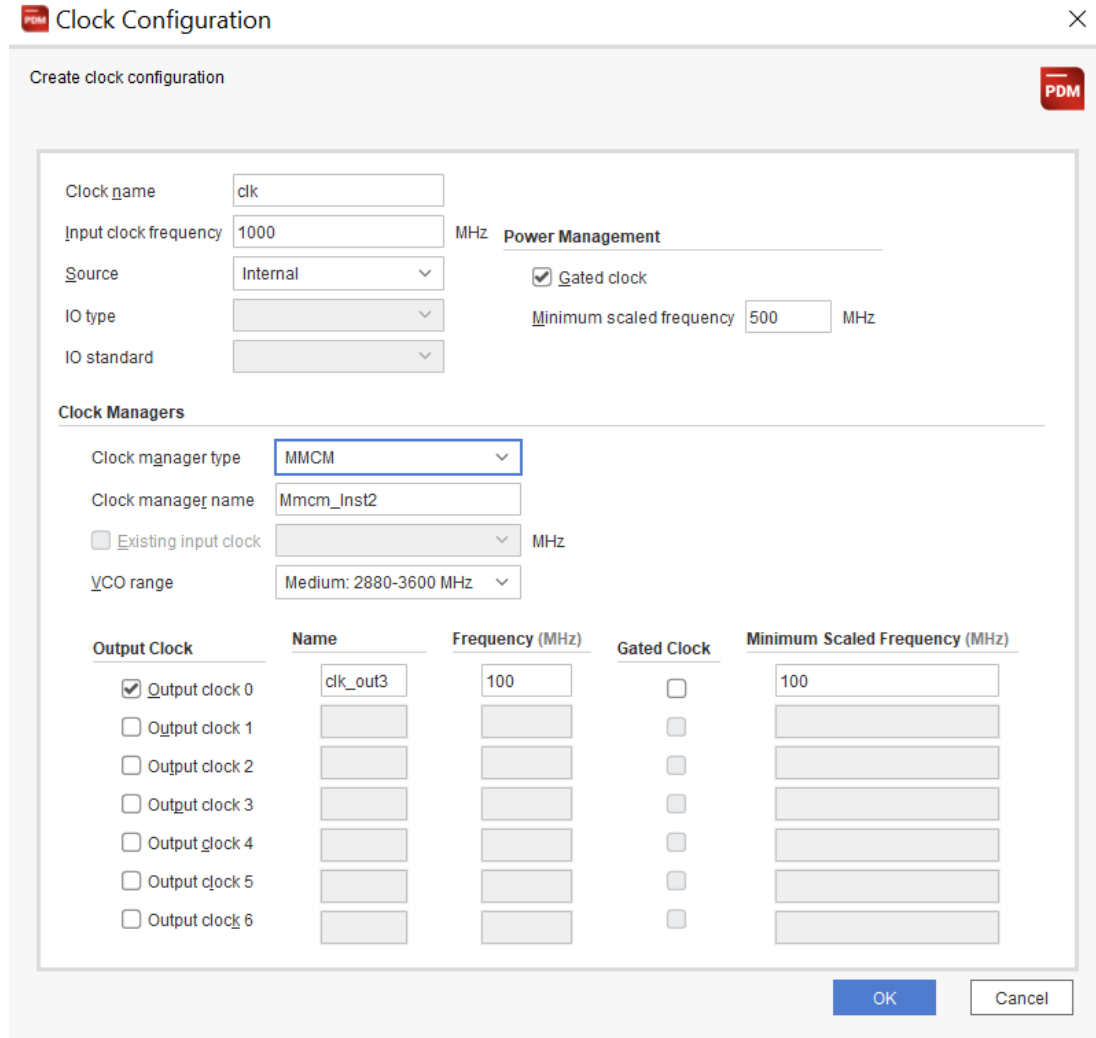


图 12: Clock 表

Clock								
ID	Name	Source	Frequency (MHz)	Fanout	Fanout/Site	Slice Clock Enable	VCCINT	VCC_RAM
1	clk_1	Internal	100.000	0	6.500	50.00 %	0.000 W	0.000 W
2					6.500	50.00 %	0.000 W	0.000 W
3					6.500	50.00 %	0.000 W	0.000 W
4					6.500	50.00 %	0.000 W	0.000 W
5					6.500	50.00 %	0.000 W	0.000 W
6					6.500	50.00 %	0.000 W	0.000 W

每个时钟的扇出都是根据来自该时钟的其他资源页面中的时钟总负载计算所得的。这样即可确保时钟扇出的准确性，并随资源总数变化而更新。



电源/功耗提示： PDM 通过使用此方法输入时钟，即可准确估算时钟功耗，因为在“Resources”（资源）页面中每次使用时钟时，都会更新时钟扇出。

如需了解时钟门控和频率缩放，请参阅 [PL 功耗管理](#)。

如果 MMCM 或 PLL 需要功耗估算，可在“Clock”页面的“Clock Managers”（时钟管理器）部分中指定这些选项。

您可从时钟向导来配置“Clock Managers”，选择 MMCM、XPLL 或 DPLL。PDM 会为不同时钟管理器自动创建唯一的实例名称。您可选中先前创建的时钟，为时钟管理器指定参考时钟。如果未显式指定参考时钟，那么时钟配置向导中的当前外部时钟或内部时钟将用作为给定时钟管理器的参考时钟。时钟向导允许为时钟管理器选择 3 种不同 VCO 范围。VCO 范围用于识别 PLL 的最优 D 值和 M 值。

图 13: Clock Managers

Clock Managers										
ID	Name	Type	Ref Clock	VCO Frequency (MHz)	Divide Counter	Multiply Counter	VCC_IO	VCCINT	VCCAUX	VCC_RAM
1	Mmcm_Inst2:clk_1	MMCM	100.000	3240.000	1	33	0.000 W	0.000 W	0.030 W	0.023 W
2							0.000 W	0.000 W	0.000 W	0.000 W
3							0.000 W	0.000 W	0.000 W	0.000 W
4							0.000 W	0.000 W	0.000 W	0.000 W
5							0.000 W	0.000 W	0.000 W	0.000 W

创建时钟后，它就会显示在“Clock”表中，并且在其他资源页面（例如，Logic、DSP、URAM、Block RAM 和 I/O）上变为可选，以便估算这些块的功耗和时钟网络的功耗。

估算可编程逻辑元件的功耗

可编程逻辑功耗

可编程逻辑由下列组件组成：

- 逻辑
- 块 RAM
- UltraRAM
- DSP
- I/O
- 收发器

您应首先定义时钟，以便将其与其他页面上的资源输入相关联。数据输入的组织对于保证准确的功耗估算至关重要。这使您能够避免因部分设计被忽视而导致估算过低，也可避免因意外多次输入相同资源造成重复而导致的估算过高。请使用以下常用策略来估算大型设计的功耗。

- 输入对应于每个主要层级设计块的资源行，使用块名称或实例名称作为该行的基本名称。
- 针对每个层级块内的每个时钟，请输入至少一行资源。
- 对于时钟域交汇上的逻辑，请将逻辑与其关联时钟组合在一起。
- 在每个时钟域内，请针对含不同翻转率的资源使用多个行。

Logic

“Logic”（逻辑）页面涵盖了 CLB 逻辑（LUT 和寄存器）的功耗估算，如下图所示。每一行都表示一组逻辑，并与下列对象关联：

- 特定时钟，其时钟频率用于计算动态功耗。
- 翻转率，它表示所有逻辑的输入和输出的平均值。

LUT 分为以下 3 类，寄存器则主要为 CLB 寄存器。

- LUT（作为组合逻辑）：为便于输入，PDM 假定采用平均大小 LUT（含约 5 项输入），并假定小部分 LUT 使用 2 项输出。
- LUT（作为移位寄存器）：SRL 原语

- LUT（作为分布式 RAM）：LUTRAM 原语

图 14: Logic

Use this tab to analyze Logic Power.

Utilization			
Type	Used	Avail	Utilization
Registers	40000	1799680	2.22 %
▼ LUTs	24000	899840	2.67 %
Combinatorial	20000	899840	2.22 %
Shift Registers	2000	449920	0.44 %
Distributed RAMs	2000	449920	0.44 %

Power		
Rail	Voltage	Active Power
VCCINT	0.700 V	0.615 W

Logic										
ID	Name	Clock	Combinatorial	Shift Registers	Distributed RAMs	Registers	Toggle Rate	Routing Complexity	Vccint Power	User Comments
1	Logic	300 MHz (clk)	20000				25.00 %	10.000	0.277	
2	Shift Reg	300 MHz (clk)		2000			40.00 %	10.000	0.070	
3	DRAMs	300 MHz (clk)			2000		50.00 %	10.000	0.088	
4	Registers	300 MHz (clk)				40000	15.00 %	10.000	0.180	

“Shift Registers”（移位寄存器）和“Distributed RAMs”（分布式 RAM）都使用 M 型 CLB LUT，您可将其配置为存储器。为了消除基于分布式 RAM 的存储器所使用的 LUT 总量的估算过程中存在的诸多难题，请使用“Add Memory”（添加存储器）按钮启动“PDM Memory Configuration” Wizard（PDM 存储器配置向导）。指定存储器阵列大小、时钟和选项，这样 PDM 工具即可计算期望的 LUT 和寄存器数量，并将其输入一行中。翻转率定义为发生转换的时钟周期的百分比。默认值 12.5% 表示每 8 个周期发生一次转换。

“Routing Complexity”（布线复杂性）列是互连功耗的抽象模型。其数值表示每条逻辑信号线的布线资源的平均数量。设计复杂性越高，则每条信号线上所需的布线资源越多，从而导致功耗增加。通常，仅当根据设计布线时所用的实际布线资源来计算导入的 Vivado 功耗分析结果中的“Routing Complexity”时，才需要修改“Routing Complexity”。对于早期估算，AMD 建议将“Routing Complexity”保留默认设置。

块 RAM

“Block RAM”（块 RAM）页面涵盖了专用 36 kb 块 RAM 的功耗估算，使用这些块 RAM 所实现的存储器阵列比使用 LUTRAM 可实现的存储器阵列大得多。块 RAM 通常由特定深度、宽度和级联高度的阵列组成。建议通过“Add Memory”（添加存储器）按钮使用“Memory Configuration” Wizard（存储器配置向导）来输入较大的阵列，因为它与综合后结果紧密匹配。通常，综合会选择与预期略有不同的折衷架构方案来平衡性能、面积和功耗。以下是用于块 RAM 大小配置的各列的描述。

- Cascade Group Size（级联分组大小）：块 RAM 采用专用级联电路来高效构建更深层的存储器，这样可以避免产生额外的寻址、解码和多路复用逻辑成本。最重要的是，级联块 RAM 可以显著节省动态功耗，因为每次针对每个级联分组，只有 1 个块 RAM 有效。PDM 默认级联分组大小为 4 即体现了功耗与性能的折衷取舍。综合可创建的级联最大深度为 8（最低功耗），最小深度为 1（最佳性能）。
- Mode（模式）：表示块 RAM 大小的配置以及纠错模式（如使用）。PDM 已建模的不同大小包括：
 - RAMB18：18 kbit 容量（位宽最大为 18）
 - RAMB36：36 kbit 容量（位宽最大为 36）
 - RAMB18SDP：Simple Dual-Port（简单双端口）模式，采用固定位宽（36 位）
 - RAMB36SDP：Simple Dual-Port（简单双端口）模式，采用固定位宽（72 位）

您可将 SDP 模式配置为启用“Error Correction Coding”（纠错码）电路。另外，针对简单双端口 RAM，并不总是使用 SDP RAM 模式。它取决于端口“Bit Width”（位宽）是否能够有效拟合 SDP 模式的固定宽度：RAMB18 的位宽为 36，RAMB36 的位宽为 72。中间宽度更有可能映射到 RAMB18 模式和 RAMB36 模式。

- Bit Width（位宽）：这表示每个块 RAM 端口的数据宽度，所含选项限制为 RAM 块配置所支持的宽度值。
 - 对于中间宽度，请选择更高一级的宽度值。
 - 对于 SDP 模式配置，针对 RAMB18SDP 必须选择位宽值 36，针对 RAMB36SDP 则必须选择 72。
 - 支持非对称宽度。

确定结构配置后，其他设置可用于配置影响动态功耗的活动速率。

- Clock（时钟）：每个端口均可采用相同时钟进行时钟设置，或者也可以采用独立时钟进行时钟设置。分配时钟后，相应的端口就会产生功耗，即使禁用该端口也是如此。这是因为时钟网络在块 RAM 电路各部分中仍处于有效状态。
- Toggle Rate（翻转率）：这是表示块 RAM 数据发生翻转的时钟周期的百分比值。这是行输入中所有块 RAM 上的所有输入和输出数据管脚的平均值。
- Write Mode（写入模式）：此模式用于判定对相同地址存在同步写入和读取时会发生的情况。默认值 NO_CHANGE 会导致最低功耗，因为在块 RAM 输出处没有可见转换。其他模式（WRITE_FIRST 和 READ_FIRST）会导致动态功耗增加，因为输出数据分别经历了转换为写入数据或转换为读取数据的过程。
- Enable Rate（使能率）：这是端口处于有效状态对比处于待机状态的时间百分比值。启用端口时，其功耗就会增加。
- Write Enable（写入使能）：这是写入端口的时间百分比值，与 Enable Rate 无关。因此，请确保 Write Enable <= Enable Rate。

为最大程度降低 RAM 功耗，使能逻辑应设计为仅在必要时才启用端口。处于持续启用状态 (100% Enable Rate) 的端口将导致功耗浪费。Vivado 块 RAM 功耗最优化工会通过逻辑最优化工来强制实施此建议。例如，对于仅限写入端口而言，如果其 Write Enable 保持活动的时间占周期的 25% 且 Enable 绑定到高电平，则可使用 100% Enable Rate 来估算该端口。但 Vivado 会在逻辑网表中交换 Write 和 Enable 控制信号，即，将 Write Enable 绑定到有效 (Write Enable 100%) 且 Enable 由 Write Enable 逻辑驱动 (Enable Rate 25%)。

注释：请仔细审查各输入，以确保最大限度降低 Enable Rate。

UltraRAM

“UltraRAM”页面涵盖了专用 288 Kb UltraRAM 块的功耗估算信息。UltraRAM 资源必须手动估算或计算。用于定义 UltraRAM 结构的设置包括：

- Cascade Group Size（级联分组大小）：UltraRAM 块支持通过级联来创建更大的存储器阵列，同时通过针对每个级联每次仅启用 1 个 UltraRAM 来降低总体功耗。示例：20 个级联分组大小为 4 的 UltraRAM 块表示 $20/4 = 5$ 组级联 UltraRAM（每一组含 4 个块）。如果没有级联，那么请使用 1 作为级联分组大小的值。级联分组大小适用于垂直级联，可增加阵列深度。
- Latency（时延）：可选 UltraRAM 流水线寄存器为 IREG_PRE（输入）或 REG_CAS（级联）。默认值为级联分组大小除以 3。如无 UltraRAM 级联，那么只能使用 IREG_PRE，它表示 Latency 为 1。
- Mode（模式）：可选模式包括 URAM288（无 ECC）和 URAM288_with_ECC。

以下设置用于定义 UltraRAM 活动：

- Sleep Rate（休眠率）：UltraRAM SLEEP 输入管脚断言有效的时间占比。针对“Automatic Sleep Mode”（自动休眠模式），还支持使用“Auto”值。
- Average Inactive Cycles（平均不活动周期数）：处于休眠模式时，连续不活动周期数的平均值。最小值为 > 10 或者级联分组大小减 2。
- Input Toggle Rate（输入翻转率）：端口 A 和 B 的数据输入 (DIN) 的平均翻转率。
- Output Toggle Rate（输出翻转率）：端口 A 和 B 的数据输出 (DOUT) 的平均翻转率。
- Clock (MHz)（时钟）：UltraRAM 或 UltraRAM 模块的时钟频率。

以下是针对 UltraRAM 端口 A 和 B 指定的值：

- Data Width（数据宽度）：用于指定精确的数据宽度（如果宽度小于最大值 72 位）。
- Enable Rate（使能率）：启用 UltraRAM 的时间占比。
- Write Enable（写入使能）：写入使能输入断言有效的百分比，与使能率无关。写入使能管脚为 UltraRAM RDB_WR_A 和 RDB_WR_B 管脚。

注释：指定 Enable Rate 和 Sleep Rate 时，针对每个端口 A 和 B，(Enable Rate / Cascade Group Size) 与 Sleep Rate 的总和不得超过 100%。

DSP

“DSP”页面涵盖了 DSP58 块的资源估算。与前几代相似，AMD Versal™ 自适应 SoC DSP 块可实现各种算术和逻辑函数，包括加减乘法以及常用 DSP 函数（如乘积累加）。与前几代相似，DSP 块可以实现各种逻辑函数（如 XOR），并且可通过级联来构成数字滤波器。Versal 自适应 SoC DSP 块具有范围更宽的 27x24 复数乘法器（也可配置为 3 个 9x8 乘法器），并包含更宽的 58 位累加器。Versal 自适应 SoC DSP 还支持浮点加法和乘法。

以下设置描述可用于配置 Versal 自适应 SoC DSP 块以便进行功耗估算：

- Configurations（配置）：Versal 自适应 SoC PDM 支持您针对 DSP 块使用特定于模式的配置。您可根据当前执行的 DSP 操作从下拉列表中选择合适的配置。Versal DSP58 功耗模型支持的准确性精度远高于前几代。有多种不同大小的整数乘法器、MAC、点积、复数乘法器和浮点运算可供您选择。
- DSP58 Slices（DSP58 切片数）：表示 DSP58 块的数量。在 Versal 架构中，每个 DSP58 块都可实现 1 个 27x24 定点乘法器，您可将 2 个 DSP58 块与公用逻辑配对来实现 1 个 18 位复数乘法器。
- Clock（时钟）：从下拉菜单中选择“DSP58 slice”时钟。
- Block Toggle Rate（块翻转率）：这是所有 DSP 块信号的平均翻转率。请按需手动调整翻转率。
 - 如果仅在周期内一小段时间内启用 DSP 块，请通过“Enable Rate”（使能率）来按比例调整“Block Toggle Rate”。例如，如果在半周期内启用 DSP，请将“Block Toggle Rate”乘以 0.5 以获取新的“Block Toggle Rate”。
 - 如果 DSP 块不使用所有乘法器输出，请按使用的输出位比例来调整“Block Toggle Rate”。如果仅使用 48 位，请将“Block Toggle Rate”乘以 (48 / 58) 以反映 DSP 块中主动开关信号的比例。
- DSP Mode（DSP 模式）：表示 DSP 块的工作模式。该字段为自动填充，针对指定配置为只读。
 - INT24：此模式与前几代的 DSP48 兼容。INT24 表示 DSP 块配置为 27x24 有符号的定点乘法器。如果使用更小的乘法器，请按使用的输出位的比例来调整 Block Toggle Rate。

- INT8: 在此配置中, DSP58 使用 “Vector Fixed Point ALU” (矢量定点 ALU) 模式。此模式用于计算含累加 (accumulate) 或后加 (post add) 选项的 3 部分 9x8 矢量点积。
- CINT8: 此模式表示 2 个相邻 DSP58 块配置为实现 1 个 18 位复数乘法器。请确保将每个复数乘法器 2 个 DSP slice 纳入 DSP slice 总数考量范围。
- FP32: 在此配置中, DSP58E5 使用浮点乘法器和加法器。此模式用于计算含累加 (accumulate) 或后加 (post add) 选项的 FP32 单精度或 FP16 半精度计算。
- MULT Used? (是否使用 MULT) : 表示是否使用 DSP58 乘法器。默认值为 “Yes” (是), 因为预计大部分情况下都会使用乘法器。该字段为自动填充, 针对给定配置为只读。
- Multiplier Pipeline Used? (是否使用乘法器流水线) : 当 “MULT Used” 设为 “Yes” 时, 表示是否对乘法器执行流水打拍。由于乘法器传输延迟较大, 因此, 通常需流水打拍, 所以此项默认值为 “Yes”。仅当时钟速度极低或者对于 DSP 配置不使用乘法器时, 该值才应设为 “No”。
- Pre-Add Used? (是否使用前加) : DSP58 包含 27 位有符号加法器, 可用于驱动乘法器的单输入或双输入。如果当前实现的算术功能需要前加 (例如, $(B + D) * A$) 运算, 请选择 “Yes”。默认值为 “No”。该字段为自动填充, 针对给定配置为只读。
- AD Reg Used? (是否使用加法器寄存器) : 这表示前加法器 (Pre-Adder) 输出先进行流水打拍, 然后再馈送到乘法器输入。默认值为 “No”。该字段为自动填充, 且您可覆盖此设置。

I/O

随着开关速度和电容负载提高, 开关 I/O 电源所导致的功耗在 AMD 器件总功耗中所占比例可能越来越高。因此, 准确定义所有 I/O 相关参数就显得尤为重要。在 I/O 页面中, PDM 可帮助您计算 I/O 接口的片上和片外功耗。

下图显示了 I/O 页面上输入的 3 种主要的信息类型: “I/O Settings” (I/O 设置)、 “Activity” (活动) 以及 “External Termination” (外部终端)。

图 15: PDM I/O

Utilization			Summary		Power			I/O Bank Table		
Type	Avail	Used	Utilization	Type	Active Power	Supply	Voltage	Power	Vcco	Num Banks
Hard MC	4	0	0.00 %	Power(On-chip)	0.000 W	VCC10	0.800 V	0.000 W	VCC010	0
Soft MC	0	0	0.00 %	Logic	0.000 W	VCCALX	1.500 V	0.000 W	VCC011	0
I/O Count	648	0	0.00 %	Buffer	0.000 W	VCC0 3.3V	3.300 V	0.000 W	VCC012	0
Xtreme Performance	648	0	0.00 %	Other	0.000 W	VCC0 2.5V	2.500 V	0.000 W	VCC019S	0
High Density	0	0	0.00 %	Power(Off-chip)	0.000 W	VCC0 1.8V	1.800 V	0.000 W	VCC015	0
						VCC0 1.5V	1.500 V	0.000 W	VCC018	0
						VCC0 1.35V	1.350 V	0.000 W	VCC025	0
						VCC0 1.2V	1.200 V	0.000 W	VCC033	0
						VCC0 1.1V	1.100 V	0.000 W		
						VCC0 1.0V	1.000 V	0.000 W		
						VCCINT	0.700 V	0.000 W		
						Total		0.000 W		

I/O Settings																												
ID	Name	Memory Interface	Bank	I/O Type	I/O Standard	Input Pins	Output Pins	Bidir Pins	IBUF	Input Term	Output Impedance	Pre-Emphasis	Clock (MHz)	Toggle Rate	Data Rate	Output Enable	Term Disable	IBUF Disable	T Control	Output Load(pF)	Signal Rate	VCC_IO Power	VCCALX Power	VCCINT Power	VCC0 Power	External Termination	Offchip Vcco	User Comments
1			XP	LVCMS5 1.5V 12mA					High Perf					12.50 %	SDR				0		0.000	0.000 W	0.000 W	0.000 W	0.000 W	None		0.000 W
2			XP	LVCMS5 1.5V 12mA					High Perf					12.50 %	SDR				0		0.000	0.000 W	0.000 W	0.000 W	0.000 W	None		0.000 W
3			XP	LVCMS5 1.5V 12mA					High Perf					12.50 %	SDR				0		0.000	0.000 W	0.000 W	0.000 W	0.000 W	None		0.000 W
4			XP	LVCMS5 1.5V 12mA					High Perf					12.50 %	SDR				0		0.000	0.000 W	0.000 W	0.000 W	0.000 W	None		0.000 W

以下段落提供了有关如何填充其中每一列的具体信息。

- I/O Setting (I/O 设置) :
 - I/O Standard (I/O 标准) : 指定期望的 I/O 标准, 此标准将用于该接口。在此下拉菜单中显示的带有 DCI 后缀的配置即为使用片上终端的配置。差分 I/O 标准带有 (pair) 后缀。为便于计算, PDM 假定使用该 I/O 标准的数据表中所列的标称值最接近的标准 VCCO 电平 (例如, 3.3 V)。



建议: 为最大限度降低输出信号上的功耗, 请始终使用满足您的性能目标的最弱的驱动设置 (降低驱动强度和斜率)。

- I/O Direction Columns (I/O 方向列)：输入对应每个 I/O 接口的 “Input” (输入) 信号、“Output” (输出) 信号和 “Bidir” (双向) 信号的数量。



建议：由于输入和输出的翻转活动通常较为困难，因此建议您将每个方向布局在单个独立行上。



提示：针对每个差分 I/O 对输入 1 个管脚。例如，如果器件存储器包含 4 个差分 DQS 对，那么请在 “Input Pins” (输入管脚) 列上输入 4。

- On-Chip Termination (片上终端)：此处终端值与 AMD UltraScale+™ 器件的终端值相同。
- Activity (活动)：在以下列中输入每个 I/O 接口的期望的活动。
 - Clock (MHz) (时钟)：
 - Synchronous Signals (同步信号)：输入捕获或生成这些信号的时钟的频率。
 - Asynchronous Signals (异步信号)：计算信号的等效频率。例如，如果可以判定信号每秒将翻转 (更改状态) 2 百万次，那么请在该列中输入 1 (在将信号速率转换为频率时，需要经过 2 次转换才能生成 1 个周期：从 0 转换为 1，以及从 1 转换为 0)。
 - Toggle Rate (翻转率)：
 - Synchronous Signals：输入此信号预计发生状态更改的频率 (相比于时钟)。例如，如果数据平均每 8 个时钟周期发生 1 次更改，请输入 12.5% (1/8，转换为百分比值)。
 - Asynchronous Signals：如上述 Clock (MHz) 描述中所述，在 Clock (MHz) 列中输入等效频率，然后在在该列中输入 100%。
 - Data Rate (数据速率)：
 - Synchronous Signals：如果在时钟上升沿和下降沿都进行信号采样，请输入 DDR。如果仅在其中一个时钟沿进行信号采样，请输入 SDR。
- Asynchronous Elements and Clocks (异步元件和时钟)：输入 “Async” 或 “Clock”
- Output Enable (输出启用)：
 - Input Only Signals (仅限输入信号)：此列无效
- Output and Bidirectional Signals (输出信号和双向信号)：

指定一长段时间 (相比于驱动缓冲器被禁用或处于三态的时间)，以表示此输出缓冲器驱动某一值的时间长短。



提示：常见错误是将 “Output Enable” 设置为 100%，这将导致 PDM 准确性下降。

- Term Disable (终端禁用)：
 - 在互连结构中不使用时，请将其设为 DCI。输入禁用 DCI 或 OCT 终端的时间百分比。
- IBUF Disable (IBUF 禁用)：在互连结构中不使用 “HSTL/SSTL IBUF” 时，请将其设置为低功耗空闲状态 (IBUFDISABLE)。输入禁用 IBUF 的百分比。
- Output Load (输出负载)：输入开发板或者由模块中的输出所驱动的其他外部电容的功耗因子。

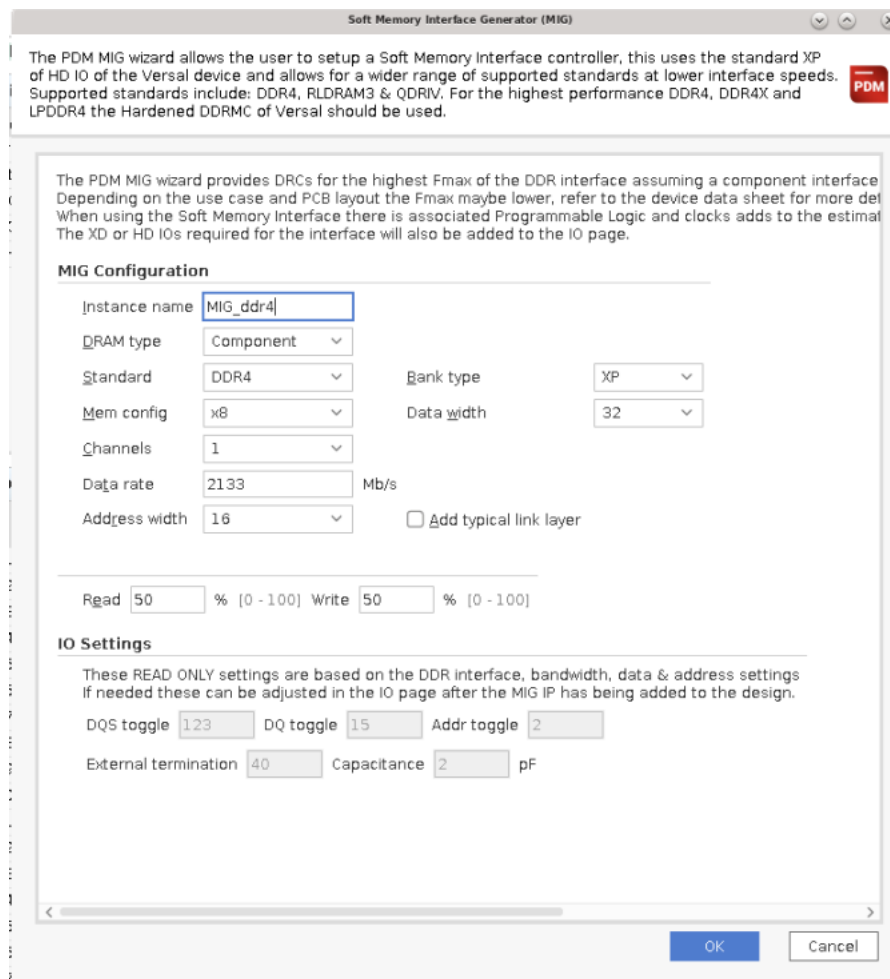
- External Termination (外部终端)：不使用可用片上终端时，可使用 PDM 来计算由 AMD 器件向片外组件（例如，外部开发板终端电阻网络）提供的供电量。针对配置为输出的 I/O，支持多种终端类型。不支持外部输入终端，因为计算过程通常需要驱动端的详细信息，但对于 PDM 而言，这些详细信息不可用。

MIG Wizard

“Memory Interface Configuration (MIG)” Wizard (存储器接口配置向导) 允许您为 AMD 器件与外部存储器之间的接口中所涉及的 I/O 创建 IP。它为 PDM 工具提供了一种简化的存储器接口资源填充方法。使用此向导配置存储器接口时，会在相应的部分中添加关联的可编程逻辑、时钟和 I/O。此外还会添加各项资源，以便呈现用于实现物理控制器和用户接口层的典型用法。MIG Wizard 位于 PDM 工具的 I/O 页面中。

MIG Wizard 不支持所有存储器接口标准，对于受支持的标准，则不支持所有接口参数。此向导涵盖了许多常见的存储器接口标准。对于特定标准，关联的管脚可能比向导配置的管脚更多。在此类情况下，您可能需要根据自己的具体用例来修改向导输出或者在“I/O”页面中手动输入额外的管脚。并且，如果针对特定字段无选项可用，那么您可能可以手动覆盖该字段中的选项。为提升准确性，请在 AMD Vivado™ 中创建 IP，并生成资源信息以便填入 PDM 工具。

图 16: MIG Wizard



- Instance Name (实例名称)：允许您为生成的配置指定名称。此项有助于区分 I/O 页面中的多种不同配置。

- DRAM Type (DRAM 类型)：从下拉列表中选择适当的存储器类型。可用选项包括：
 - Components (组件)
 - DIMM
 - RDIMM
 - LRDIMM
- Standard (标准)：此向导支持以下 I/O 存储器控制器标准。
 - DDR4
 - RLDIMM3
 - QDRIV (HSTL、SSTL 和 POD)
- Mem Configuration (存储器配置)：相应的存储器配置。
- Data Rate (数据速率)：存储器器件的目标数据速率。
- Address Width (地址宽度)：接口中使用的地址行的总数，包括“Row” (行)、“Column” (列)、“Bank” (如使用) “Rank” (等级) 以及“CS line” (CS 行)。
- Bank Type (bank 类型)：选择 XP bank 类型用于软核存储器控制器实现
- Data Width (数据宽度)：为选定的存储器接口选择相应的数据宽度。
- Read/Write (%) (读/写百分比)：存储器接口用于读取和写入外部存储器的时间百分比。总值必须小于或等于 100% 并且假定接口空闲时间计算方式为 $100\% - (\text{Read}\% + \text{Write}\%)$ 。这反映在“Output Enable” (输出启用)、“Term Disable” (终端禁用) 和“IBUF Disable” (IBUF 禁用) 百分比中。
- Add Typical Link Layer Logic (添加典型链路层逻辑)：该选项允许您为特定存储器接口自动生成链路层逻辑的资源。此项不适用于“Hard Memory Controllers” (硬核存储器控制器)。

完成配置并创建后，将在“I/O”表中新增一行，并在其中填充您在向导中输入的信息。

收发器

GTY、GTYP 和 GTM 均为串行收发器，用于在 AMD Versal™ 自适应 SoC 中进行串行数据传输。

在 Versal 器件中，硬核 IP 块选择与“GT”页面和“Hard IP Blocks” (硬核 IP 块) 页面无关。硬核 IP 应在 Versal 自适应 SoC 中的“Hard IP Blocks” (硬核 IP 块) 上配置。

GTY

Versal 自适应 SoC GTY 支持从 1.2 Gbps 到 32.75 Gbps 的连续数据速率。Versal GTY 页面相比于先前器件系列，几乎没有差异。

以下 Versal 器件时钟源不同：

- LCPLL：基于 LC-tank 的 VCO (用于低抖动)，支持最大数据速率。
- RPLL：基于环形振荡器，功耗略低，数据速率更低。

注释： 建议使用“Add GTY Interface”（添加 GTY 接口）或“Manage IP”（管理 IP）来输入期望的协议的 GTY 配置，以便正确指定所有列。Versal 器件包含以下 GTY 配置更改。

表 2：收发器功耗估算 (GTY)

来源	UltraScale+ 器件	Versal 器件
LCPLL	QPLL（共享到 4 条通道）	LCPLL（共享到 2 条通道）
调试	眼图扫描	当前不支持
环形 PLL	CPLL	RPLL
以太网 MAC	CMAC	MRMAC

GTYP

GTYP 完全是 GTY 的子集，包括 IP 和管脚兼容性。它是 GTY 的升级版本，支持 PCIe® Gen5。如需了解有关 GTYP 的更多信息，请参阅《Versal 自适应 SoC GTY 和 GTYP 收发器架构手册》(AM002)。

GTM

GTM 为支持 PAM4 和 NRZ 模块化的高性能收发器。Versal 自适应 SoC GTM 支持从 9.5 Gbps 到 116 Gbps 的非连续数据速率。如需了解更多信息，请参阅《Versal 自适应 SoC GTM 收发器架构手册》(AM017)。

估算 Versal 器件的功耗

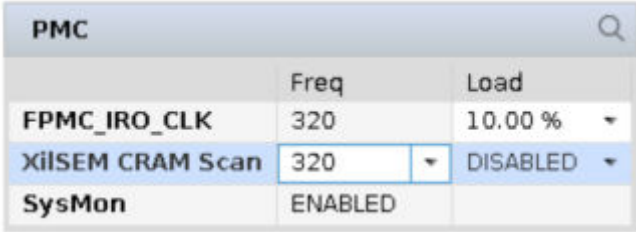
处理器系统

AMD Versal™ 自适应 SoC 具有功能丰富的 64 位双核 Arm® Cortex®-A72 及双核 Arm Cortex®-R5F 处理器系统 (PS)。

PMC

PMC 时钟频率为固定值，取决于器件速度等级。您可在 0 到 100% 范围内配置负载。AMD Versal™ 器件中的平台管理控制器 (PMC) 负责处理主要的启动前任务以及硬件管理，确保器件级别的资源能够以可靠方式上电和掉电。PMC 负责处理器件管理功能，如器件复位排序、初始化、启动、配置、安全性、功耗管理、Dynamic Function eXchange (DFX)、运行状况监控和错误管理

图 17: PMC



PMC	Freq	Load
FPMC_IRO_CLK	320	10.00 %
XilSEM CRAM Scan	320	DISABLED
SysMon	ENABLED	

功耗域

处理器系统分为低功耗域 (LPD) 和全功耗域 (FPD)。您可基于设计功耗要求，对 FPD 上电/掉电。您还可从“PS”页面配置 PMC。

“PS”页面对每个 PS 子域都提供了多个表。您可单击每个页面来迁移和配置每个子模块。

图 18: PS 页面

LPD Configuration				
	Active Blocks	Clock (MHz)	Load	VCC_PSLP (W)
R-5	1	600.000	90.00 %	0.042
TCM	2			0.013
OCM	1			0.008
InterConnect		599.994	90.00 %	0.090

处理器和 PLL

Versal 架构的 PS 为全功耗域集成了功能丰富的 64 位双核 Arm Cortex®-A72 (APU)，并为低功耗域集成了双核 Arm Cortex-A72 (RPU)。在全功耗域中可使用 APU PLL 来为 Arm Cortex-A72 核、L2 高速缓存、FPD 互连结构和 CCI 生成时钟。在低功耗域中可使用 RPU PLL 来为 Arm Cortex-A72 核、TCM、OCM 和 LPD 互连结构生成时钟。

注释：使用 A72 时，必须启用 L2 高速缓存。PDM 会自动执行此操作并向 FPD 添加电源。

图 19: FPD 配置

FPD Configuration				
	Active Blocks	Clock (MHz)	Load	VCC_PSFDP (W)
A-72	2	300.000	50.00 %	0.082
L2 Cache	1			0.004
InterConnect		300.000	50.00 %	0.017
CCI		300.000	50.00 %	0.007

存储器

Arm Cortex®-A72 和 Cortex-R5F CPU 系统还包含片上 TCM、OCM 存储器、L2 高速缓存和丰富的外设连接接口。部分器件的 XRAM 同时包含 PS 和 PL 接口。

高速缓存一致性互连 (CCI)

所谓 CCI 表示将部分互连和一致性功能组合到一起的块。“Load”（负载）字段值取决于应用，范围介于 0% 到 100% 之间。此负载值与“Load for Interconnect”（互连负载）值相同。允许的最大频率与对应速度等级的 APU 频率范围相同。

I/O 接口

I/O 接口在整个 bank 范围内均可配置。每个 bank 的 I/O 管脚最大数量为 26。每个 GPIO bank 表的底部行都会显示每个 bank 可用的 GPIO 数量。经某些 GPIO 配置后，它会显示 0，表示已用完此特定 bank 的所有 I/O。如经配置后，I/O 数超过 bank 中可用的 I/O 数，那么将出现 DRC，您应使用其他 bank 中的 GPIO。

图 20：选择接口后可用的 GPIO

PMC - Bank 500 Configuration - MIO [0:25]							
Interface	Avail	Num Used	Clock Freq (Mhz)	Activity Rate %	GPIOs Used	VCC_PSLP	VCCO_PSIO0_500
SD / eMMC	2	1	125.000		13	0.005 W	0.000 W
Octal SPI/Quad SPI	1				0	0.000 W	0.000 W
SMAP	1				0	0.000 W	0.000 W
CAN	12	2	40.000		4	0.001 W	0.000 W
I2C	12				0	0.000 W	0.000 W
SYSMON_I2C	6	1	100.000		3	0.004 W	0.000 W
SPI	4	1	100.000		6	0.004 W	0.000 W
Trace	1				0	0.000 W	0.000 W
TTC	6				0	0.000 W	0.000 W
USB 2.0	1				0	0.000 W	0.000 W
Bank 500 PMC_GPIO	0				0	0.000 W	0.000 W

您可从 I/O bank 配置 GPIO bank 电压。

图 21：电压选择

Voltage Selection for MIO Banks				
Bank	Voltage	Avail	Used	Power
Bank 500	1.8 V	26	17	0.000 W
Bank 501	2.5 V	26	0	0.000 W
Bank 502	3.3 V	26	0	0.000 W
Bank 503	3.3 V			

注释：上表中的电源部分仅报告 VCCO_50x I/O 上的电源，在该表中不报告 V_{CC_PSLP} 中的 I/O。

功耗汇总表

在“PS”页面上显示了全域范围和全轨范围的功耗汇总表，并按组件类型和功耗域加以细分。

图 22：功耗汇总表

Power Status & Summary			Low Power Domain On-Chip Power (W)					Full Power Domain On-Chip Power (W)				
Domain	Current Status	Power	Avail	Used	Utilization	Power	Avail	Used	Utilization	Power		
FPD	Power On	0.603 W	Dual RPU	2	1	50.00 %	0.042 W	APU	2	2	100.00 %	0.497 W
LPD	Power On	0.153 W	TCM&OCM	5	3	60.00 %	0.021 W	L2 Cache	1	1	100.00 %	0.027 W
PMC	Power On	0.300 W	InterConnect	1	1	100.00 %	0.090 W	InterConnect	1	1	100.00 %	0.079 W
			PLLs	1			0.042 W	PLLs	1	1	100.00 %	0.043 W
			MIO	26	6	23.08 %	0.000 W	Total				0.647 W
			Total				0.194 W					

注释：“Power Status & Summary”（功耗状态和汇总）报告的 FPD 和 LPD 部分仅报告功耗域内的电源轨功耗，而不报告 PLL 功耗。

图 23：功耗

Supply	Voltage	Power
VCC_PSLP	0.880 V	0.153 W
VCC0_502	3.300 V	0.000 W
VCC_PSFP	0.880 V	0.603 W
VCC_PMC	0.880 V	0.145 W
VCCAU_X_PMC	1.500 V	0.103 W
VCC0_500	3.300 V	0.000 W
VCC0_501	1.800 V	0.000 W
VCC0_503	3.300 V	0.025 W
Total		1.029 W

片上网络、DDRMC 和 HBM

NoC 是 AMD Versal™ 架构连接的硬核块，可将互连结构和互连结构逻辑的某些方面替换为更窄的高速网络。它可在 PMC、DDRMC、HBM、CPM、PL、AI 引擎和 PS 之间提供连接。它还可对所连接的块提供配置功能。

功耗估算

本节旨在描述 NoC、DDRMC 和 HBM 设置。

图 24：功耗估算

The screenshot shows the Power Estimation tool interface. The 'NoC Settings' table is highlighted, showing the following data:

ID	Module Name	Data Path	Read Bandwidth (Mbps)	Write Bandwidth (Mbps)	Read Transaction Size (Bytes)	Write Transaction Size (Bytes)	Switches	VCC_SOC Power	User Comments
1	Vega_system_wrapif/vega_systemhier_NoC/ai_noc_5/instMCO_ddrc/instnoc_ddr4_phy/instu_ddrmc_msr	PMC_TO_DDRMC	125	156	64	64	7	0.005 W	
2	Vega_system_wrapif/vega_systemhier_NoC/ai_noc_4/instMCO_ddrc/instnoc_ddr4_phy/instu_ddrmc_msr	PMC_TO_DDRMC	125	156	64	64	7	0.005 W	
3	Vega_system_wrapif/vega_systemhier_NoC/ai_noc_3/instMCO_ddrc/instnoc_ddr4_phy/instu_ddrmc_msr	PMC_TO_DDRMC	125	156	64	64	7	0.005 W	
4	NOC_inst0	PS_TO_DDRMC	125	156	64	64	7	0.005 W	
5	NOC_inst1	PS_TO_DDRMC	125	156	64	64	7	0.005 W	
6	NOC_inst2	PS_TO_DDRMC	125	156	64	64	7	0.005 W	

NoC 页面分为 NoC 表和 DDRMC 表（对于启用 HBM 的器件，则还会包含 HBM 表）。请转至其中每个页面了解配置和功耗详细信息。

表 3: NoC 属性描述

属性	描述
NoC Clock (NoC 时钟)	NoC 的工作时钟频率 (MHz)。您可根据允许的范围、速度等级和所选电压来更改该属性。在 -3H 器件中, NoC 时钟的 Fmax 为 1080 MHz。
Data Path (数据路径)	选择当前正在估算其 NoC 功耗的主接口与从接口之间的数据路径。此条目含有下拉列表, 其中包含 Versal 器件中提供的不同主从 (如 PS、PL、AI 引擎、PMC、CPM 和 DDRMC) 之间约 17 条有效的数据路径。
Bandwidth (带宽)	该字段用于指定此特定数据路径的读写带宽要求。其单位为 MBps, 支持的最大带宽为 19200 MBps。
Transaction Size (传输事务大小)	指定读写接口之间通过 NoC 传输的流量数据的传输事务大小。此大小单位为“字节”, 针对读写传输事务支持的最大大小为 64 字节。
Switches (开关)	此字段将根据您的输入自动填充, 表示给定数据路径中所需的 NoC 可编程开关的平均数量。 导入 XPE 文件时, 该字段会报告每条对应路径中使用的 NoC 开关的实际数量。
Clock Buffers (时钟缓冲器)	此字段根据您的数据路径输入自动填充。它用于确定任一路径的时钟缓冲器的平均数量。它会按路径叠加, 最大值为器件中可用的路径总数。NoC 时钟功耗与所使用的时钟缓冲器数量直接成正比。

DDRMC Wizard

您可在“NOC-DDRMC”页面中使用 DDRMC Wizard 来配置 DDRMC。使用此向导创建 DDRMC 即可在 I/O 页面中填充所需的 DDR I/O。下图显示了“DDRMC Configuration”Wizard (DDRMC 配置向导)。

图 25: PDM DDRMC 配置

The PDM Ddrmc wizard allows the user to setup the hardened DDRMC interface including the, NoC paths required and the IO interface.
For the most accurate DDRMC & NoC power estimate use the NoC Compiler .xpe file output, this can be either imported back in to PDM or is used by Vivado Report Power.

The PDM Ddrmc wizard provides DRCs for the Fmax of the DDR interface assuming a component interface and based on the devices Voltage and speed grade selected. Depending on the use case or if a DIMM is used the Fmax maybe lower, refer to the device data sheet and the NoC Compiler for more detailed DRCs.

DDRMC Configuration

Instance Name

DRAM Type

Standard ECC

Channels Data Width

Data Rate Mb/s

Read Bandwidth MBps Write Bandwidth MBps Theoretical Max RD & WR BW MBps

Data Pattern Access Pattern

IO Settings

These READ ONLY settings are based on the DDR interface, bandwidth, data & address settings if needed these can be adjusted in the IO page after the DDRMC has being added to the design.

DQS Toggle DQ Toggle Addr Toggle

External Termination Capacitance pF

Noc Configuration

Select the expected NoC Endpoints for the DDRMC, the bandwidth will be divided equally between all endpoints, at least one endpoint must be selected. An accurate NoC configuration can be obtained from the NoC Compiler .xpe file, this can be imported back in to PDM or is used by Vivado Report Power

PMC PS PL CPM AIE

OK Cancel

DDRMC Wizard 中的参数包括：

- DRAM Type (DRAM 类型)：此参数用于提及所使用的 DRAM 的类型，类型有：DIMM、RDIMM 和 LRDIMM
- Standard (标准)：硬化的 DDR 存储器控制器仅支持 DDR4、LPDDR4 和 LPDDR4x 标准。
- Channels (通道数)：所用的 DDR 通道数量。值为 1 或 2。
- Data Rate (数据速率)：对应各标准允许的最大数据速率分别为（也取决于器件的速度等级）：
 - DDR4 - 3200 Mbps
 - LPDDR4 - 4266 Mbps
- Data Width (数据宽度)：可能的值包括：16、32 和 64。
- ECC：该字段表示 8 位纠错码。该字段可设置为“Enabled”（启用）或“Disabled”（禁用）。

- Bandwidth (Mbps) (带宽)：读写带宽以每秒兆字节数 (Mbps) 为单位。读写带宽总和 {Data Rate (Mbps)*Data Width} 不得超过总带宽。
- Endpoints (端点)：DDRMC Wizard 允许您为 DDMC 快速添加 NoC 连接，您可选择的端点包括 PMC、PS、CPM、AI 引擎和 PL 等。选择适用的端点时，DDRMC Wizard 中输入的带宽将在各端点之间均分。如果需要，可在 NoC 页面上更改此设置。

“Data Pattern” (数据模式) 和 I/O 模式用于自动设置 IP 设置，即，不同管脚、外部终端和电容的翻转率。这些值在“I/O”页面中进行更新，用于判定对应 DDR 标准的 I/O 功耗。

NoC 功耗估算流程

PDM 支持通过 2 种方式估算来自 AMD Vivado™ 的 NoC 功耗：

手动输入

适用于当 AMD Vivado™ 工具设计不可用或尚未就绪时开展的早期功耗估算。

1. 手动指定 NoC 数据路径配置 (如上所述) 以获取估算的功耗。
2. 如果设计中使用硬核 DDRMC，请使用 DDRMC Wizard 创建 DDR 接口。

注释：如果路径数量减少，则时钟缓冲器数量即每条路径的估算均值。建议尽可能从 Vivado 导入时钟缓冲器。

从 Vivado 导入

如果在 Vivado 中有 IP integrator 设计可用，并且其中采用 NoC 作为 IP，请使用此流程进行 NoC 功耗估算。在此流程中，Vivado 会生成 XPE 文件，其中包含 NoC 功耗估算所需的所有信息。

1. 在 Vivado IP integrator 设计中运行 validate_bd_design 时，生成的 NOC_Power.xpe 文件将包含所有 NoC 配置。
2. 为 NoC 设计生成 XPE 文件后，请使用 NoC/DDRMC 页面顶部提供的“Import NoC .xpe” (导入 NoC XPE 文件) 按钮将此 XPE 文件导入 PDM 工具。

此流程估算出的功耗比手动输入流程更准确。在此流程中，NoC 配置是使用实际 NoC 设计填充的，开关数和时钟缓冲器与设计中所使用的数值非常接近。

Versal HBM

在 Versal HBM 系列器件中提供了高带宽存储器 (HBM)。HBM 支持最高 3200 Mbps 的数据速率。HBM 通过 NoC 连接或者通过直接 PHY 连接来与器件相连。PL 可绕过 PHY 以实现软核存储器控制器或者用于支持芯片到芯片接口。旁路模式所占带宽约为 NoC 模式的一半。HBM 设置是在 NoC、DDRMC 和 HBMMC 页面上输入的。

HBM 输入可通过 HBMMC Wizard 来完成，或者可从 Vivado Report Power 或 NoC 编译器生成的 XPE 文件导入 HBM 设置。

默认情况下，HBMMC Wizard 会填充时钟，并为每个通道填充 2 个 NoC 端点。要获取最准确的 HBM 和 NoC 功耗估算，请使用来自 Vivado 的 NoC 编译器 XPE 文件输出文件，并将其导入 PDM。

图 26: HBM Wizard

HBM Wizard 会显示可用通道计数（基于所选器件）和存储器大小，以及已用通道计数和存储器大小（基于向导中填充的配置）。每个 MC 均可通过选中相应的复选框来进行配置。

- Number of channels to configure with MC 0 / MC 8 values（要利用 MC 0 / MC 8 的值进行配置的通道数）：配置完 MC 0 / MC 8 之后，请使用此下拉列表将 MC 0 / MC 8 设置复制到其他 MC 上。
- Data Rate（数据速率）：输入数据速率 (Mbps)。该字段允许的范围是 1000 到 3200 Mbps。
- Read/Write (%)（读/写百分比）：伪通道数据读写速率。该字段允许的范围是 0 到 100，读取 + 写入速率不应超过 100%。“Page Hit”（页面命中率）是根据这些速率来计算的。
- PHY_Active：PHY_Active 对应于是否在器件中启用 HBM 通道/MC。
- Stack Reset（栈复位）：相应的栈下的“Reset Stack to Defaults”（将栈复位为默认值）选项即可将其复位为默认值。

- HBM Summary and Environment (HBM 汇总和环境)：以 HBM 器件为目标时，“HBM Summary and Environment”表会显示在“Summary”页面的“Environment”（环境）表右侧。该表包含以静态功耗和动态功耗区分的 HBM 片上功耗。HBM Tj 覆盖选项可供使用，它与覆盖器件的“Junction Temperature”（结温）选项类似。选中“User Override ON”（开启用户覆盖）时，如果在“Environment”表中已覆盖器件结温，则会强制覆盖输入的 HBM 结温。

图 27: HBM Environment and Summary

HBM Summary and Environment		
▼ HBM On-Chip Power		0.572
Static Power		0.572
Dynamic Power		0.000
HBM Junction Temperature		50 C
HBM Tj Override	User Override ON ▼	50 C
Ambient Temperature		25 C
Effective Theta JA		0.000 C/W
Max. Junction Temperature		105 C

AI 引擎

AMD Versal™ 架构中引入的 AI 引擎阵列是为计算密集型或高复杂性 DSP 应用（如 5G 无线或机器学习算法）提供了解决方案。AI 引擎属于高性能 VLIW 矢量 (SIMD) 处理器，具备集成存储器和互连结构，以便与器件的二维阵列网络中连接在一起的其他 AI 引擎核进行通信。

Versal 自适应 SoC 的 PDM 中的“AI Engine”（AI 引擎）页面可供 AI Core 系列器件以及部分 AI Edge 系列器件使用。PDM 用于估算特定配置的 AI 引擎块的功耗。下图显示了 AI 引擎功耗接口。

图 28: AI 引擎功耗接口

Utilization			
Type	Available	Used	Utilization
Cores	400	200	50.00 %
PL	946	11	2.01 %
NoC	32	20	62.50 %

Power		
Supply	Voltage	Power
VCCINT	0.800 V	25.590 W
VCCAUX	1.500 V	0.029 W
Total		25.619 W

Dynamic Power	
Type	Value
AI Core	19.104 W
Memory	6.515 W

Frequency	
Type	Value
Frequency	1000.000 MHz

Interface Array Power		
Type	Number of Streams	Power
PL	11	0.032 W
NoC	20	0.182 W

AI Engine										
ID	Module Name	Cores	Kernel Type	Vector Load	Memory Banks	Memory R/W Rate	AI Engine Tiles	Interconnect Load	Vccint Power	User Comments
1			100 Int8	50.00 %	800	20.00 %	100	12.00 %	12.467	
2			100 Int8	50.00 %	800	20.00 %	100	12.00 %	12.467	

对于初期功耗估算，应提供 AI 引擎阵列的配置详细信息，例如，时钟频率、核数量、内核类型以及核的矢量负载平均百分比。受支持的内核类型为：Int8、Int16、Int32 和 Floating Point（浮点）。



提示：考量“Vector Load”（矢量负载）百分比时，请使用平均负载百分比。虽然内核可能占用 100% 的可用核运行时间，但仍应考量来自预取、存储器访问、NOP、串流和锁定停滞的开销。建议的范围为 30% 到 70%。

“Data Memory”（数据存储体）和“Interconnect Load”（互连负载）字段会根据所使用的 AI 引擎数量自动填充，并且可根据应用要求覆盖这些值。在每个 AI 引擎 tile 拼块中有 8 个存储体（每个存储体大小为 4 KB，总计每个拼块为 32 KB）。PDM 默认使用所有存储体，如果应用需访问的存储体数量较少，则可覆盖此设置。

“Memory R/W rate”（存储器读写速率）即每个 bank 的读/写存储器访问平均值。



提示：“Memory R/W rate”为平均值。默认情况下，PDM 使用 20%。该值建议范围为 10% 到 30%。

AI 引擎阵列接口允许访问其余 AMD Versal™ 自适应 SoC。可编程逻辑 (PL) 和片上网络 (NoC) 都有接口拼块，这些接口拼块以串流形式来表示。您可根据自己的设计应用来覆盖 PL/NoC 串流。互连字段均为只读，基于您的输入进行计算。PL 串流显示了 AI 引擎拼块第 1 行中可用的串流，并支持您指定使用的 64b PL 串流的数量。建议将 PL 串流设置为默认每使用 20 个 AI 引擎拼块即使用 14 条串流。但您也可以更改 PL 串流。当 PL 串流超出整个 AI 引擎阵列中可用串流数量时，您可看到 DRC（“Utilization”选项表中的单元格变为黄色）。

互连负载平均值采用固定值 12%，这对于功耗影响最小，可通过导入流程来覆盖此设置，如下一节中所述。时钟速度的最大范围取决于器件的速度等级，其中 1300 MHz 对应 -3H 等级。如需了解更多信息，请参阅《Versal 自适应 SoC AI 引擎架构手册》(AM009)。

导入流程

编译器流程

AMD Vitis™ 软件平台会生成 XPE 文件，可通过导入此文件来为 AI 引擎功耗估算提供准确的起点。导入后即可填充所有配置，并且估算所得功耗的准确性比使用手动输入模式估算的准确性更高。AMD Vitis™ 软件平台所生成的 XPE 文件（位于 Work/reports 目录中）导入后即可使特定内核类型的“Vector Load”（矢量负载）和“Memory R/W rate”（存储器读写速率）值趋向平均。例如，内核类型为 INT8 的所有核的矢量负载和读/写率趋向平均后所得的值将填充到单一行中。在导入流程中，“Interconnect Load”（互连负载）并非采用默认值 12%。而是改为由工具根据每个 AI 引擎拼块的串流利用率来进行计算。

注释：您可使用“Import”（导入）选项将此 XPE 文件导入“AI Engine”（AI 引擎）页面，如以上“AI 引擎功耗接口”所示。

基于 AI 引擎仿真的功耗估算

您可使用仿真流程来获取更准确的 AI 引擎功耗分析。运行 AI 引擎编译器流程后，即可运行 AI 引擎仿真器。请执行以下步骤以便对 AI 引擎执行基于仿真的功耗估算：

1. 运行 AI 引擎仿真器时，生成 VCD 文件。
2. 使用 vcdanalyze 工具通过以下命令创建更准确的 XPE 文件：vcdanalyze --vcd <vcdfile> --xpe
· <vcdfile> 是从 AI 引擎仿真器生成的 VCD 文件。
3. 将新生成的 XPE 文件导入 PDM 工具以便获取更准确的 AI 引擎功耗估算。
· 此 XPE 文件具有更准确的矢量负载和存储器读写速率数值。

执行基于仿真的 AI 引擎功耗估算前，需要考量以下要素：

- 当前在此流程中仅支持 VMAC 和 VMUL 等矢量指令。因此，仅当设计包含矢量指令时，才应使用仿真流程。如果 AI 引擎具有标量指令（这与 AI 引擎的期望用法不符），那么建议执行编译器导入流程。
- 在 VCD 文件上使用 vcdanalyze 实用工具时，请浏览至 VCD 文件所在位置，因为要生成 XPE 输出，工作目录也是必需的。
- 要在特定目录中创建 XPE 文件，请使用以下命令：

```
vcdanalyze --vcd <vcdfile> --xpe --xpe-dir <dir_name>
```

其中 <dir_name> 是期望在其中生成 XPE 文件的目录名称。

如需了解有关如何生成 VCD 文件和 vcdanalyze 工具的更多信息，请参阅《AI 引擎工具和流程用户指南》(UG1076)。

AI 引擎-ML

AI 引擎-ML 在 Versal AI Edge 和一些 AI Core 系列器件中均可供使用。计算拼块与 AI 引擎拼块相似，但具有针对 BFloat 数据类型的额外支持。AIE-ML 具有额外的共享存储器拼块，用于改善性能和数据迁移。

根据器件，整个 AI 引擎阵列上，按存储器拼块受支持的最大存储器总量最高可达 38 Mb。存储器拼块存储体具有 512 KB SRAM，排布于 16 个物理 bank 内，每个 bank 位宽均为 128 位，深度为 2K 码字。对于早期估算，PDM 会计算并自动填充可使用的平均存储体数量。

AIE-ML 支持导入从 Vitis AI 引擎 ML 编译器生成的 XPE 文件，这与 AI 引擎相似，但使用方式更准确且读写速率更高。

如需获取更多信息，请参阅《Versal 自适应 SoC AIE-ML 架构手册》(AM020)。

图 29: AI 引擎-ML

Type	Available	Used	Utilization	Power
Compute Cores	304	100	32.89 %	19.392 W
Memory Tile	38	20	52.63 %	3.256 W
PL Stream	392	10	2.55 %	0.035 W

Type	Value
AIE Core	19.392 W
Memory	3.653 W

Supply	Voltage	Power
VCCINT	0.800 V	23.015 W
VCCALIX	1.500 V	0.029 W
Total		23.044 W

Type	Value
Frequency	1000.000 MHz

Type	Number of Streams	Power
PL	10	0.035 W
NoC	10	0.290 W

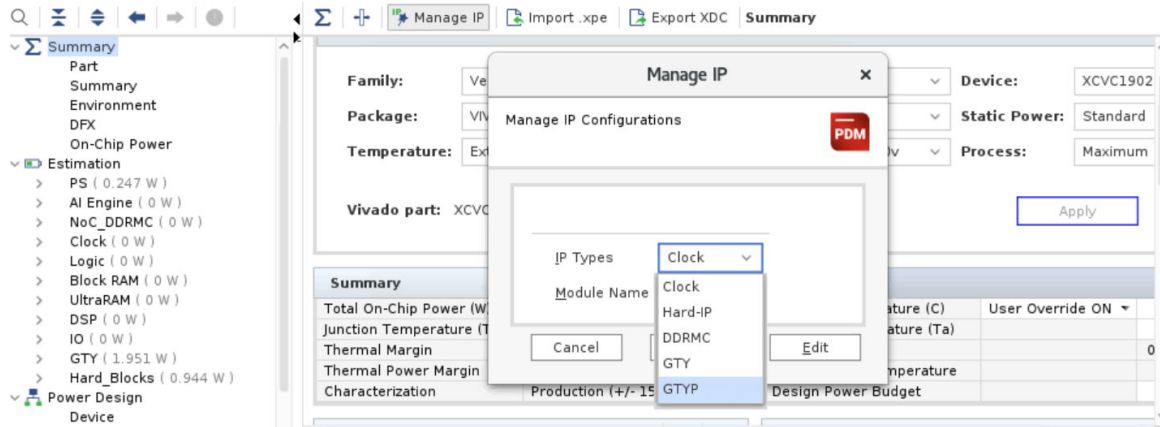
ID	Module Name	Compute Cores	Kernel Type	Vector Load	Memory Banks	Memory R/W Rate	Memory Tiles	Memory Tile Memory Banks	Memory Tile Memory R/W Rate	AIE - ML Compute Tiles	AIE - ML Mem Tiles	Interconnect Load	Vccint Power	User Comments
1		100	Int8	50.00 %	800	20.00 %	20	320	20.00 %	100	20	12.00 %	22.649	
2			Int8	50.00 %	0	20.00 %	0	0	20.00 %		0	12.00 %	0.000	

硬核 IP 块

在 AMD Versal™ 自适应 SoC 中有各种硬核 IP 块可供使用。其中大部分 IP 需要连接到 GT 的接口以获取 I/O 连接。您可在“Hard IP”（硬核 IP）页面上配置硬核 IP。通过向导即可加速硬核 IP 的生成，对于所有硬核 IP 都是如此。PDM Hard IP Wizard 会在硬核块中生成具有所需链路速度的 GT（GTY、GTYP 和 GTM），并在相应的页面中填充所生成的 GT。在每个向导的下拉列表中可选择 GT 的类型和链路速度。PDM 会基于 GT 的链路速度和用于硬核 IP 实例的总带宽来自动计算所需 GT 的数量。

IP 的编辑和删除也需要按向导操作，即无法手动覆盖各单元上的配置。选择“Manage IP”（管理 IP）部分即可在“Summary”（汇总）页面中编辑 IP 配置。您需要选择要修改的 IP 类型和模块名称，才能执行相应的更改。

图 30：硬核块



MRRMAC

AMD Versal 自适应 SoC Integrated 100G Multirate Ethernet MAC (MRRMAC) 属于高性能、低时延的自适应以太网集成硬核 IP，适用于多种客户联网应用。您可为最多 4 个端口配置此块，这些端口含独立 MAC 和 PHY 功能，符合 IEEE 标准 MAC 速率（从 10GE 到 100GE）。可配置下列模式：

- 1x100GE
- 2x50GE
- 1x40GE
- 4x25GE
- 4x10GE

下图显示了 MRRMAC Wizard 布局。GT 配置以不同颜色来高亮，用于解释 GT 链路。所有其他硬核块对于 GT 链路都采用相同布局。线速率和 GT 数由所需带宽来判定。

图 31：MRMAC Wizard

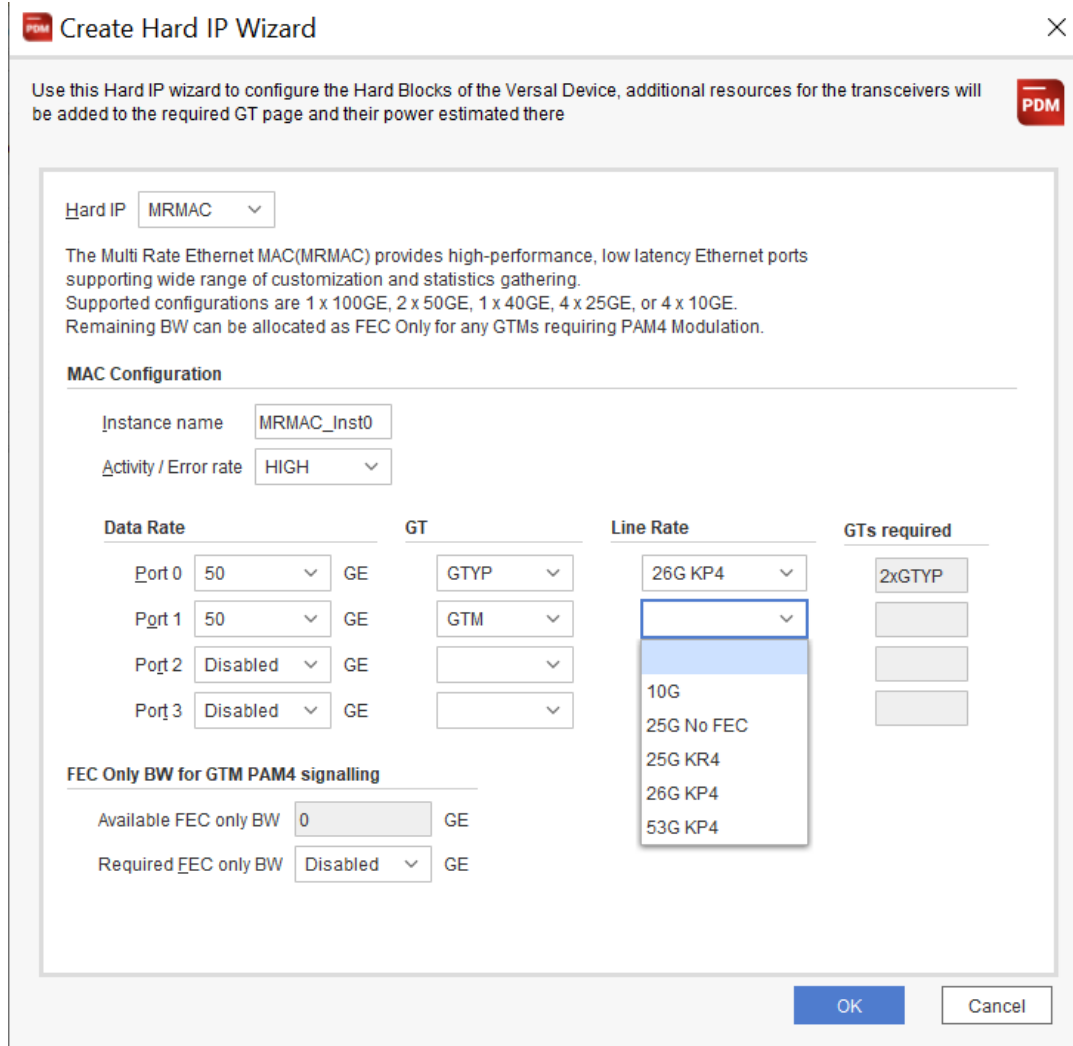


图 32：MRMAC

Σ + Create Hardip MRMAC

Use this tab to analyze Mrmac Power.

Utilization					Power		
Type	Used	Avail	Utilization	Power	Rail	Voltage	Active Power
MRMAC Blocks	2	8	25.00 %	1.488 W	VCCINT	0.800 V	1.488 W

Mrmac Configuration							
Inst	Activity / Error Rate	Port0	Port1	Port2	Port3	FEC Only BW	Power
MRMAC_Inst0	High	100G FEC	Disabled	Disabled	Disabled	Disabled	0.779 W
MRMAC_Inst1	High	50G FEC	50G FEC	Disabled	Disabled	Disabled	0.709 W
							0.000 W

DCMAC

DCMAC 块可通过固定配置向客户提供 100G、200G 和 400G 标准以太网功能组合（上限 600G）。它还可提供 600G 客户前端，通过灵活的动态配置为多达 60 条通道执行标准以太网处理，此配置可配合外部 FlexE shim 一起用于对进出物理收发器的数据进行排序。基于使用模型，PDM 支持以下模式：

- 3x200GE (含 RS-FEC)
- 1x400G (含 RS-FEC)
- 1 x200G (含 RS-FEC)
- 1x100G (含 RS-FEC)
- 1x100G (不含 RS-FEC)
- 6x100GE (含 RS-FEC)
- 6x100GE (不含 RS-FEC)

允许的配置包括：

- Independent MAC/PHY (独立 MAC/PHY)
- Independent MAC (TX only)/PHY (独立 MAC (仅限 TX) /PHY)
- Independent MAC (RX only)/PHY (独立 MAC (仅限 RX) /PHY)
- Coupled MAC+PHY (耦合 MAC+PHY)
- Coupled MAC+PHY (Wide-Axis) (耦合 MAC+PHY (宽 AXIS))

图 33：创建硬核 IP 向导

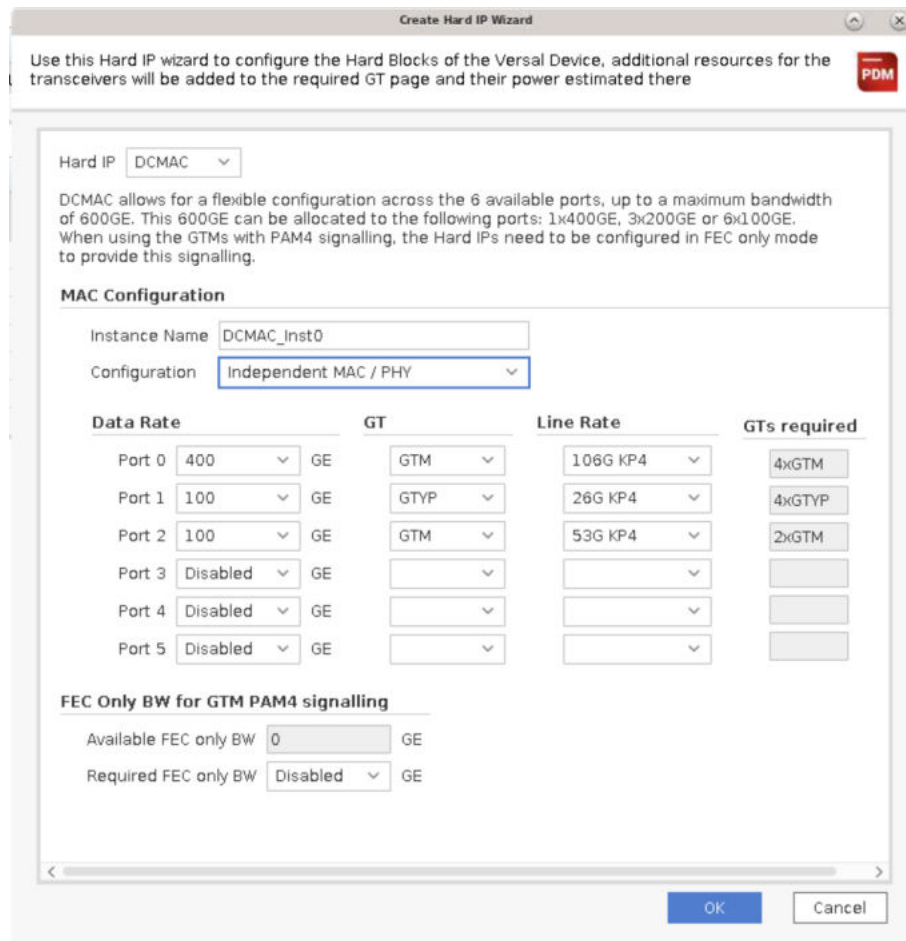


图 34: DCMAC

Use this tab to analyze Dcmac Power.

UTILIZATION					Power		
Type	Used	Avail	Utilization	Power	Rail	Voltage	Active Power
DCMAC Blocks	2	7	28.57 %	5.913 W	VCCINT	0.800 V	5.913 W

Dcmac Configuration									
Inst	Configuration	Port0	Port1	Port2	Port3	Port4	Port5	Fec Only (Fabric)	Power
DCMAC_Inst0	Independent MAC / PHY	400G FEC	100G FEC	100G FEC	Disabled	Disabled	Disabled	Disabled	3.120 W
DCMAC_Inst1	Coupled MAC+PHY	400G FEC	200G FEC	Disabled	Disabled	Disabled	Disabled	Disabled	2.793 W
									0.000 W
									0.000 W
									0.000 W
									0.000 W
									0.000 W

ILKN

Versal 自适应 SoC Interlaken 块包含高达 600 Gbps 的聚合带宽，支持采用不同用户接口宽度的各种端口和通道速率组合。Interlaken 块可连接到 12.5G、25.78125G 和 53.125G 收发器。针对 12.5G 和 25.78125G 收发器，支持最多 24 条通道。对于 53.125G 收发器，受支持的最大通道数量为 12。在某些配置中针对更高速度等级还支持超频模式（28.21G 和 56.42G）。纠错逻辑 (FEC) 对于支持 36G+ 收发器通道 (GTM) 而言是不可或缺的。Interlaken 协议的 RS-FEC 扩展将部分以太网第 91 条 FEC 功能用于 Interlaken，需将支持 100G 的 RS-FEC 块用于 2 条相邻的 36G+ 收发器通道。因此，与 36G+ 收发器有关的所有组合如下所述：

- 6x100G (含 RS-FEC)
- 12x53G (含 RS-FEC)
- 24x25G (不含 RS-FEC)
- 6x53G (含 RS-FEC)
- 12x25G (不含 RS-FEC)
- 6x25G (不含 RS-FEC)

图 35：创建硬核 IP 向导

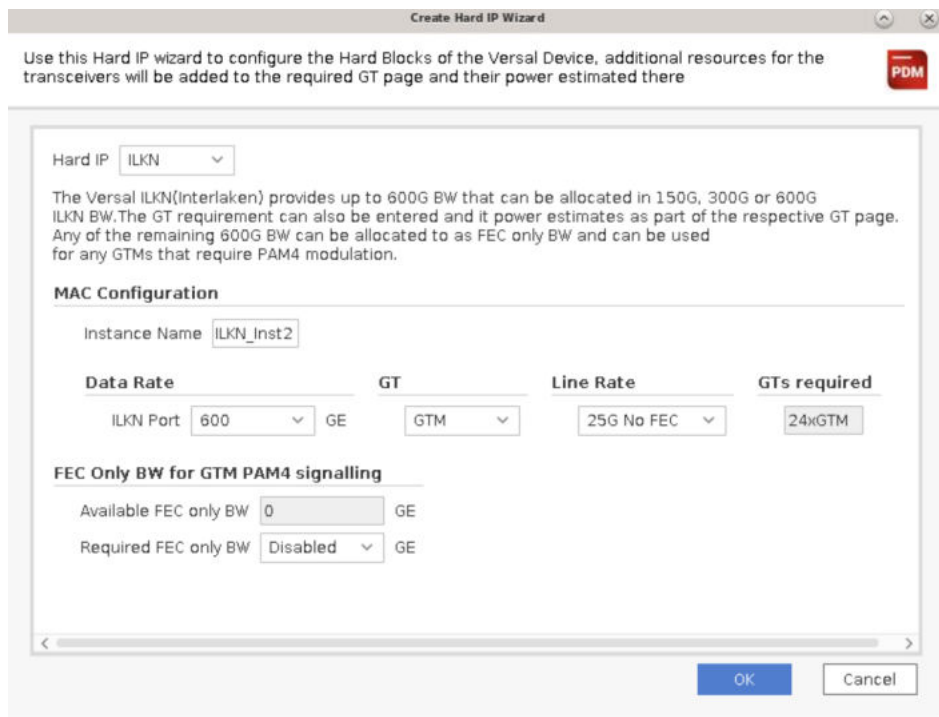
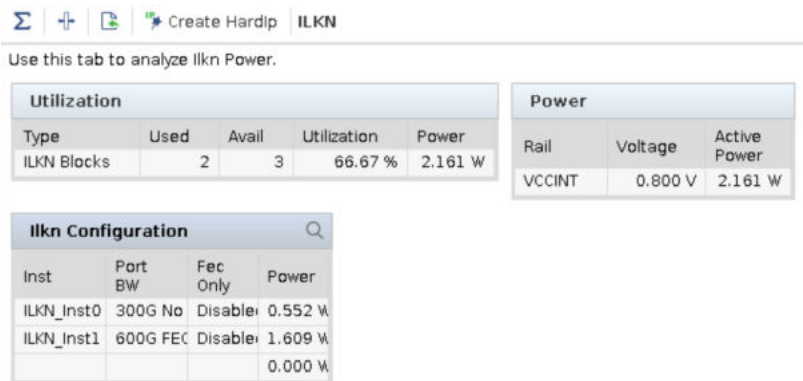


图 36：ILKN



CPM

Hard_Blocks 页面支持称为 CPM 的独立子系统。CPM 包含 A 类 PCIe (Gen4 x16) 控制器和必要的硬化的组件，以支持互连结构加速器充当加速器缓存一致性互连 (CCIX)。CPM 子系统功耗是根据使用的控制器数量来估算的。PDM 允许选择 PCIe 配置，例如，链路速度和宽度。该控制器支持 Gen1、Gen2、Gen3、Gen4 PCIe 模式（最高 x16 条通道）。它还支持仅限 CCIX 的 ESM 模式（20 Gbps 或 25 Gbps）。默认情况下，PDM 将 PCIe 的 A0 核用于 CPM，根据 CPM 使用模型，PDM 支持 5 种不同 CPM 模式。这些模式如下所述：

- CCIX
- CCIX_L2 - (L2 cache)
- PCIE_Controller_Only

- PCIE_Controller_DMA
- PCIE_Controller_Bridge

PCIe® Core A1 不支持 DMA 和 Bridge 模式。

图 37：创建硬核 IP 向导

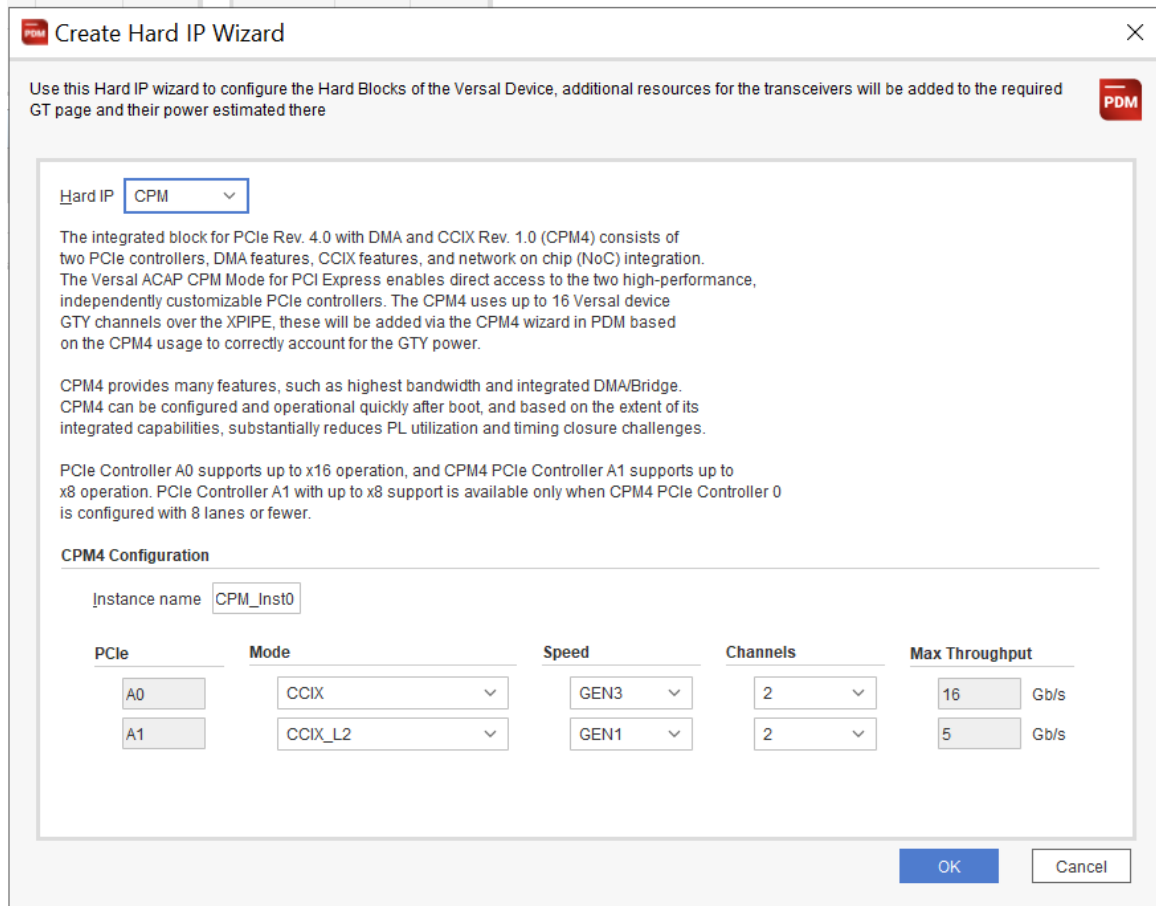
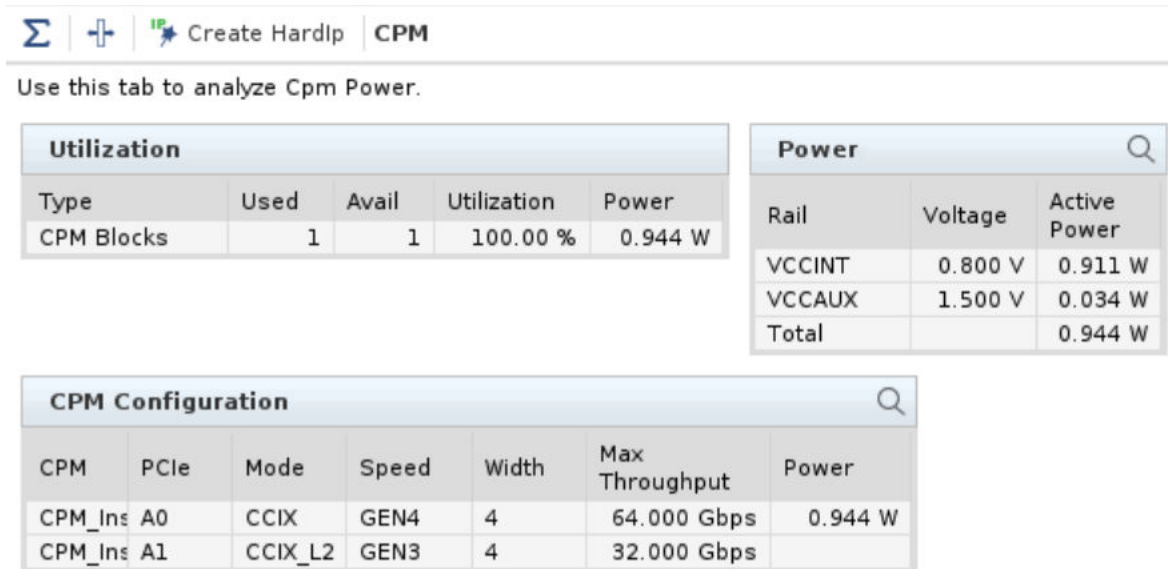


图 38: CPM



CPM5

CPM5 包含 A 类第 5 代 PCIe® 控制器和 2 个 DMA。CPM5 还包含必要的硬化的组件，以允许互连结构加速器通过 PCIe 传输充当 CCIX 加速器。像 CPM 一样，CPM5 子系统功耗是基于所用控制器的数量和相应的 PCIe 配置来估算的。该控制器支持 Gen1、Gen2、Gen3、Gen4 和 Gen5 PCIe 模式，最高 x16 条通道（并非所有通道速度都支持 x16 通道宽度）。它还支持仅限 CCIX 的 ESM 模式（20 Gbps 或 25 Gbps）。在 PDM 中，PCIe 的 A0 和 A1 核均可单独配置。基于 CPM 的使用模型，支持 4 种 CPM 模式。这些模式如下所述：

- CCIX
- CCIX_L2 - (L2 cache)
- PCIE_Controller_Only
- PCIE_Controller_DMA/Bridge

图 39：创建硬核 IP 向导

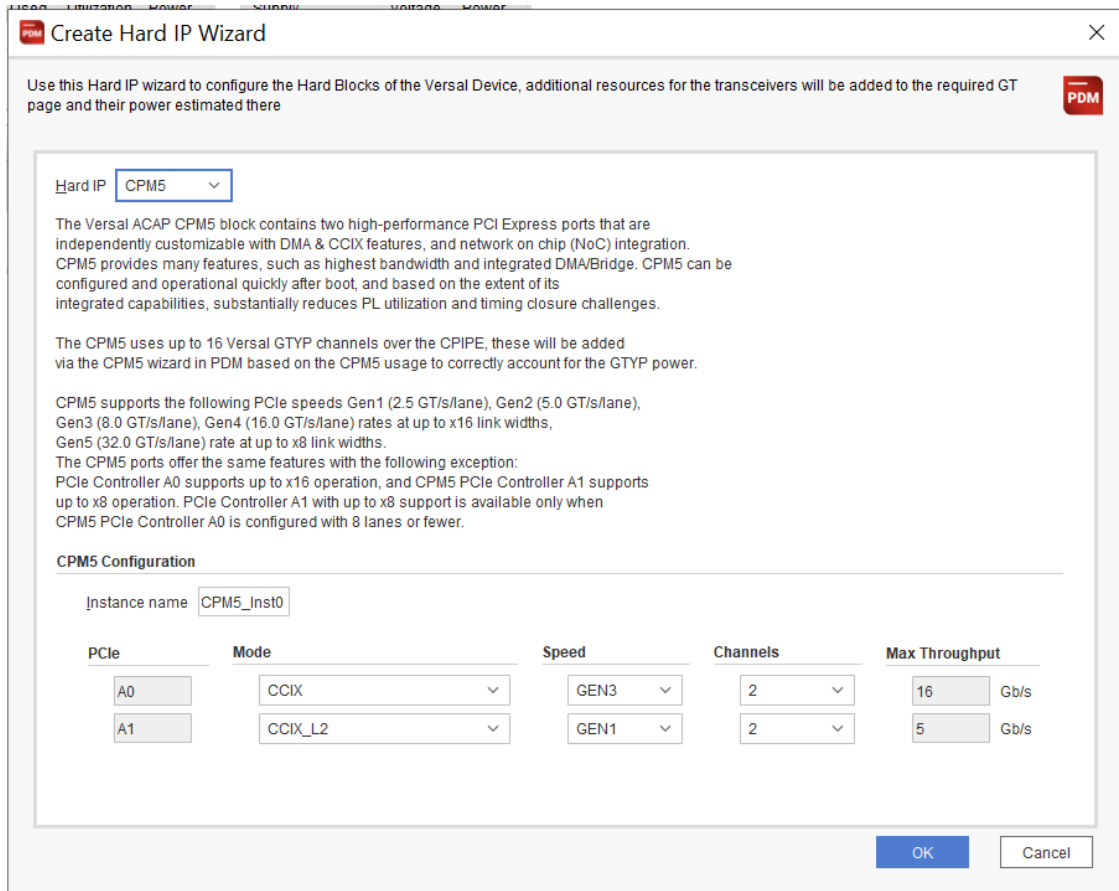


图 40：CPM5

Σ + IP Create Hardip CPM5

Use this tab to analyze Cpm5 Power.

Type	Used	Avail	Utilization	Power
CPM5 Blocks	1	1	100.00 %	1.641 W

Rail	Voltage	Active Power
VCCINT_CPM5	0.700 V	1.608 W
VCCAUX	1.500 V	0.033 W
Total		1.641 W

CPM5	PCIe	Mode	Speed	Width	Max Throughput	Power
CPM5_Inst0	A0	CCIX	GEN5	4	128.000 Gbps	1.641 W
CPM5_Inst1	A1	CCIX_L2	GEN4	2	32.000 Gbps	

VDU

视频解码器单元 (VDU) 具有 2 个或 4 个视频解码器引擎 (VDE)，其中包含支持 H.264 标准和 H.265 标准的解码或解压函数。每个 VDE 均可单独使用，或者也可以相结合来实现更高的吞吐量。

对于 PDM 中的 VDU，不提供向导支持。

图 41: VDU

Utilization					Power		
Type	Used	Avail	Utilization	Power	Rail	Voltage	Active Power
VDU Blocks	0	4	0.00 %	0.000 W	VCC_SOC	0.800 V	0.000 W

VDU Configuration									
VDU	Powered State	Coding Standard	Resolution	Frames Per Second	Number of Streams	Frame Type	Color Format	Color Depth	Power
	-	-	-	-	-	-	-	-	0.000 W
	-	-	-	-	-	-	-	-	0.000 W
	-	-	-	-	-	-	-	-	0.000 W
	-	-	-	-	-	-	-	-	0.000 W

PCIE

AMD Versal™ 自适应 SoC 器件具有专用 PCIe® 核，位于 MAC 列中，显示为“PCIe”。它是不含嵌入式 DMA 引擎的独立 Gen4x8 核，并支持 Gen1、Gen2、Gen3 和 Gen4 线速率。链路宽度为 x1、x2、x4、x8 或 x16（仅限 Gen1-3 速度才支持 x16 配置）。PCIe® 块、块 RAM/UltraRAM、GT 和互连结构时钟设置能实现 3 层 PCI Express 协议：物理层、数据链路层和传输事务层。如需了解更多信息，请参阅《Versal 自适应 SoC Integrated Block for PCI Express LogiCORE IP 产品指南》(PG343)。

Versal Premium 器件支持 PCIe5，它可支持最高 Gen5x4 数据速率。

PCIe/PCIe5 硬核块可从“PCIe”页面或“GTY/GTYP”页面下的“Create GTY/GTYP Wizard”（创建 GTY/GTYP 向导）进行填充。

图 42: PCIe 视图

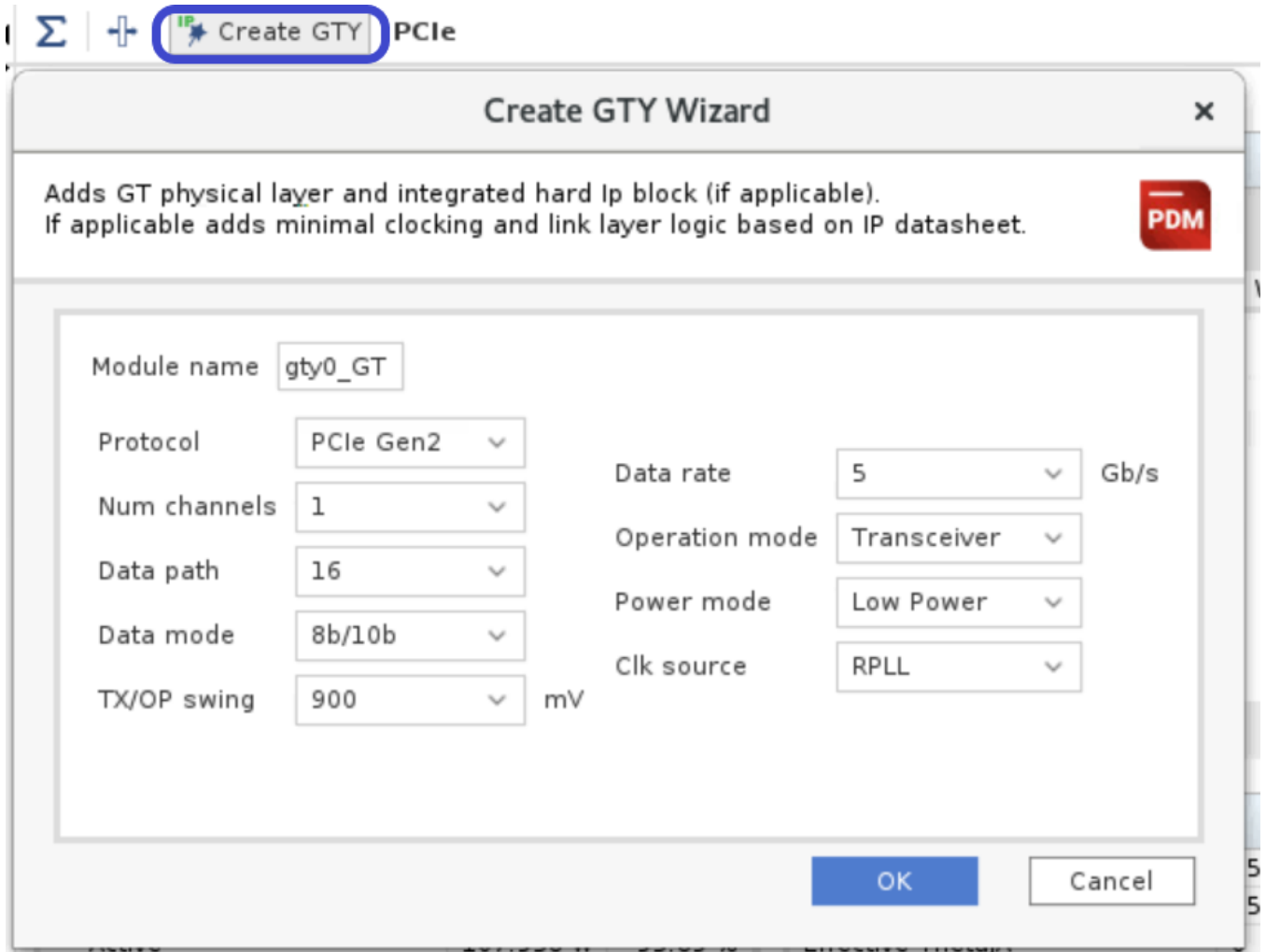


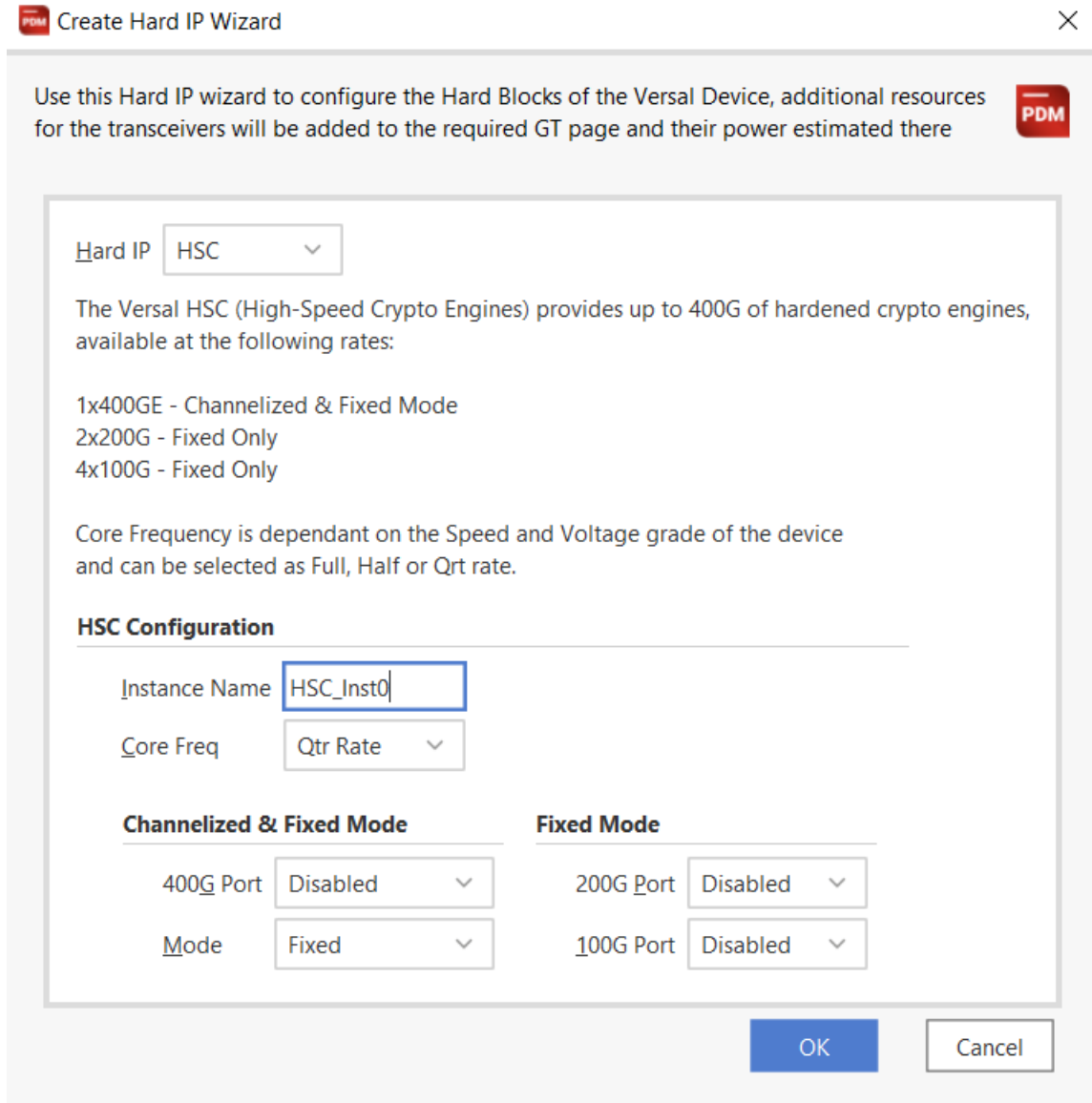
图 43: PCIe 配置

PCIe Configuration					
ID	PCIe	Mode	Channels	Max Throughput	Power
1	gtyo_Gt	GEN2	2	10.000 Gbps	0.124 W
2	gt2_Gty	GEN4	1	16.000 Gbps	0.199 W
3				0.000 Gbps	0.000 W
4				0.000 Gbps	0.000 W

HSC

High Speed Cryptography (HSC) 硬核 IP 块可为使用各种密码的单一或多种并发数据串流提供高性能加密/解密。HSC 是 Versal 器件（包括旨在部署在网络和数据中心应用内的器件）中存在的独立子系统。因此，由 HSC 提供的数据串流的片外源和目标通常通过业界标准的网络和数据中心接口（例如，OTN/FLexE、以太网和 PCI Express）来连接。HSC 的主要用途是用于加密服务，以支持通过数据中心互连 (DCI) 安全传输信息。HSC 块还可选择在执行加密功能的同时收集统计数据。

图 44：HSC Wizard



电源设计

AMD Versal™ 自适应 SoC 的 PDM 中的“Power Design”（电源设计）页面经过重新设计，支持您使用正确的排序和容量设计出经确认的完整供电解决方案。此页面上包含以下 5 个主要部分：

1. Device Overview（器件概述）
2. Power Summary（功耗汇总）
3. Power Rail Consolidation（电源轨整合）
4. Power Supply Design（供电设计）
5. Power Design（电源设计）

器件概述

“Power Design”（电源设计）的“Device Estimation Overview”（器件估算概述）部分显示了当前所选的器件，包括电压、静态筛选和温度等级等。供电方案应按最差情况下的功耗估算来设计，即 PS 域和 PL 域都处于完全活动状态下的“maximum”工艺。

图 45：器件概述

Device	
Option	Selection
Family	Versal AI Core Series
Device Grade	XC
Device	XCVC1902
Package	VIVA1596
Speed	2
Static Power	S
Temperature	E
VCCINT Voltage	MP
Process	Typical

工艺

工艺可在“Summary”（汇总）页面上进行更改。当前，PDM 不允许从“Power Design”更改工艺。



建议：电源应针对最差情况来指定。这表示必须设置“Maximum”工艺并且必须根据热仿真结果来设置“Junction temperature”（结温）。如果此设置不可用，建议将“Junction temperature”设置为器件温度范围的最大值。

Power Summary

“Power Summary”（功耗汇总）部分显示了总功耗并将其细分为静态功耗和动态功耗，如下图所示。

图 46: Power Summary

Power Summary	
Option	Selection
Total (W)	2.875
Static (W)	2.260
Dynamic (W)	0.616

电源轨整合

PDM 基于所选配电解决方案执行电源轨整合。PDM 支持以下两项配电解决方案选择。

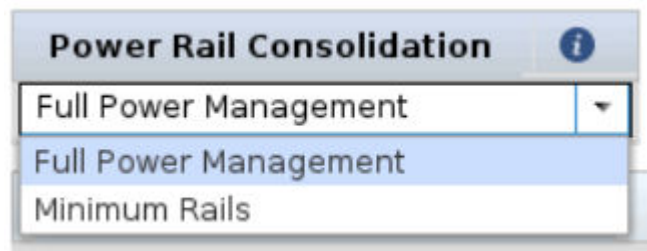
Full Power Management (全功耗管理)

这是建议的解决方案。它支持全功耗管理，即，可按需对每条电源轨进行按顺序开关以降低功耗。

Minimum Power Rails (最少电源轨)

此模式支持整合电源供电，同时使每条电源轨的所需顺序和电压规格保持不变。

图 47: Power Rail Consolidation

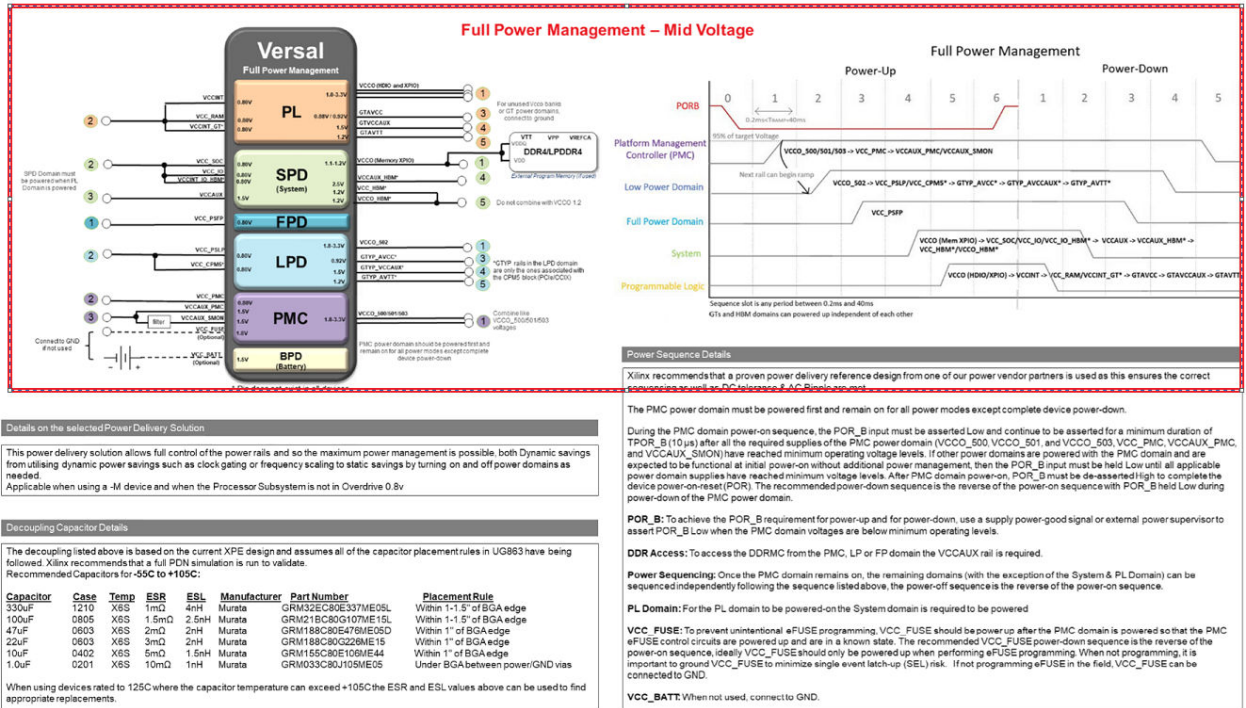


基于电源轨整合选项，下图可改为基于目标器件来显示连接信息。在下图中提供了有关电源轨整合的更多信息。

图 48：电源轨整合的供电设计

Supply	Voltage	Min Voltage	Max Voltage	Step Load %	Static (A)	Dynamic (A)	Total (A)	Powerup (A)	Power Rail Group
Power Design									
Platform Management Controller(PMC)									
VCC_PMC	0.800	0.775	0.825	33.00 %	0.011	0.145	0.156	0.311	0V80_PMC (Digital)
VCCO_503	1.800	0.000	0.000	100.00 %	0.000	0.004	0.004	0.300	1V8_PMC_IO (Digital)
VCCO_500	1.800	0.000	0.000	100.00 %	0.000	0.000	0.000		1V8_PMC_IO (Digital)
VCCO_501	1.800	0.000	0.000	100.00 %	0.000	0.000	0.000		1V8_PMC_IO (Digital)
VCCAUX_PMC	1.500	1.425	1.575	100.00 %	0.002	0.064	0.067	0.202	1V5 (Digital)
VCCAUX_SMON	1.500	1.425	1.575	100.00 %	0.004	0.000	0.004	0.104	1V5 (Digital)
VCC_FUSE	1.800	1.710	1.890		0.000	0.000	0.000		
Low Power Domain (LPD)									
VCC_PSLP	0.800	0.775	0.825	33.00 %	0.021	0.000	0.021	0.221	0V80_PSLP (Digital)
VCCO_502	1.800	0.000	0.000	100.00 %	0.000	0.000	0.000	0.300	1V8_PS_IO (Digital)
Full Power Domain (FPD)									
VCC_PSFP	0.800	0.775	0.825	33.00 %	0.025	0.000	0.025	1.525	0V80_PSFP (Digital)
System Auxiliary									
VCCAUX	1.500	1.425	1.575	33.00 %	1.328	0.014	1.342	3.328	1V5_VCCAUX (Digital)
System Core									
VCC_SOC	0.800	0.775	0.825	33.00 %	0.205	0.000	0.205	3.205	0V80_SOC_IO (Digital)
VCC_IO	0.800	0.775	0.825	33.00 %	0.029	0.000	0.029	0.229	0V80_SOC_IO (Digital)
Programmable Logic Core									
VCCINT	0.800	0.775	0.825	25.00 %	3.470	0.008	3.478	9.413	0V80_VCCINT_RAM (Digital)
VCC_RAM	0.800	0.775	0.825	33.00 %	0.012	0.000	0.012	0.272	0V80_VCCINT_RAM (Digital)
Programmable Logic IO									
VCCO 1.5V	1.500	1.425	1.575	100.00 %	0.000	0.000	0.000		1V5_VCCO (Digital)
VCCO 1.35V	1.350	1.283	1.417	100.00 %	0.000	0.000	0.000		1V35_VCCO (Digital)
VCCO 1.2V	1.200	1.140	1.260	100.00 %	0.000	0.000	0.000		1V2_VCCO (Digital)
VCCO 1.1V	1.100	1.045	1.155	100.00 %	0.000	0.000	0.000		1V1_VCCO (Digital)
VCCO 1.0V	1.000	0.950	1.050	100.00 %	0.000	0.000	0.000		1V0_VCCO (Digital)
VCCO 3.3V	3.300	3.135	3.465	100.00 %	0.000	0.000	0.000		3V3_VCCO (Digital)
VCCO 2.5V	2.500	2.375	2.625	100.00 %	0.000	0.000	0.000		2V5_VCCO (Digital)
VCCO 1.8V	1.800	1.710	1.890	100.00 %	0.000	0.000	0.000		1V8_VCCO (Digital)
Programmable Logic GTY									
MGTYAVCC	0.880	0.854	0.906	70.00 %	0.000	0.000	0.000		0V88 (Analog)
MGTYAVTT	1.200	1.164	1.236	100.00 %	0.000	0.000	0.000		1V2 (Analog)
MGTYVCCAUX	1.500	1.455	1.545	70.00 %	0.000	0.000	0.000		1V5 (Analog)
Battery Power Domain (BPD)									
VCC_BATT	1.500	1.425	1.575		0.000	0.000	0.000		

图 49：电源轨整合的供电和供电顺序



提示：每个器件都有 2 个选项：“Full Power Management”和“Minimum Rails”。这些选项会根据目标器件的 VCCINT 电压自动更改，或者在低电压器件中使用 PS 过驱动时，也会更改相应选项

电源设计表

给定器件的所有必需电源轨都显示在电源轨表中。这些电源轨根据其相应的功耗域（PMC、LPD、FPD、系统、PL 和电池）来加以分组。

提示：每个域的颜色都与供电解决方案的颜色相匹配（如下图所示），并且在所有 AMD 文档中都采用一致的颜色来表示。

电源轨表分为以下几列：

- Voltage（电压）：此列仅供参考，但 VCCO_500、VCCO_501、VCCO_502 和 VCCO_503 例外。此处电压只能通过更改供电设计表中的调节器电压来更改。对于 50x bank，可在此处选择期望的电压。
- Min Voltage, Max Voltage（最低电压，最高电压）：这两列显示的是每条电源轨允许的最低和最高电压范围。

提示：建议电压保留典型 (TYP) 值，因为这意味着供电设计中包含了覆盖交流纹波和直流容差的平衡的正负范围。

- Step Load（阶跃负载）：阶跃负载是给定电源轨上动态电流的变动最大百分比。

提示：仅限 VCCINT 阶跃负载可更改，因为它影响所需的去耦电容数量，其他电源轨的阶跃负载均为固定值。

- Static, Dynamic, Total (Ready Only) (静态电流、动态电流、总电流) (只读)：这是基于电流估算所得的每条电源轨的电流要求。它分类为“Static” (静态)、“Dynamic” (动态)、“Total” (总计) 和“Powerup Current (A)” (上电电流)。仅当工艺设置为“Maximum”时，才显示上电电流。
- Power Rail Group (电源轨组) (只读)：这表示基于所选供电解决方案的电源轨分组方式。属于同一电源轨组的所有电源轨均由“Power Supply Design” (供电设计) 表中的同一个组进行供电。

供电设计

供电设计表用于显示基于当前估算来正确设计电源和电源去耦网络所需的所有信息。

图 50: Power Supply Design

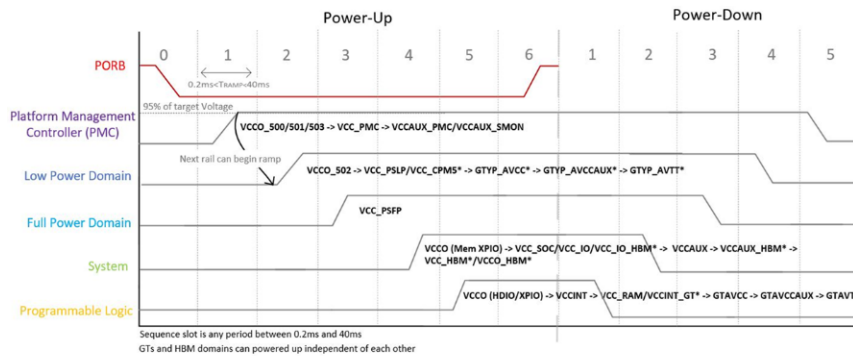
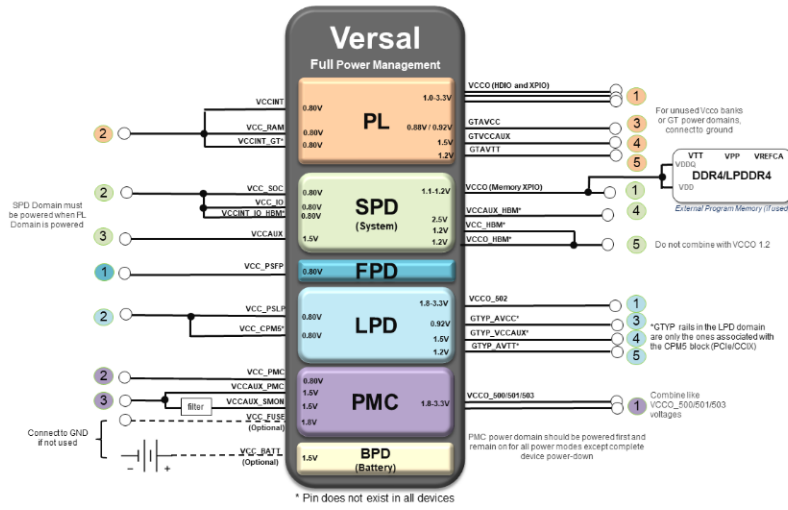
Power Rail Group	Schematic Name	Power Domain/	Voltage	AC Ripple*	DC*	Dynamic	Step Current	Total	Power Delivery	Power Delivery	330uF-1210	100uF-0805	47uF-0603	22uF-0603	10uF-0402	1.0uF-0201
1V8_PMC_IO (Digital)		PMC/1		4%	1%	0.004 A	0.004 A	0.300 A								
0V80_PMC (Digital)		PMC/2	0.800 V	+17mV	1%	0.145 A	0.048 A	0.311 A								
1V5 (Digital)		PMC/3	1.500 V	2%	1%	0.064 A	0.064 A	0.306 A								
1V2_VCCO (Digital)		SYSTEM/1	1.200 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V1_VCCO (Digital)		SYSTEM/1	1.100 V	4%	1%	0.000 A	0.000 A	0.000 A								
0V80_SOC_IO (Digital)		SYSTEM/2	0.800 V	+17mV	1%	0.000 A	0.000 A	3.434 A			1					
1V5_VCCAUX (Digital)		SYSTEM/3	1.500 V	2%	1%	0.014 A	0.005 A	3.328 A								
1V8_PS_IO (Digital)		LPD/1		4%	1%	0.000 A	0.000 A	0.300 A								
0V80_PSLP (Digital)		LPD/2	0.800 V	+17mV	1%	0.000 A	0.000 A	0.221 A								
0V80_PSPF (Digital)		FPD/1	0.800 V	+17mV	1%	0.000 A	0.000 A	1.525 A								
3V3_VCCO (Digital)		PL1	3.300 V	+2%/4%	1%	0.000 A	0.000 A	0.000 A								
2V5_VCCO (Digital)		PL1	2.500 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V8_VCCO (Digital)		PL1	1.800 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V5_VCCO (Digital)		PL1	1.500 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V35_VCCO (Digital)		PL1	1.350 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V2_VCCO (Digital)		PL1	1.200 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V1_VCCO (Digital)		PL1	1.100 V	4%	1%	0.000 A	0.000 A	0.000 A								
1V0_VCCO (Digital)		PL1	1.000 V	4%	1%	0.000 A	0.000 A	0.000 A								
0V80_VCCINT_RAM (Digital)		PL2	0.800 V	+17mV	1%	0.008 A	0.002 A	9.685 A			1	1				
0V88 (Analog)		PL3	0.880 V	+17mV	1%	0.000 A	0.000 A	0.000 A								
1V5 (Analog)		PL4	1.500 V	10mV pk-pk	2%	0.000 A	0.000 A	0.000 A								
1V2 (Analog)		PL5	1.200 V	10mV pk-pk	2%	0.000 A	0.000 A	0.000 A								

- Power Rail Group (电源轨组) (只读)：基于器件选择和电源轨整合，显示所需的电源轨组。
- Schematic Name (板级原理图名称)：允许您为每个电源轨组添加自己的板级原理图参考名称。此信息可导出至 XML 文件，并配合电源供应商或板级原理图检查表一起使用。
- Power Domain/Sequence (Read Only) (功耗域/上电和下电顺序 (只读))：显示调节器所属的功耗域，及其在上电和下电顺序中的位置。



提示： 断电顺序与上电顺序相反。PDM 可基于所选电源轨整合选项来为 PMC 和其他域提供所有顺序信息。

图 51：功耗域及上电和下电顺序



- Voltage (电压)：允许您更改电源轨的电压。此处执行的任意更改都会影响电源表中连接到此电压的所有电源。



提示： 建议电压保留典型 (TYP) 值，因为这意味着供电设计中包含了覆盖交流纹波和直流容差的平衡的正负范围。仅当电压设置为 TYP 值时，交流纹波和直流容差值才适用，如果调整电压，则需要重新计算交流纹波和直流容差值要求以确保电源轨保持处于允许的范围内。

- AC Ripple (交流纹波)：显示每个电源轨分组上允许的交流纹波。
- DC Tolerance (直流容差)：显示调节器输出允许的直流容差
- Dynamic (A) (动态)：Versal 自适应 SoC 电源轨的动态电流总和，由电源轨根据当前估算来供电。
- Step Current (A) (阶跃电流)：Versal 自适应 SoC 电源轨的阶跃负载总和，由电源轨根据当前估算来供电。
- Total (A) (总计)：电源轨的电流总量要求，即由电源轨供电的 Versal 自适应 SoC 电源轨电流总和。如果“Power ON Current” (上电电流) 大于工作电流，则显示 PoC 要求。
- Power Delivery Supply Current (A) (供电电流)：允许您输入每条电源轨的供电电流规格以供确认。输入每条电源轨的电流时，将根据当前电流估算对其进行确认。为了获得最准确的结果，请确保估算结果为最新状态。如果可能，则使用从 Report_Power 导入的结果进行确认。

- Power Delivery Margin (供电裕度)：允许您在输入每个电源轨组的电流时确认所选的供电量。PDM 会确认并指示供电解决方案裕度。可使用特性等级来确保将裕度添加到动态要求中。计算方法为：静态要求 + (动态要求 + 特性等级)。

去耦电容表

去耦电容表可基于针对 VCCINT 输入的电流估算结果和阶跃负载来指示所需的去耦。该表可列出 6 种类型的电容器。以下是每种电容器的尺寸和自谐振频率：

- 330 μ F-1210：典型的自谐振频率为 0.3 MHz。
- 100 μ F-0805：典型的自谐振频率为 0.5 MHz。
- 47 μ F-0603：典型的自谐振频率为 0.8 MHz。
- 22 μ F-0603：针对收发器为必需。典型的自谐振频率为 1.0 MHz。
- 10 μ F-0402：典型的自谐振频率为 2 MHz。
- 1.0 μ F-0201：典型的自谐振频率为 10 MHz。



提示：建议执行 PDN 仿真以确认去耦电容器数量和布局与已完成的 PCB 设计相符。

导出功耗约束

当 PDM 完成功耗估算后，您可从 PDM 导出功耗约束。这些 XDC 约束用于按指定功耗和电流预算来指引 AMD Vivado™ 或 AMD Vitis™ 工具完成相应操作，并报告所有违例。此导出的 XDC 文件包含以下信息：

1. 器件工艺
2. 结温
3. 环境温度
4. 设计功耗预算
5. 对应指定电源轨整合的电源电压和电流预算

图 52：XDC 文件

```
#####
# FPM Version: 2022.2
# FPM Release Date: Oct 2022
# Family Versal HBM Series
# Device: KCVH1582
# Package: V2VA3697
# Speed Grade: 2
# Temp Grade:
# Project: project_2
# XDC Generation Date: Tue May 9 09:13:28 2023 GMT
# Thermal Constraints to Apply: Force Junction Temp (Tj)
# Power Rail Consolidation selection: Full Power Management
#####

set_operating_conditions -design_power_budget 20
set_operating_conditions -process Maximum
set_operating_conditions -junction_temp 14.271

#Power Rail generation based on the user setting of
# Generates Power Rail Grouping constraints for each regulator as specified in the Power Supply Design Table, if schematic name is left blank the power rail group name will be used
# If the Power Delivery Supply current is blank a default of 0.1A will be applied, this should be updated to reflect the Power Delivery use on the board.
create_power_rail 1V8_FMC_IO_Digital -power_sources {VCC0_500 VCC0_500 VCC0_501}
set_operating_conditions -supply_current_budget {1V8_FMC_IO_Digital 0.1} -voltage { 1V8_FMC_IO_Digital 1.8 }

create_power_rail 0V90_FMC_Digital -power_sources {VCCFMC}
set_operating_conditions -supply_current_budget {0V90_FMC_Digital 0.1} -voltage { 0V90_FMC_Digital 0.9 }

create_power_rail 1V5_Digital -power_sources {VCCAUX_FMC VCCAUX_SMON}
set_operating_conditions -supply_current_budget {1V5_Digital 0.1} -voltage { 1V5_Digital 1.5 }

create_power_rail 0V90_SOC_IO_Digital -power_sources {VCC_SOC VCC_IO VCCINT_IO_HBM}
set_operating_conditions -supply_current_budget {0V90_SOC_IO_Digital 0.1} -voltage { 0V90_SOC_IO_Digital 0.9 }

create_power_rail 1V5_VCCAUX_Digital -power_sources {VCCAUX}
set_operating_conditions -supply_current_budget {1V5_VCCAUX_Digital 0.1} -voltage { 1V5_VCCAUX_Digital 1.5 }

create_power_rail 2V5_VCCAUX_HBM -power_sources {VCCAUX_HBM}
set_operating_conditions -supply_current_budget {2V5_VCCAUX_HBM 0.1} -voltage { 2V5_VCCAUX_HBM 2.5 }
```

PL 功耗管理

PL 功耗管理仪表板支持早期“假设”功耗节省分析，例如，“Clock Gating”（时钟门控）、“Frequency Scaling”（频率缩放）、“Logic Gating”（逻辑门控）等。这有助于您了解在设计功耗估算早期阶段中值得注意的部分“Power Management”（功耗管理）功能特性。

在“Power management”仪表板中会自动添加设计内的所有时钟。

图 53：Power Management

For information on Power Management modes of the Processor Subsystem, visit [here](#)

The Power estimates here are scaled version of the power from the estimation sheets and so may have more variation than the power models characterization listed. These should be used for power management.

Additional savings may also occur if dynamic power saving results in reduction of Junction Temperature (Tj) in turn reducing Static Power which is not modelled currently.

Note: This page is intended for What-if analysis and any changes to variables here will not modify nor re-run any of the wizards or settings in the main estimation pages.

Summary of Savings			
Mode	Power (W)	Savings (W)	Savings (%)
Current Design		25.371	
Only Clock Gating	23.807	1.564	6.17 %
Only Frequency Scaling	14.202	11.169	44.02 %
Only Logic Gating	24.436	0.935	3.69 %

Power Saving in Total design, based on Power management inputs, All the modes are mutually exclusive

Clock Domain Power						
ID	Clock	Clock Gating	Min Frequency(Freq)	% of Logic gated	Clock Net Power (W)	Domain Power (W)
1	500.000 MHz (clk1)	1	500.000	0.00 %	0.987	1.564
2	550.000 MHz (clk2)	0	550.000	100.00 %	0.534	1.470
3	600.000 MHz (clk3)	0	300.000	0.00 %	12.019	22.337
4		0		0.00 %	0.000	0.000
5	Clock Name & Frequency used in design	0		0.00 %	0.000	0.000
6		0		0.00 %	0.000	0.000
7		0		0.00 %	0.000	0.000
8		0		0.00 %	0.000	0.000
9		0		0.00 %	0.000	0.000
10		0		0.00 %	0.000	0.000
11		0		0.00 %	0.000	0.000
12		0		0.00 %	0.000	0.000
13		0		0.00 %	0.000	0.000
14		0		0.00 %	0.000	0.000

Potential Savings			
ID	Clock	Clock Gating (W)	Logic Gating (W)
1	500.000 MHz (clk1)	1.564	0.000
2	550.000 MHz (clk2)	0.000	0.935
3	600.000 MHz (clk3)	0.000	11.169
4		0.000	0.000
5		0.000	0.000
6		0.000	0.000
7		0.000	0.000
8		0.000	0.000
9		0.000	0.000
10		0.000	0.000
11		0.000	0.000
12		0.000	0.000
13		0.000	0.000
14		0.000	0.000

在 PDM 工具中引入了下列功耗管理模式。

1. Clock Gating

在此模式下，PL 时钟的门控方式与时钟频率为 0 的逻辑、BRAM、URAM 和 DSP 的时钟门控方式相同。

2. Frequency Scaling

此模式用于判定缩放频率时的功耗节省情况。频率缩放后，您需输入电路工作的绝对频率值。

3. % of Gated Logic (门控逻辑百分比)

此模式用于判定有特定比例的逻辑处于复位状态时的逻辑功耗。仅当禁用时钟门控时，才能设置此模式，因为启用时钟门控时，逻辑功耗为 0。

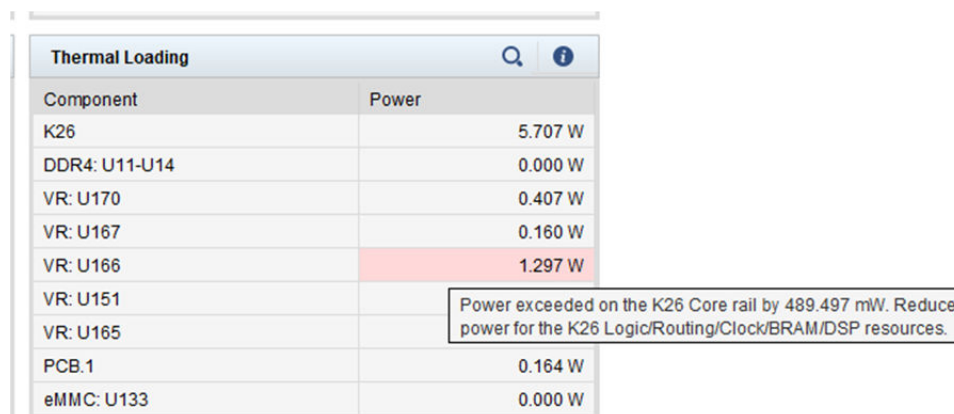
注释：“Power management” 页面中的任何更改都不会反映在任何其他对应页面（如，Clock，Logic）中。

- Summary of Savings (功耗节省的汇总信息)：您可使用该表根据为每个时钟所选的模式来判定总体设计中的功耗节省情况。因为多个时钟可能采用多个功耗管理模式。
 - Current Design (当前设计)：表示无功耗管理情况下的设计总功耗
 - Only Clock Gating (仅限时钟门控)：显示仅因时钟门控而达成的总体设计功耗和功耗节省。
 - Only Frequency scaling (仅限频率缩放)：显示仅因所选钟频率缩放而达成的总体设计功耗和功耗节省。
 - Only Logic Gating (仅限逻辑门控)：显示因相应比例 (%) 的逻辑保持复位状态而达成的总体设计功耗和功耗节省。
 - Clock Domain Power (时钟域功耗)：该表允许您基于时钟选择功耗管理模式。
 - Potential Savings (潜在节省)：该表会显示每个时钟域的功耗节省。它具有 3 个不同的列，表示每个时钟的每个功耗管理模式节省的功耗。

Kria K26 SOM 供电

虽然 AMD Kria™ K26 SOM 随附有自己的预定义供电网络，但电源设计管理器具有 DRC，可用于确保每个调节器都不超过允许的最大输出电流。在下图中，您可看到 U166 上存在 DRC。悬停于其上方即可显示工具提示，建议降低功耗使电流跌至最大限值以下。

图 54: Thermal Loading

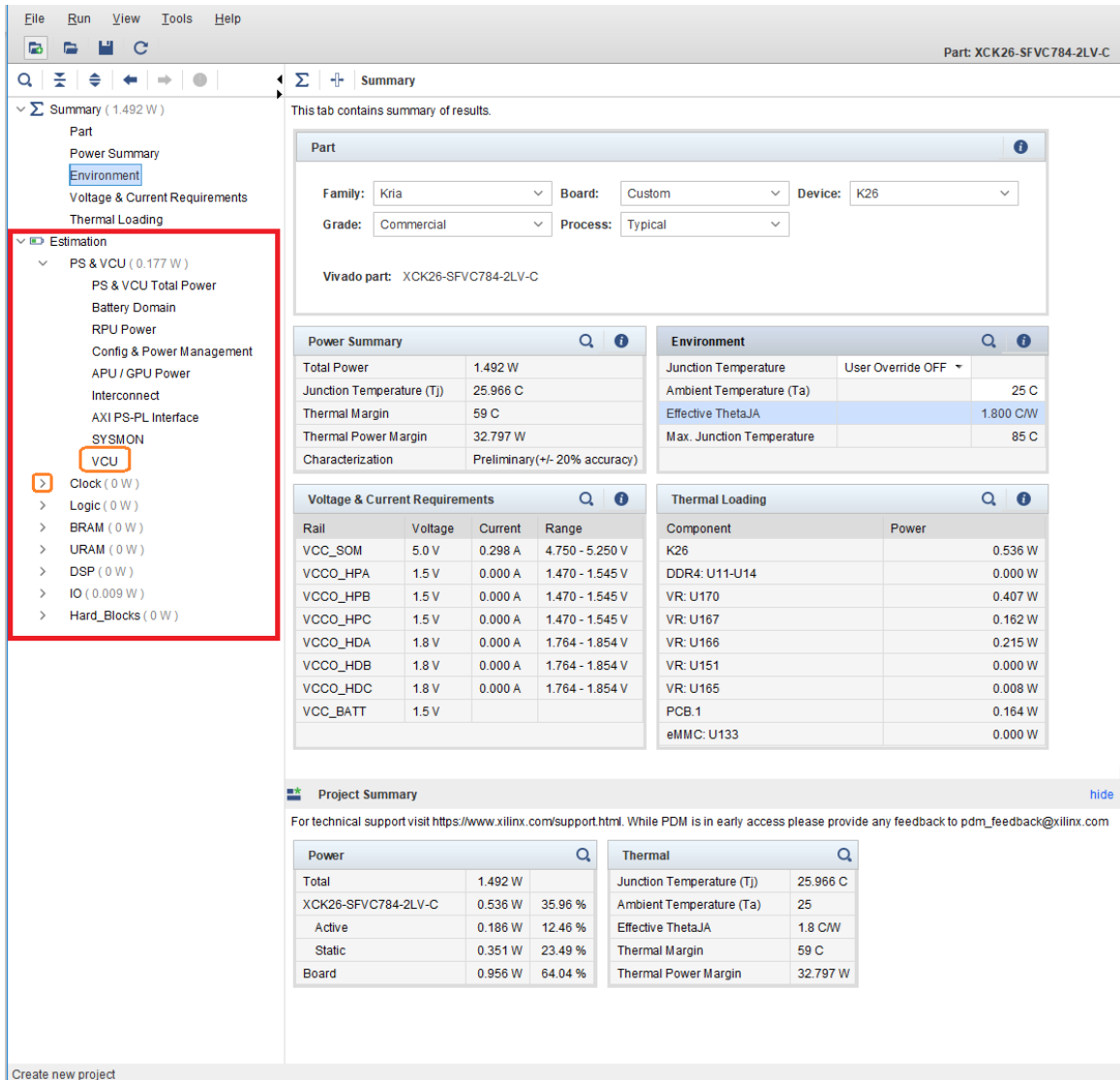


Component	Power
K26	5.707 W
DDR4: U11-U14	0.000 W
VR: U170	0.407 W
VR: U167	0.160 W
VR: U166	1.297 W
VR: U151	
VR: U165	
PCB.1	0.164 W
eMMC: U133	0.000 W

电源设计管理器资源页面

为设计输入所需的时钟后，必须估算其余资源。资源页面显示在导航窗格视图中的“Estimation”（估算）部分下。

图 55：电源设计管理器资源



电源/功耗提示：为便于浏览，您可使用“>”图标展开每个页面，并通过在显示的列表中选中所需表格来直接跳转到所选表格。例如，单击自动选择 VCU 即可跳转至“PS” & “VCU”页面中以便显示 VCU 表格。

PDM 按如下类别来组织各项资源：

- PS & VCU：此类别用于显示含有 MPSoC 处理子系统 (PS) 的“Processing Subsystem”（处理子系统），其中含有四核 Arm® Cortex-A53 和双核 Arm Cortex®-R5F 以及一颗 Mali™ 400 MP GPU。您可在此页面上配置视频编解码单元 (VCU) 和系统监控器。对于此版本的 PDM，仅限 K26 器件才支持 VCU 块。
- Clock (时钟)： “Clock” 页面涵盖了时钟网络和相关时钟生成电路的功耗估算。PDM 使用显式定义的时钟频率规格，而不是任意时钟频率规格。您应先使用“Clocking Wizard”来定义每个时钟，然后才能将其用于任何其他工作表。虽然显式时钟需要进行一些设置，但它具有如下优势：
 - 易于识别：唯一的时钟名称使其便于与其他时钟相互区分，尤其是具有相同频率的时钟。
 - 易于使用：修改时钟定义即可将更改传输至使用该时钟的所有工作表。

- 一致性：时钟扇出可从使用该时钟的所有工作表自动累积，从而可在“Clock”页面上持续估算时钟网络功耗。
- Voltage & Current Requirements（电压和电流要求）：该表列出了载卡的所有电源轨要求。其中指定了电源要求和电压要求。

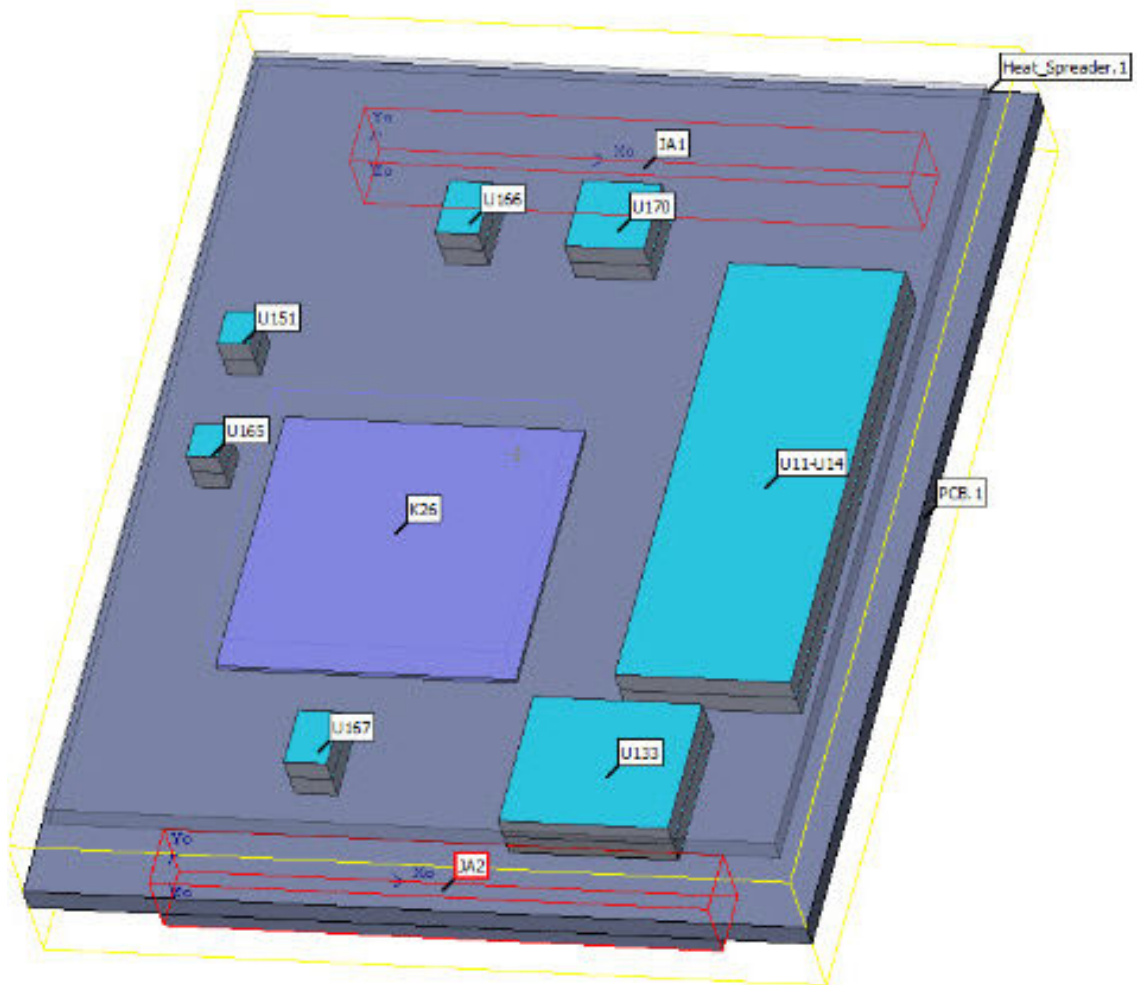
 - 💡 **提示：** Kria 估算有别于显示 MPSoC 轨的典型功耗估算。SOM 有预连接的供电，因此 PDM 仅显示所需的输入。PDM 还有 DRC，用于确保估算的功耗不超出 K26 SOM 供电的电流限制。

- Environment（环境）：允许您将结温强制设为固定值，或者为热处理解决方案指定最大环境温度和有效 ThetaJA（从热仿真获取）。

 - ✅ **建议：** 在从热仿真获取 ThetaJA 之前，必须使用最差情况结温。欲知详情，请参阅《Kria K26 SOM 散热设计指南》(UG1090)。

- Thermal Loading（热负载）：该表显示了器件上散失的功耗。对于 Kria，该表还会显示其他外设，例如，SOM 上可用的 DDR、电源调节器和启动器件。热负载表中的值必须用作为第三方热仿真的输入。

图 56：K26 SOM Flotherm 复合模型



- Logic（逻辑）：该页面允许您输入逻辑资源使用情况和翻转率。可用 K26 SOM 以及受支持的 Versal 器件资源和使用情况都显示在使用情况表中。

图 57: Logic

Utilization			
Type	Avail	Used	Utilization
Registers	234240	100000	42.69 %
▼ LUTs	117120	75000	64.04 %
Combinatorial	117120	50000	42.69 %
Shift Registers	57600	10000	17.36 %
Distributed RAMs	57600	15000	26.04 %

- Block RAM and UltraRAM（块 RAM 和 UltraRAM）：允许输入块 RAM 和 URAM 使用情况。
- DSP：在此处可输入 DSP 块的使用情况以及时钟速率和期望的翻转率。
- I/O：I/O 页面中列出了来自处理子系统（DDR4、PSMIO 和 GTR）以及 PL（PL I/O 和 GTH）的所有可用接口。“Power Summary & Utilization”（功耗汇总信息和使用情况）表基于 Kria K26 SOM 和 2 x 240 管脚连接器来显示可用接口，以确保设计能保持在 K26 SOM 限制范围内。

图 58: I/O 功耗汇总信息和使用情况

Power Summary & Utilization				
Type	Avail	Used	Utilization	Power
MIO	75	20	26.67 %	0.001 W
DDR4	9	0	0.00 %	0.009 W
GTR	4	0	0.00 %	0.006 W
GTH	4	2	50.00 %	0.373 W
PL GPIO	124	20	16.13 %	0.232 W
Total				0.620 W

对于可编程逻辑 (PL) I/O，Kria K26 SOM 支持接入 6 个 bank：3 个高密度 (HD) bank 和 3 个高性能 (HP) bank。PDM 允许为其中每个 bank 选择 VCCO 电压以及对应所选 VCCO 电压的受支持的 I/O 标准。

图 59: I/O 的可编程逻辑

Voltage Selection				
Bank	Voltage (V)	Avail	Used	Power
HPA	1.5 V	32	20	0.232 W
HPB	1.2 V	42	10	0.003 W
HPC	1.8 V	42	10	0.009 W
HDA	1.35 V	21	4	0.050 W
HDB	1.5 V	24	5	0.076 W
HDC	1.8 V	24	0	0.000 W

IO Settings																
ID	Name	Memory Interface	Bank I/O Type	I/O Standard	Input Pins	Output Pins	Bidir Pins	BITSLICE	IBUF	Input Term	Output Impedance	Pre-Emphasis	Clock (MHz)	Toggle Rate	Data Rate	Output Enable
1			HPA	Diff SSTL 1.5V DCI (pair)	10			NO	High Perf					12.50 %	SDR	
2			HPB	Diff HSUL 1.2V (pair)		5		NO	High Perf					12.50 %	SDR	
3			HPC	Diff SSTL Class I 1.8V (pai			5	NO	High Perf					12.50 %	SDR	
4			HDA	SSTL 1.35V	4			NO	High Perf					12.50 %	SDR	
5			HDB	HSTL Class I 1.5V		5		NO	High Perf					12.50 %	SDR	
6			HDC					NO	High Perf					12.50 %	SDR	
7			HPA	Diff HSTL Class I 1.8V (pair)				NO	High Perf					12.50 %	SDR	
8			HPA	Diff SSTL Class I 1.8V (pair)				NO	High Perf					12.50 %	SDR	
9			HPA	Diff SSTL Class II 1.8V (pair)				NO	High Perf					12.50 %	SDR	
10			HPA	HSTL Class I 1.8V				NO	High Perf					12.50 %	SDR	
11			HPA	LVC MOS 1.8V 12mA				NO	High Perf					12.50 %	SDR	
12			HPA	LVC MOS 1.8V 16mA				NO	High Perf					12.50 %	SDR	
13			HPA	LVC MOS 1.8V 4mA				NO	High Perf					12.50 %	SDR	
14			HPA	LVC MOS 1.8V 8mA				NO	High Perf					12.50 %	SDR	

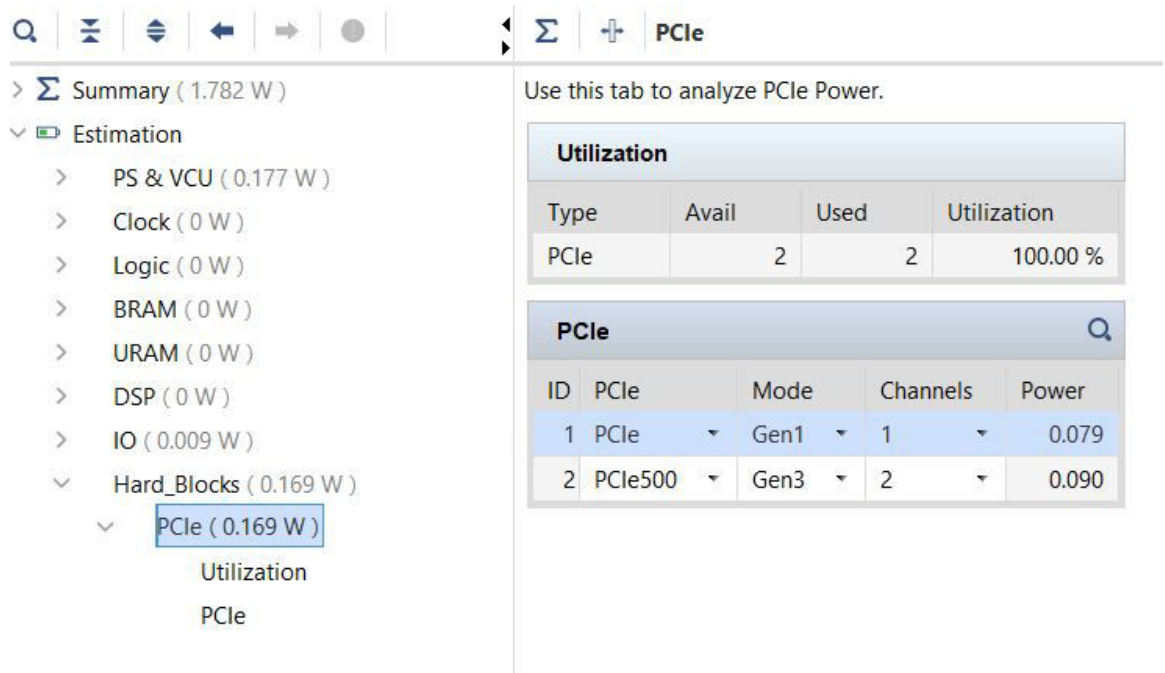
上图显示，根据您为 HDC VCCO 输入的值 1.8 V，您只能选择 1.8 V IOSTANDARD。由于这些 VCCO 值需由您提供，因此针对 PL I/O 估算所得功耗也将反映为载卡电流和电压要求。此外还会显示 VCCO 电压范围。

图 60: 电压和电流要求

Voltage & Current Requirements			
Rail	Voltage	Current	Range
VCC_SOM	5.0 V	0.459 A	4.750 - 5.250 V
VCCO_HPA	1.5 V	0.117 A	1.470 - 1.545 V
VCCO_HPBB	1.2 V	0.000 A	1.176 - 1.236 V
VCCO_HPC	1.8 V	0.004 A	1.764 - 1.854 V
VCCO_HDA	1.35 V	0.034 A	1.323 - 1.391 V
VCCO_HDB	1.5 V	0.047 A	1.470 - 1.545 V
VCCO_HDC	1.8 V	0.000 A	1.764 - 1.854 V
VCC_BATT	1.5 V		

- Hard IP Blocks (硬核 IP 块)：该页面允许对所需 PCIe 设置进行定义。

图 61：PCIe 块功耗估算

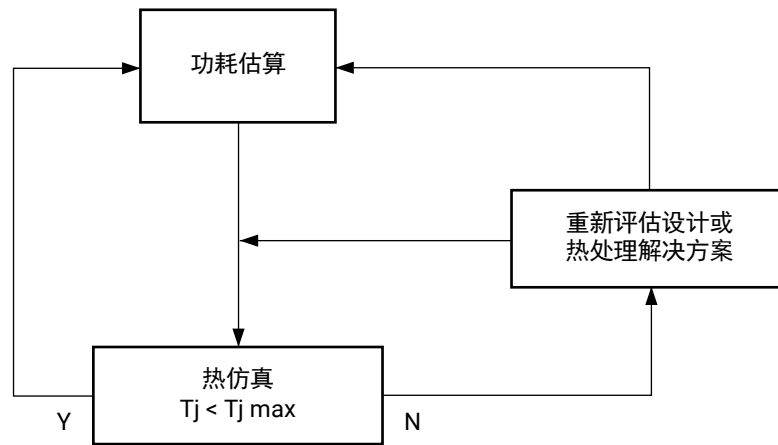


电源/功耗提示：对于下拉列表中的可选项，在单元上点击两次“Delete”键即可将其复位至默认状态。

热仿真结果

完成系统级别热仿真并获取 Θ_{JA} 值之后，可使用此信息进一步优化电源设计管理器估算。执行初始热仿真时，计算得到 Θ_{JA} 后，应假定最差情况 T_j 并优化估算。如需了解有关此流程的更多信息，请参阅《适用于 FPGA 和 SoC 的 UltraFast 设计方法指南》(UG949)。

图 62: 建议的热确认流程



X23525-112922

Θ_{JA} 是器件中每瓦散失的功耗 (Pd) 对应结温 (T_j) 升高超过环境温度 (T_a) 的度量值。其单位为 $^{\circ}\text{C}/\text{W}$ ，使用以下公式来计算：

$$\Theta_{JA} = (T_j - T_a) / P_d$$

在“Environment”（环境）表中，以来自热仿真结果的 Θ_{JA} 覆盖默认 Θ_{JA} ，并指定环境温度。PDM 使用这些值来计算结温，并提升功耗估算准确度。

在以下示例中，针对“User Override”（用户覆盖）选中“OFF”（关）时，输入 $T_a = 40^{\circ}\text{C}$ 且 Θ_{JA} 为 $2.0^{\circ}\text{C}/\text{W}$ ，如下图所示。估算所得功耗为 7.2 W ，导致估算所得 T_j 为 54.4°C 。这样即可确保对器件进行更准确的静态功耗估算。

图 63: Power Summary

Power Summary		Environment	
Total Power	10.252 W	Junction Temperature	User Override OFF
Junction Temperature (Tj)	54.44 C	Ambient Temperature (Ta)	40 C
Thermal Margin	31 C	Effective ThetaJA	2.000 C/W
Thermal Power Margin	15.281 W	Max. Junction Temperature	85 C
Characterization	Preliminary(+/- 20% accuracy)		

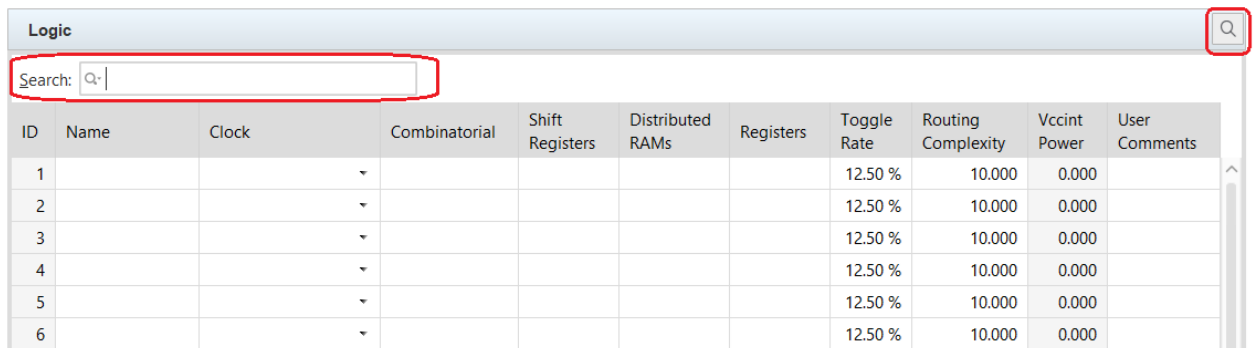
Voltage & Current Requirements				Thermal Loading	
Rail	Voltage	Current	Range	Component	Power
VCC_SOM	5.0 V	2.050 A	4.750 - 5.250 V	K26	7.219 W
VCCO_HPA	1.2 V	0.001 A	1.176 - 1.236 V	DDR4: U11-U14	0.998 W
VCCO_HPBB	1.5 V	0.000 A	1.470 - 1.545 V	VR: U170	0.785 W
VCCO_HPC	1.5 V	0.000 A	1.470 - 1.545 V	VR: U167	0.483 W
VCCO_HDA	3.3 V	<0.001 A	3.234 - 3.399 V	VR: U166	0.512 W
VCCO_HDB	1.8 V	0.000 A	1.764 - 1.854 V	VR: U151	0.000 W
VCCO_HDC	1.8 V	0.000 A	1.764 - 1.854 V	VR: U165	0.093 W
VCC_BATT	1.5 V			PCB.1	0.164 W
				eMMC: U133	0.000 W

附加信息

在表格中搜索

对于包含大量行或列的某些表格，添加了一个搜索按钮即可快速搜索该表中的项。

图 64：在逻辑表中搜索



The screenshot shows a table titled "Logic" with a search bar and a search button. The search bar is highlighted with a red box and contains the text "Search: Q". The search button is a magnifying glass icon in a square box, also highlighted with a red box. The table has the following columns: ID, Name, Clock, Combinatorial, Shift Registers, Distributed RAMs, Registers, Toggle Rate, Routing Complexity, Vccint Power, and User Comments. The table contains 6 rows of data.

ID	Name	Clock	Combinatorial	Shift Registers	Distributed RAMs	Registers	Toggle Rate	Routing Complexity	Vccint Power	User Comments
1		▼					12.50 %	10.000	0.000	
2		▼					12.50 %	10.000	0.000	
3		▼					12.50 %	10.000	0.000	
4		▼					12.50 %	10.000	0.000	
5		▼					12.50 %	10.000	0.000	
6		▼					12.50 %	10.000	0.000	

工具提示

PDM 中已添加工具提示，以帮助您快速了解每个属性，并获取更多相关信息。只需将光标悬停在单元上即可显示工具提示，以供查看。

以下提供了时钟源列的工具提示示例：

图 65：工具提示

Clock								
ID	Name	Source	Frequency (MHz)	Fanout	Fanout/Site	Clock Buffer	Slice Clock	Power (W)
1		External					100.00 %	0.000 W
2		External					100.00 %	0.000 W
3		External					100.00 %	0.000 W
4		External					100.00 %	0.000 W
5		External			6.500	100.00 %	50.00 %	0.000 W
6		External			6.500	100.00 %	50.00 %	0.000 W

Select the source of the clock:
 Use External for IO driven clocks.
 User Internal for clocks driven by some instance.
 In case of a Clock Manager output clock, the field will be auto populated.

设计规则检查

PDM 工具的用户接口旨在阻止无效数据输入，但无法确认所有值。PDM 工具通过执行设计规则检查 (DRC) 来聚焦导致无效结果的数据输入。DRC 会在输入数据时自动运行并更新计算。

常见的 DRC 违例之一是资源超额使用。以下示例显示的是逻辑页面上出现的 DRC 违例，此违例是由于寄存器超出可用的量而导致的。

图 66：设计规则检查

Utilization			
Type	Used	Avail	Utilization
Registers	293000	234240	125.09 %
LUTs <ul style="list-style-type: none"> Combinatorial Shift Registers Distributed RAMs 	100000	117120	85.38 %

Logic							
ID	Name	Clock	Combinatorial	Shift Registers	Distributed RAMs	Registers	Toggle Rate
1	Logic_1	400 MHz (ClkName_1)	100000			293000	12.50 %
2							12.50 %
3							12.50 %
4							12.50 %
5							12.50 %

刷新


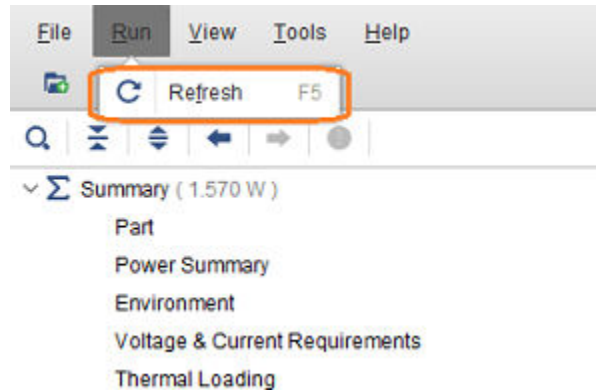
PDM 会在条目更改后立即执行增量计算并更新功耗计算。在极少数情况下，如果在不同页面上存在多项输入，则可能还会提供执行“刷新”或者完整计算的选项。您可通过如下任一方式来完成此操作：单击菜单栏上的  “Refresh”（刷新）按钮，或者在工具栏中依次单击：“Run” → “Refresh”（运行 > 刷新）。

图 67：刷新



附加资源与法律声明

查找其他文档

文档门户

AMD 自适应计算文档门户是旨在使用您的网页浏览器提供健全的文档搜索和导航的在线工具。要访问文档门户，请转至 <https://docs.xilinx.com>。

注释：单击链接将打开英语版本，但您可从下拉列表中选择简体中文版本（如可用）。请注意，简体中文版本可能比英语版本旧。

Documentation Navigator

Documentation Navigator (DocNav) 是预安装的工具，支持访问 AMD 自适应计算文档、视频和支持资源，您可在其中通过筛选和搜索来查找信息。要打开 DocNav，请执行以下操作：

- 在 AMD Vivado™ IDE 中，选择“Help” → “Documentation and Tutorials”。
- 在 Windows 上，单击“Start”按钮，然后依次选择“Xilinx Design Tools” → “DocNav”。
- 在 Linux 命令提示中输入 `docnav`。

注释：您无法从 DocNav 访问简体中文版本。请使用设计中心网页。

设计中心 (Design Hub)

AMD 设计中心提供了根据设计任务和其他主题整理的文档链接，可供您用于了解关键概念以及常见问题解答。要访问设计中心，请执行以下操作：

- 在 DocNav 中，单击“Design Hubs View”选项卡。
- 转至[设计中心](#)网页。

注释：如需了解有关 DocNav 的更多信息，请访问 [Documentation Navigator](#) 网页。

支持资源

如需获取答复记录、技术文档、下载以及论坛等支持资源，请访问[技术支持](#)。

参考资料

以下技术文档是非常实用的补充资料，可配合本指南一起使用：

1. 《Xilinx Power Estimator 用户指南》(UG440)。
2. 《UltraScale 架构 SelectIO 资源用户指南》(UG571)
3. 《Vivado Design Suite 用户指南：功耗分析与最优化》(UG907)。
4. 《适用于 FPGA 和 SoC 的 UltraFast 设计方法指南》(UG949)。
5. 《Kria K26 SOM 散热设计指南》(UG1090)。
6. 《Kria K26 SOM 数据手册》(DS987)。
7. 《利用温度漂移扩展热处理解决方案》(WP517)
8. 《Vivado Design Suite 用户指南：版本说明、安装和许可》(UG973)

修订历史

下表列出了本文档的修订历史。

章节	修订综述
2023 年 5 月 16 日 2023.1 版	
<ul style="list-style-type: none"> · NoC 功耗估算流程 · Versal HBM 	本文档中新增多个章节。

请阅读：重要法律声明

本档所示信息仅做参考，其中可能包含不准确的技术信息、疏漏和印刷错误。受诸多原因影响，此处所含信息可能发生更改，也可能无法准确呈现，这些原因包括但不限于产品和路线图变更、组件和主板版本更改、新增模型和/或产品发布、不同制造商之间存在的差异、软件更改、BIOS 刷新、固件升级等。任何计算机系统均存在安全性漏洞风险，无法彻底阻止也无法缓解这类风险。AMD 没有任何义务来更新或者以任何其他方式纠正或修改这些信息。但 AMD 保留随时修改这些信息和更改文档内容的权利，AMD 没有任何义务将此类修改或更改通知任何人。此处信息“按原样”提供。AMD 对于本文档内容不作任何陈述或保证，并且对于这些可能出现的任何不准确、错误或疏漏问题不承担任何责任。对于有关任何暗含的非侵权、适销性及适合特定用途的保证，AMD 特此声明不承担任何责任。无论在任何情况下，对于任何人因使用此处包含的任何信息而形成的依赖或者引发的任何直接、间接、特殊或其他后果性损害，AMD 概不负责，即使 AMD 已明确获悉存在发生此类损害的可能性也是如此。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

版权声明

© Copyright 2021-2023 AMD 公司，版权所有。AMD、AMD 箭头徽标 Kria, Versal, Vitis, Vivado,及其组合均为 Advanced Micro Devices, Inc. 的商标。“AMBA”、“AMBA Designer”、“Arm”、“ARM1176JZ-S”、“CoreSight”、“Cortex”、“PrimeCell”、“Mali”和“MPCore”为 Arm Limited 在美国和/或其他国家或地区的商标。“PCI”、“PCIe”和“PCI Express”均为 PCI-SIG 拥有的商标，且经授权使用。此出版物中所使用的其他产品名称仅用于标识目的，可能是其各自所属公司的商标。