

简介

16 位 dsPIC33 和 PIC24 器件的设计检查清单是 Microchip 提供的一项增值服务，可在开发过程中为客户提供帮助。本文档提供了有关推荐设计方法、常见故障排除问题及其原因以及可能的补救措施的综合指南。此外还包括以下内容：

- 与设计相关的典型问题和故障排除
- 最佳设计实践
- 参考设计示例
- ESD、EMI 和 EFT 保护注意事项
- 典型外设使用问题（ADC、SPI、CAN、LIN、SDHC、UART 和 USB）
- PCB 布线指南



重要：在排除故障之前，请查看产品勘误表，确保已尝试所有已知的变通方法，并避免使用不受支持的功能或模式。要获取勘误表，请转到目标器件产品页面，选择 Documentation（文档）选项卡。

用户问题提交说明

请按照以下步骤提交问题：

1. 确定应用中的主要问题和挑战。
2. 使用 [设计和故障排除菜单](#) 来参考适用的内容。
3. 提交问题之前，请确保已完成第 2 步中的相关操作。提交问题时，请附上这些操作的相关信息与结果数据，以便我们为您提供指导。

Microchip 技术支持服务

microchipsupport.force.com/s/

目录

简介.....	1
用户问题提交说明.....	1
Microchip 技术支持服务.....	1
1. 16 位器件设计和故障排除基本检查清单.....	4
2. CPU 启动问题.....	5
2.1. V_{DD} 斜率.....	5
2.2. 电源旁路.....	6
2.3. 上电序列.....	8
2.4. 启动时注入电流.....	9
2.5. 工作期间注入电流.....	9
2.6. 晶振.....	9
2.7. 时钟切换.....	11
3. 意外复位.....	13
3.1. POR/BOR.....	13
3.2. 稳压器引脚 (V_{CAP}).....	13
3.3. 异常事件.....	14
3.4. ESD/EMI/EFT 事件.....	15
4. 编程和调试问题.....	16
4.1. MPLAB ICD 4/REAL ICE™ ICSP™ (PGDx/PGCx) 调试问题.....	16
4.2. 器件编程正常但调试器连接失败.....	18
4.3. MCLR.....	18
5. PCB 和 PIC MCU 连接.....	20
5.1. 外露焊盘.....	20
5.2. V_{USB3V3} 引脚.....	21
5.3. V_{BAT}	21
6. 串行数据损坏错误.....	23
6.1. 阻抗匹配.....	23
6.2. 接地回路.....	25
6.3. 串行外设接口 (Serial Peripheral Interface, SPI) 和 I ² S 接口.....	26
6.4. SD 主机控制器 (SD Host Controller, SDHC).....	26
6.5. 通用异步收发器 (Universal Asynchronous Receiver Transmitter, UART).....	27
6.6. USB.....	29
6.7. CAN FD.....	32
7. ADC.....	35
7.1. 典型 SAR ADC 的总不可调整误差源 (TUE).....	35
7.2. V_{REF} 精度.....	35
7.3. 电路 IR 压降误差.....	36
8. 过零检测 (ZCD).....	38

9. I ² S 和按钮保护.....	39
10. I ² C.....	40
10.1. I ² C 保护设计要点.....	41
11. 进线电源保护.....	42
12. 综合 PCB 布线指南和建议.....	43
12.1. PCB 旁路.....	47
12.2. PCB 层策略.....	47
12.3. PCB 信号完整性问题.....	49
12.4. PCB 走线注意事项.....	50
13. 常见问题解答.....	51
14. 版本历史.....	52
Microchip 网站.....	53
产品变更通知服务.....	53
客户支持.....	53
Microchip 器件代码保护功能.....	53
法律声明.....	53
商标.....	54
质量管理体系.....	55
全球销售及服务网点.....	56

1. 16 位器件设计和故障排除基本检查清单

第 1 步： 确定应用中的主要问题和/或挑战。

第 2 步： 使用表 1-1 来参考适用的内容。

第 3 步： 提交问题之前，请确保已完成第 2 步中的相关操作。提交问题时，请附上这些操作的相关信息与结果数据，以便我们为您提供指导。

表 1-1. 16 位器件故障排除检查清单

检查清单项	问题类别	问题类型	已完成
1	CPU 启动问题	<ul style="list-style-type: none"> V_{DD} 斜率 电源旁路 上电序列 I/O 引脚电流注入 晶振 时钟切换 BOR 设置 V_{CAP} (适用时) 	
2	意外复位	<ul style="list-style-type: none"> POR/BOR NMI (不可屏蔽中断——异常事件) ESD/EMI/EFT 事件 	
3	调试问题	<ul style="list-style-type: none"> MPLAB ICD 4/REAL_ICE™ ICSP™ (PGDx/PGCx) 器件编程正常但调试器连接失败 MCLR 	
4	PCB MCU 连接	<ul style="list-style-type: none"> 外露焊盘 V_{USB3V3} 引脚 V_{BAT} 	
5	串行数据损坏/错误	<ul style="list-style-type: none"> 阻抗匹配 接地回路 SPI SD (SDHC) UART USB CAN FD 	
6	ADC	<ul style="list-style-type: none"> 典型 SAR ADC 总不可调整误差源 V_{REF} 精度 电路 IR 下降失调 	
7	过零检测 (ZCD)	<ul style="list-style-type: none"> 过零检测 (Zero-Crossing Detect, ZCD) 无法准确检测过零点。 	
8	I ² S	<ul style="list-style-type: none"> I²S 和 PCB 按钮保护和设计示例 	
9	I ² C	<ul style="list-style-type: none"> I²C 保护和设计示例 	
10	进线电源保护	<ul style="list-style-type: none"> EMI/EFT 保护设计示例 	
11	PCB 布线指南	<ul style="list-style-type: none"> 综合 PCB 布线指南和建议 	

2. CPU 启动问题

为防止因意外的闪存擦写操作导致轻微乃至灾难性的现场故障，请参见 [AN3399《保护闪存自写操作》](#) 了解最佳实践。

2.1 V_{DD} 斜率

问题 1: 上电期间出现间接性启动问题。一些器件无法启动。

如果不符合数据手册的 V_{DD} 斜率，则可能导致锁定问题或不正确的 POR 和 BOR。 V_{DD} 斜率以单位时间的伏特数表示，这意味着在从 0V 到标称 V_{DD} 的整个上电过程中， V_{DD} 电压必须符合斜率规范。

以下 V_{DD} 波形包含两处 V_{DD} 斜率规范违例，可能导致启动问题。不应想当然地认为“只要 V_{DD} 在斜坡时间内达到其标称阈值，就算符合规范”。这是一个错误的假设，具体请参见图 2-1。在 V_{DD} 稳定的两个时间段内， V_{DD} 斜率基本上为 0 V/ms，因此不符合斜率规范。第二个稳定时间段是由器件电流消耗增加引起的。这可能会引起问题，因为内部电路具有各种阈值，当这些阈值触发时，会启动各种延时，从而在限制的时间段内发出内部信号。一些触发逻辑对上升时间十分敏感，因此， V_{DD} 上的噪声也可能会引起触发逻辑输出抖动。这种抖动会对使能/禁止信号进行门控并复位逻辑和状态机，从而导致逻辑亚稳定性问题。在图 2-2 所示的波形中， V_{DD} 并非从 0V 开始，对于某些产品，它可能会超出最小 V_{POR} 规范，以保证适当的上电复位（Power-on Reset, POR）。所有器件都具有 V_{DD} 斜率规范，有时甚至包括下降斜率。请务必验证所有条件。

图 2-1. V_{DD} 斜率违例

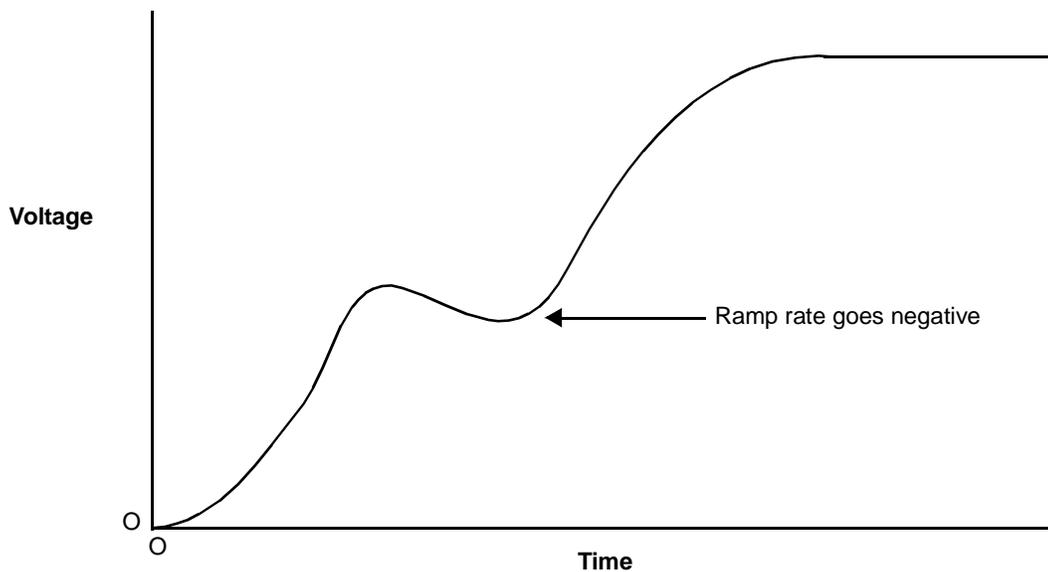
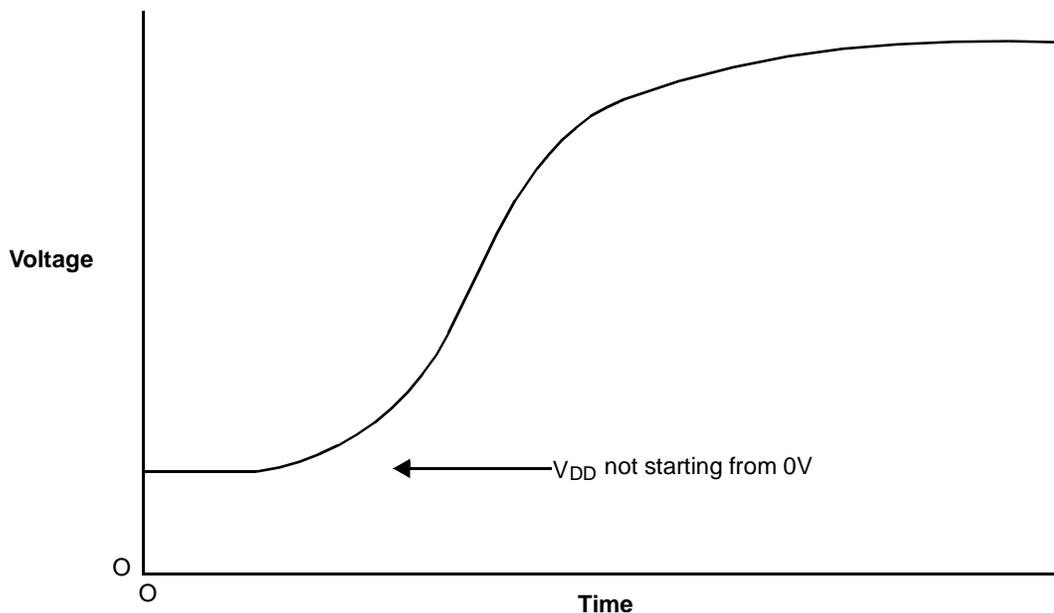


图 2-2. V_{DD} 斜坡启动电压违例

[返回检查清单](#)

2.2 电源旁路

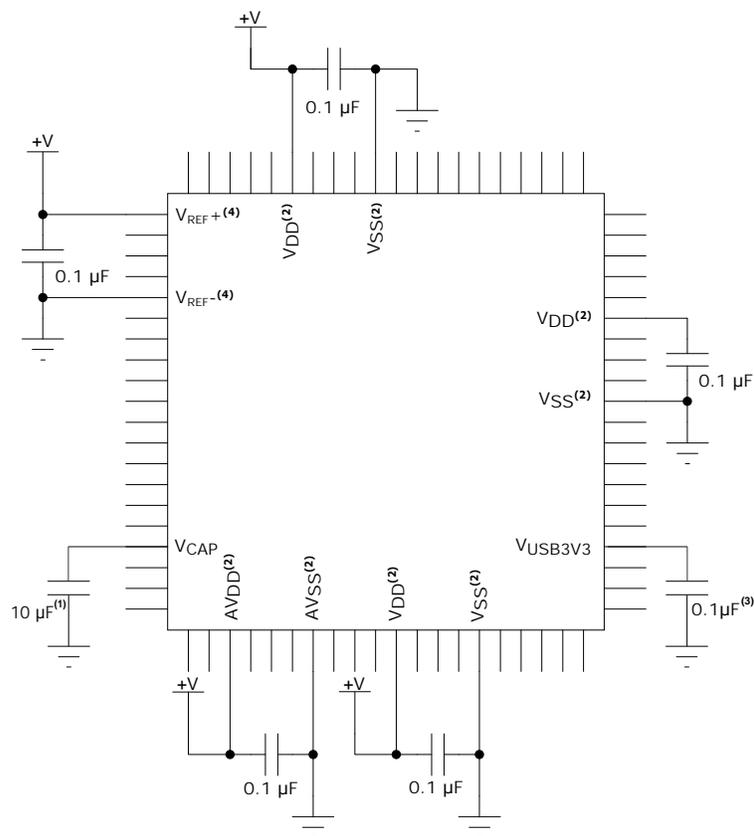
问题 2: 间歇性启动、从低功耗模式唤醒或模拟可重复性问题。

在启动、从低功耗模式退出进入工作模式以及时钟从较低工作频率切换到较高工作频率时，会出现峰值电流需求周期，此时不正确的旁路会影响 V_{DD} 稳定性。此外， V_{DD} 瞬变还会影响时序抖动以及显著影响模拟外设性能。应考虑以下电源旁路设计方法：

- 理想情况下，所有陶瓷电容的 $ESR \leq 1 \Omega$ 。
- 高频旁路电容的位置应尽可能靠近器件电源引脚。
- 大容量电容的位置靠近器件。
- 连接任何电源平面或地平面的所有元件引线必须尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度必须小于 5-10 mil。走线连接必须尽可能宽，以降低电感。这包括为电源平面供电的任何铁氧体磁珠以及为电源平面供电的熔丝等。

图 2-3 给出了器件正常工作所需的旁路。在噪声环境下，可能需要图 2-4 所示的附加电路。铁氧体磁珠（显示为 FB1）可将模拟参考电压与数字电源中的噪声隔离。附加旁路电容（ $0.01 \mu F$ ）可降低数字噪声。

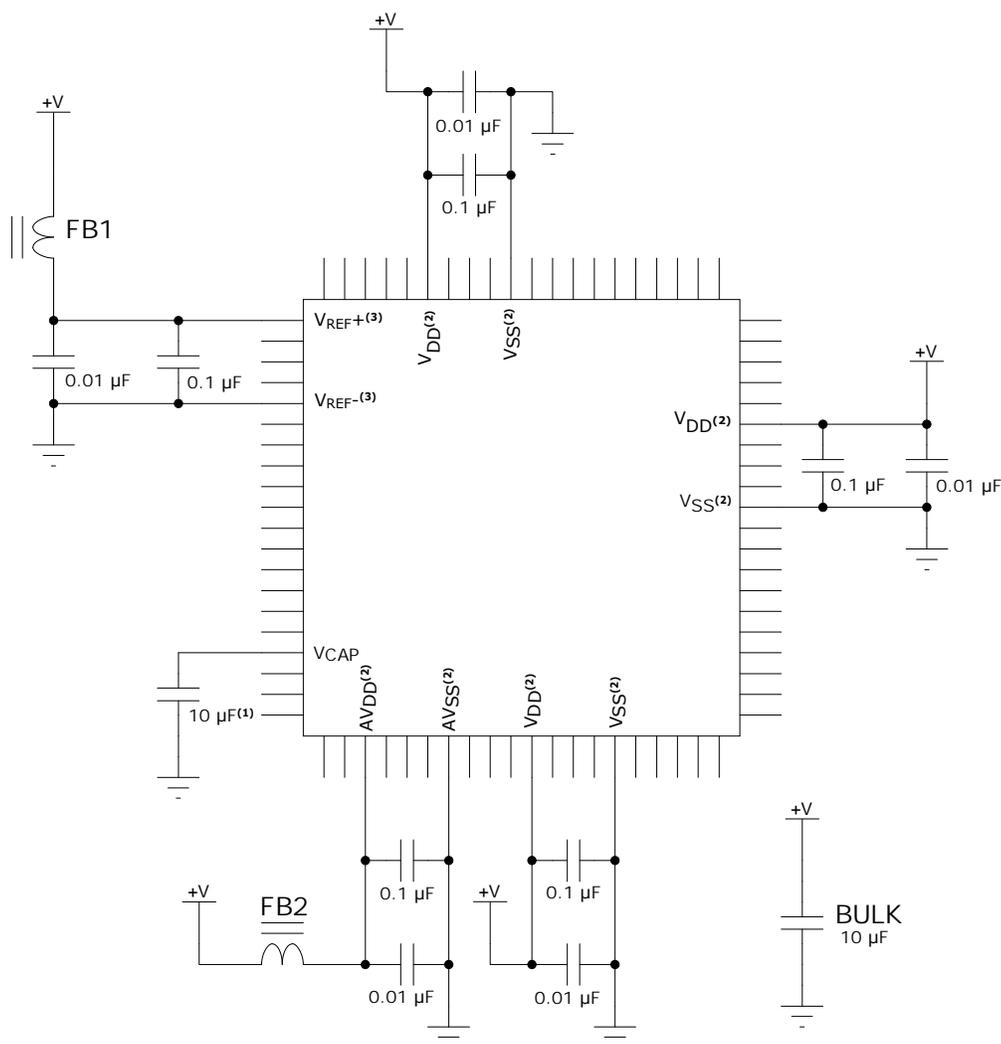
图 2-3. 建议的最基本器件电源旁路



注:

1. 部分器件上没有 V_{CAP} 。
2. 所有 V_{DD}/V_{SS} 和 AV_{DD}/AV_{SS} 电源引脚都需要旁路电容。并非所有器件的引脚数均如示例图中所示，有些器件的引脚数会多一些或少一些。有关详细信息，请参见具体器件数据手册。
3. 只有支持 USB 的器件上才提供 V_{USB3V3} 。对于这类器件，即使禁止 USB 模块，也必须为该引脚供电。
4. 是否使用 V_{REF} 引脚取决于具体应用。如果使用 V_{REF} 引脚，应为其搭配旁路电容。

图 2-4. 建议的器件电源旁路（针对嘈杂应用）



注:

1. 部分器件上没有 V_{CAP} 。
2. 所有 V_{DD}/V_{SS} 和 AV_{DD}/AV_{SS} 电源引脚都需要旁路电容。并非所有器件的引脚数均如示例图中所示，有些器件的引脚数会多一些或少一些。有关详细信息，请参见具体器件数据手册。
3. 并非所有器件上均提供 V_{REF} 引脚，是否使用这些引脚取决于具体应用。如果使用 V_{REF} 引脚，应为其搭配旁路电容。

[返回检查清单](#)

2.3 上电序列

问题 3: 器件上电时出现间歇性启动和/或锁定问题。

上电期间，器件上不同电源之间的电压变化有严格的限制。在器件上电和工作期间， V_{DD} 与 AV_{DD} 不得相差 0.3V 以上。 V_{DD} 和 AV_{DD} 必须遵循器件数据手册中的“电气特性”部分列出的斜率规范。0.3V 是一个典型值。关于器件要求，请参见具体器件的数据手册。

注：稳压器将以不同的速率斜升，具体取决于电源总线的负载、大容量电容、串联电阻和电感。

[返回检查清单](#)

2.4 启动时注入电流

问题 4: 启动期间出现间歇性 MCU POR/BOR 复位问题，导致异常错误或锁定条件。

如果单片机连接的电路先于单片机上电并且单片机连接的引脚上有电压，则会在启动时注入电流。这会导致通过 ESD 二极管向单片机注入电流。这种电流注入会导致内部 V_{DD} 在启动时不为 0，使得器件无法正确启动。

补救措施包括：

- 使用带使能输入的稳压器，并调整上电顺序，让单片机先上电。
- 在 I/O 引脚上串联电阻以限制注入的电流（有关电流注入限值的信息，请参见器件数据手册）。
- 使用隔离器件（光隔离器或数字隔离器）来防止电流从支持电路注入器件。

[返回检查清单](#)

2.5 工作期间注入电流

如果在 I/O 引脚上施加的电压大于器件 V_{DD} ，则在工作期间会注入电流。电流注入（即使是短暂的脉冲）可能会降低模拟性能，并导致在超出指定限值时触发意外的器件操作。有关电流注入限值的信息，请参见器件的数据手册。

使用限流电阻和/或钳位电路来防止向器件施加大于 V_{DD} 的电压，从而限制电流注入。

[返回检查清单](#)

2.6 晶振

请参见器件勘误表来确定是否存在已记录在案的问题以及是否存在解决方案。确认晶振负载电容值是否合适（见 [2.6.1. 晶振负载电容](#)）。

验证器件配置中的振荡器模式是否正确。器件有多种增益设置（基于晶振频率）。请参见具体器件数据手册的“**特殊功能**”部分。确认所需时钟源（POSC、POSCPLL 和 SOSC）被请求作为 CPU 时钟，还是用作外设的时钟源。

2.6.1 晶振负载电容

晶振负载电容会影响晶振电路的振荡能力，在振荡时会施加“拖拉”效应，进而导致振荡频率小幅上升或下降（PPM 量程）。晶振制造商的 C_{LOAD} 规范代表确保晶振在指定的频率容差限值范围内工作而需要为晶振并联的总有效电路电容（包括寄生电容）。由于皮尔斯振荡器电路在 V_{SS} 连接的输入和输出上使用单独的负载电容而非在晶振元件两端直接并联负载电容，因此 C_{LOAD} 与添加到电路中的两个负载电容的值相关但并不相同。

注：如果未观察到 OSC 信号削波，并且 RMS 振荡电压足够低，在晶振 ESR 范围内不会超过晶振最大驱动电压（功率）规范，则不需要晶振串联限制电阻。计算用于选择晶振负载电容的等效有效电容的公式如下：

公式 1: 晶振 MFG $C_{LOAD} = \{([C_{IN} + C1] * [C_{OUT} + C2])/[C_{IN} + C1 + C2 + C_{OUT}]\} +$ 振荡器 PCB 杂散电容

假设 $C1 = C2$ 且 OSC1 引脚的 $C_{IN} \approx$ OSC0 引脚的 C_{OUT} ，则可进一步简化上述公式，最终得到 $C1$ 和 $C2$ 的求解公式如下：

公式 2: 简化后的晶振 C_{LOAD} 公式： $C1 = C2 = ((2 * MFG C_{LOAD} \text{ 规范值}) - C_{IN} - (2 * PCB \text{ 电容}))$

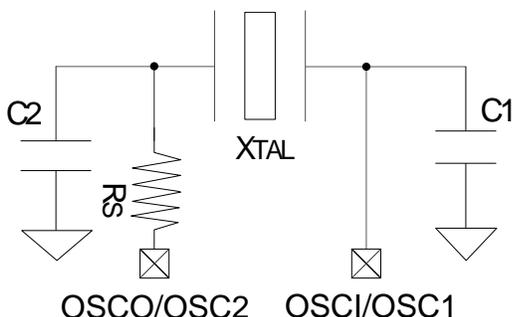
1. C_{IN} 和 C_{OUT} 必须在数据手册中定义（如果两者均不取 4.5 pF）。
2. 如果 $C_{IN} \neq C_{OUT}$ ，则 $C_{IN} = C_{OUT} = (C_{IN} \text{ DATA SHT} + C_{OUT} \text{ DATA SHT})/2$ 。
3. 标准 PCB 走线电容 = 1.5 pF/12 mm（即 1.5 pF/0.47 英寸）。



提示：用于提高振荡器增益（即，增大振荡器信号的峰-峰值）的技巧：

- 选择 ESR 额定值较低的晶振。
- C1 和 C2 值也会影响振荡器的增益。它们的电容值越小，有效增益越大。
- 要改善启动延时，可以选择比输出 C2 电容稍小的输入 C1 电容，同时增大 C2 的值以便保持 C_{LOAD} 目标值。

图 2-5. 典型主振荡器晶振电路^(1,2)



注：

1. 如果 X_{IN} 未进行削波且晶振未被过驱动，则不需要晶振 R_S 。为了在示波器上监视 X_{OUT} 或 X_{IN} ，用户必须使用 ≤ 2 pF 的 FET 探头才能获得理想的结果。配有 10-20 pF 探头的标准示波器会向晶振引入负载并使其衰减，从而导致结果不准确，甚至可能停止振荡。
2. 振荡器的启动和稳定性将因工作电压和温度而异。进入生产阶段之前以及考虑备用晶振部件编号或供应商时，应在产品的预期工作电压和温度范围内测试振荡器的工作情况。

[返回检查清单](#)

2.7 时钟切换

问题 5: 器件的工作频率不符合预期，或者没有执行任何器件代码。

器件有两个配置位域用于控制时钟切换；IESO 用于使能启动时的自动时钟切换，FCKSM 用于使能软件时钟切换和时钟监视。

- **IESO:** 内/外部切换位⁽¹⁾
 - 1 = 使能内/外部自动硬件时钟切换模式（使能双速启动）
 - 0 = 禁止内/外部自动硬件时钟切换模式（禁止双速启动）

当 IESO 置 1 时，CPU 时钟源会在 FNOSC 所定义的时钟源就绪后自动切换（无论是否使能了 FCKSM 时钟切换）。
- **FCKSM:** 时钟切换和监视选择配置位⁽¹⁾
 - 11 = 使能软件运行时的时钟切换和时钟监视（并非适用于所有器件）
 - 10 = 禁止软件运行时的时钟切换，使能时钟监视
 - 01 = 使能软件运行时的时钟切换，禁止时钟监视
 - 00 = 禁止软件运行时的时钟切换和时钟监视

注:

1. 寄存器位定义和位域值是示例值。有关特定器件的值，请参见器件的数据手册。

禁止软件时钟切换时，无法通过软件切换时钟源。

使能时钟监视且检测到时钟故障时，硬件会将时钟切换到 FRC 源。更多信息，请参见具体器件的数据手册。

默认情况下，所有配置位均置 1（即闪存擦除条件），这将使能 IESO 切换。如果使能 IESO 的同时软件尝试时钟切换，切换可能无法完成。

问题 6: 尝试在不同时钟源之间进行时钟切换时，频率并未发生变化和/或 OSWEN（OSCCON[0]）位指示时钟切换始终未完成。

软件可在任何已使能的可用时钟源之间进行切换，但如果不先切换到非 PLL 源，就无法直接在两个 PLL 源之间进行切换（即 FRCPLL 到 POSCPLL）。

在两个 PLL 源之间进行切换的伪代码示例如下：

- 请求切换到 FRC
- 等待切换完成
- 请求切换到 POSCPLL
- 等待切换完成

典型 **NOSC[2:0]（OSCCON[10:8]）** 和 **COSC[2:0]（OSCCON[14:12]）** 位⁽¹⁾

111 = FRCDIV 振荡器

110 = 备用快速 RC（Backup Fast RC，BFRC）振荡器

101 = 内部低功耗 RC（Low-Power RC，LPRC）振荡器

100 = 辅助振荡器（SOSC）；必须在器件配置和/或 SOSSEN（OSCCON[1]）位中使能该时钟源

011 = 带 PLL 的主振荡器（POSCPLL）（XT、HS 和 EC）；必须在器件配置中使能相应的模式

010 = 主振荡器（POSC）（XT、HS 和 EC）；必须在器件配置中使能相应的模式

001 = 带 PLL 的 FRC 振荡器（FRCPLL）

000 = 内部快速 RC (Fast RC, FRC) 振荡器按照 FRCDIV[2:0]位的值进行分频

注:

1. 有关 OSCCON 位的定义, 请参见具体器件的数据手册。

[返回检查清单](#)

3. 意外复位

3.1 POR/BOR

问题 7: 在从休眠模式唤醒时或在时钟切换期间有时会发生复位。

- 从休眠事件唤醒后，在时钟从相对较低的频率切换为全速工作频率期间或双速启动时，瞬时电流消耗可能超过内部稳压器的输出。如果内部 LDO 的外部 V_{CAP} 旁路电容不满足指定值（通常为 $10\ \mu\text{F}$ ）和 ESR 值（通常 $< 1-3\ \Omega$ ），则可能发生 POR 或 BOR。瞬变期间，需要使用 $10\ \mu\text{F}$ V_{CAP} 来提供额外的电流。建议使用陶瓷电容或固体钽电容。ESR 越低，对瞬时电流变化的响应越快，因此，内部 LDO 噪声和电压波动也越小。

[返回检查清单](#)

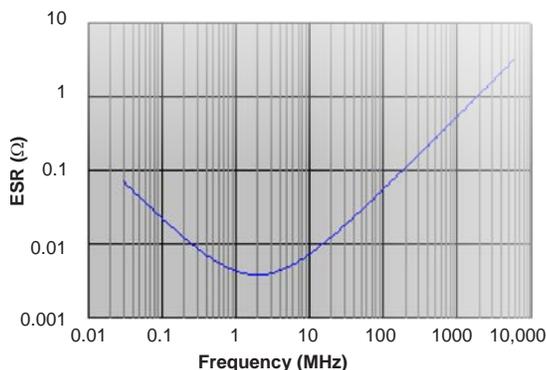
3.2 稳压器引脚 (V_{CAP})

V_{CAP} 引脚需要一个低 ESR ($< 1\ \Omega$) 电容来稳定稳压器的输出电压。 V_{CAP} 引脚一定不能与 V_{DD} 连接，并且必须使用 $10\ \mu\text{F}$ 的电容接地。此电容类型可以是陶瓷电容或钽电容。[表 3-1](#) 列出了一些适用电容的示例。同等规范的电容都可以使用。

设计人员可以使用[图 3-1](#) 来评估备选电容的 ESR。

此电容应靠近 V_{CAP} 放置。建议走线长度不要超出 0.25 英寸（6 毫米）。

图 3-1. 推荐 V_{CAP} 的频率—ESR 性能曲线



注: 在 25°C 、 0V 直流偏置条件下测量的典型数据。

表 3-1. 适用的等效电容（0805 外壳尺寸）

制造商	部件编号	标称电容	额定电压	
TDK Corporation	C2012X5R1E106K085AC	$10\ \mu\text{F}$	$\pm 10\%$	25V
TDK Corporation	C2012X5R1C106K085AC	$10\ \mu\text{F}$	$\pm 10\%$	16V
KEMET	C0805C106M4PACTU	$10\ \mu\text{F}$	$\pm 10\%$	16V
Murata Electronics®	GRM21BR61E106KA3L	$10\ \mu\text{F}$	$\pm 10\%$	25V
Murata Electronics	GRM21BR61C106KE15	$10\ \mu\text{F}$	$\pm 10\%$	16V

3.2.1 陶瓷电容注意事项

近年来，大容量、低电压的表面贴装式陶瓷电容具有很高的性价比，其容值最高可达数十微法。低 ESR、小外形尺寸、冻结温度下无明显性能变化及其他一些属性，使得陶瓷电容对于许多类型的应用颇具吸引力。

陶瓷电容适合作为 V_{DD} 电源旁路元件，适用于单片机的内部稳压器。但在选择具体电容时，仍需注意确保电容在应用的目标工作条件范围内，始终能保持足够的电容值。

典型的低成本 10 μF 陶瓷电容属于 2 类介质，通常用 3 字符代码来表示，比如 X5R、X7R 和 Y5V（也存在其他类型，不过不太常见）。第一个字母定义低温（“X” = -55°C ，“Y” = -30°C ），中间的数字定义高温（“5” = $+85^{\circ}\text{C}$ ，“6” = $+105^{\circ}\text{C}$ ，“7” = $+125^{\circ}\text{C}$ ），最后一个字符对上述温度范围内的电容变化进行分类（“P” = $\pm 10\%$ ，“R” = $\pm 15\%$ ，“S” = $\pm 22\%$ ，“V” = $+22/-82\%$ ）。这些介质特性代码用于划分热性能，但供应商或分销商网站上提供的电容数据通常为 $\pm 10\%$ X5R、 $\pm 20\%$ X7R 和 $-20\%/+80\%$ Y5V 形式，因此可能发生混淆。一个值是在室温下测得的初始制造容差，另一个值是因在高温或低温下工作而导致的额外瞬态误差源。

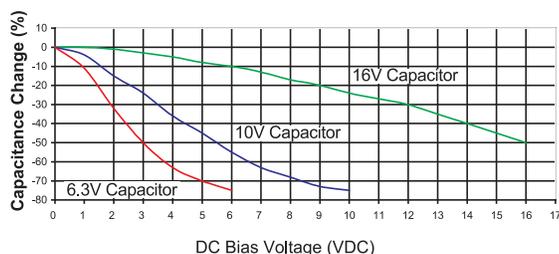
这些类型电容的初始容差通常指定为 $\pm 10\%$ 至 $\pm 20\%$ （X5R 和 X7R）或 $-20\%/+80\%$ （Y5V）。但是，测试电容时使用的是 0V 直流偏置的交流波形。与此同时，当对使用这些介质的陶瓷电容施加恒定直流电压时，将会在短时间内损失大量视在（能量存储）电容，尤其是当施加的电压达到电容电压额定值的中等比例且电容额定值相对于电容物理几何结构处于较高水准时。这类电容在恒定直流偏置下用于 V_{DD} 和内核稳压器电源旁路，大容量储能和交流电流瞬态性能都是很重要的特性。因此，电容在电路中的总容差会明显大于初始容差规范加温度容差所指定的范围。

X5R 和 X7R 电容通常能表现良好的温度稳定性（例如，在较宽的温度范围内，电容值变化量在 $\pm 15\%$ 以内。具体的参数请参见制造商提供的数据手册）。但是，Y5V 电容的容值会随温度产生巨大的变化，容差规范为 $+22\%/-82\%$ 。因此，标称值为 10 μF 的 Y5V 型电容可能无法提供足够的总电容值来满足内部稳压器稳定性和瞬态响应的最低要求。所以，当应用必须在较宽温度范围内工作时，建议不要将 Y5V 电容用于内部稳压器。

除了温度的影响，大容量陶瓷电容的有效电容值随着施加给电容的直流电压大小，会有很大的变化。此直流偏压的影响非常明显，但却常常被人们忽视，或常常没有在文档中说明。

X7R 型电容的典型直流偏压和电容的关系图见图 3-2。

图 3-2. 直流偏压—电容特性曲线



在选择用于内部稳压器的陶瓷电容时，建议选择额定电压较高的电容，这样工作电压占电容最大额定电压的比例就比较小。例如施加 1.8 VDC 内核电压时，至少选择额定电压为 16V 的陶瓷电容。此外，如果应用的空间并非很局促，则应选择物理尺寸较大的电容，而非尺寸最小的电容。例如，应使用体型较高的 0805 和 1206 封装电容，而非 0603 电容。容值高和体积小这两点很难同时实现，而且经常会对直流偏置下的电容下降曲线产生不利影响。即使所选的电容的具有可接受程度的下降特性曲线，也可以通过一定的手段来降低电容交付周期、生命周期结束，以及在 PCB 组装期间出现意外，需要替换元件等未来可能出现的问题所带来的风险，具体做法是选择一种封装形式，既可以在内部轻松容纳 10 μF 电容，又无需高度依赖最先进的制造技术和可用直流特性数据。表 3-1 列出了推荐的电容。

[返回检查清单](#)

3.3 异常事件

问题 8: 工作数小时后发生复位。

- 如果用户的软件异常或陷阱中断服务程序（Interrupt Service Routine, ISR）未明确定义该问题，则编译器将使用软件复位自动创建一个。
 - 要确定异常的来源，应针对所有异常/陷阱实现处理程序。这些处理程序随后可通过 LED 闪烁或使用更复杂的通信方法来通知用户。

[返回检查清单](#)

3.4 ESD/EMI/EFT 事件

在大多数应用中，ESD、EMI 和 EFT 源都来自应用 PCB 的外部。必须在电子逻辑的所有外部输入/输出路径上提供保护。ESD、EMI 或 EFT 事件最常导致如下结果：

- 器件和系统复位
- 器件锁定
- 元件故障

定义：

- ESD：静电放电
- EMI：电磁干扰
- EFT：电气快速瞬变

有关保护规则的简单建议：

- 使用各种滤波器或瞬态抑制器来保护外部端口的所有输入或输出信号。
- 对于外部电源的输入或输出源也应当提供保护。
- 将未使用的 PIC[®] MCU 引脚通过 1 k Ω 电阻接地。
- 请勿直接或通过电容将机壳或外部端口线缆屏蔽层连接到逻辑地。大多数 ESD、EMI 和 EFT 事件都来自外部。因此，应用外壳和线缆屏蔽层便成为电气干扰传入电子逻辑核心位置的主要管道，这可能会导致意外行为。

ESD、EMI 和 EFT 干扰属于瞬态事件，通常会产生 1 ns 至 20 ns 的峰值电流或功率。

注：

1. 有关 ESD、EMI 或 EFT 保护的更多详细信息，请参见 [AN2587《针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项》](#)，或在任何 16 位产品的 Microchip 网页上的 *Documentation>Application Notes*（文档 > 应用笔记）选项卡下查看。
2. ESD 认证测试涵盖两种基本类型的测试：“接触放电”（Contact Discharge）和“空气放电”（Air Discharge）。顾名思义，接触放电是指直接应用外壳裸露表面（包括显示屏、键盘、按钮、USB 端口、RS-232 端口和 SD 端口等）上的任何位置进行放电，但不包括 PCB 表面。PCB ESD 测试仅允许空气放电，也就是直接在 PCB 上方（通常为 1 英寸）的位置进行电弧放电。

[返回检查清单](#)

4. 编程和调试问题

问题 9: PC 无法识别编程器或调试器 (MPLAB® ICD 4、PICKIT™ 4 或其他编程器/调试器)。

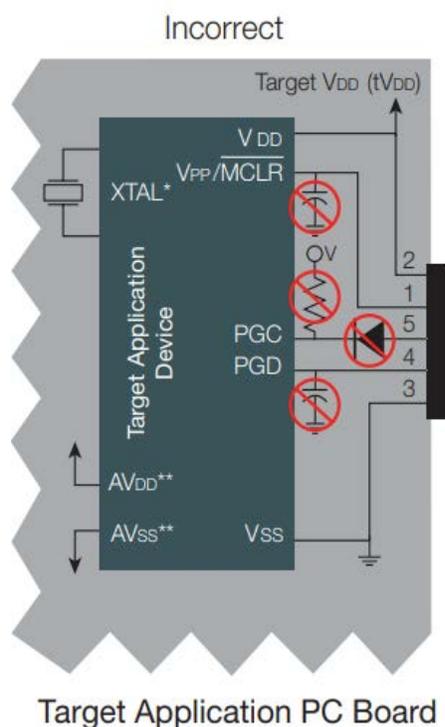
- 使用 Microchip 开发工具时, 需要编程器/调试器的 USB 设备驱动程序。确保使用的 MPLAB ICD 和编译器版本支持所用器件的当前驱动程序。

要修复此问题, 请参见: ww1.microchip.com/downloads/en/DeviceDoc/51417E.pdf。

4.1 MPLAB ICD 4/REAL ICE™ ICSP™ (PGDx/PGCx) 调试问题

问题 10: 无法将 MPLAB PICKIT 4/MPLAB ICD 4 与目标器件连接。

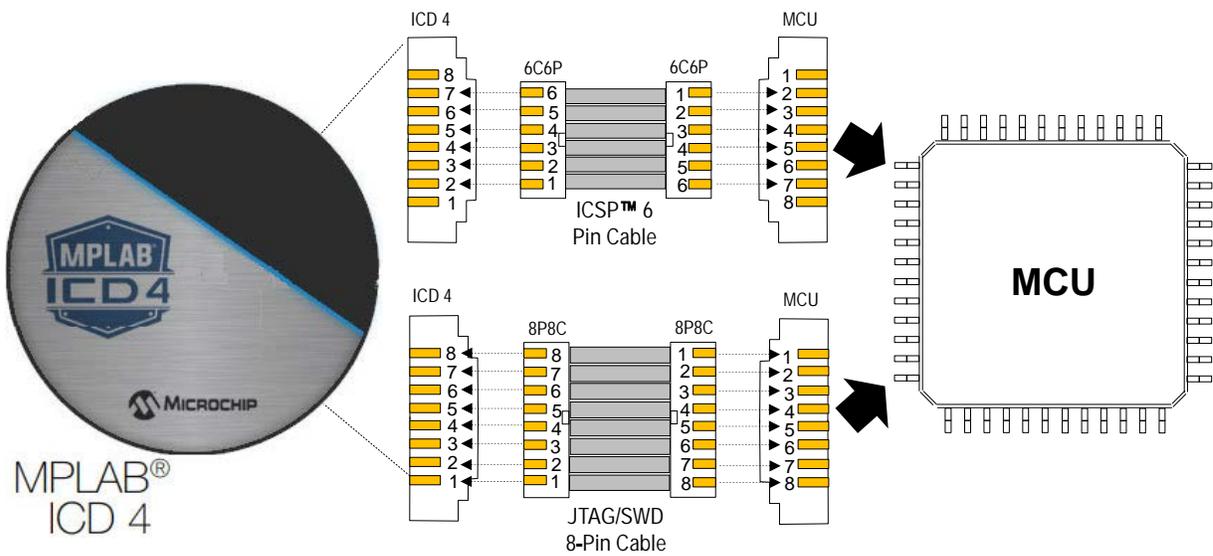
图 4-1. MPLAB® ICD 4/REAL ICE™ 目标电路设计预防措施



注: 图中所示为 MPLAB ICD 4 RJ11 连接器的引脚分配。

- 请勿直接在 $\overline{\text{MCLR}}$ 引脚上使用电容; 它们将阻止 $\overline{\text{MCLR}}$ 快速跳变, 进而导致无法满足进入调试或编程模式所需的时序。
- 请勿在已激活的 PGCx/PGDx 引脚上使用复用功能: 它们专用于与 MPLAB ICD 4/REAL ICE 进行通信。如果需要复用, 应在编程或调试时使用跳线来隔离电路。
- 请勿在 PGCx/PGDx 上使用电容: 它们将阻止数据线和时钟线在编程和调试通信期间快速跳变。
- 请勿在 PGC/PGD 上使用二极管: 它们将阻止 MPLAB ICD 4 与目标 PIC MCU 之间进行双向通信。
- 请勿超出推荐的线缆长度: 有关线缆长度, 请参见 MPLAB ICD 4 在线帮助或用户指南中的硬件规范。

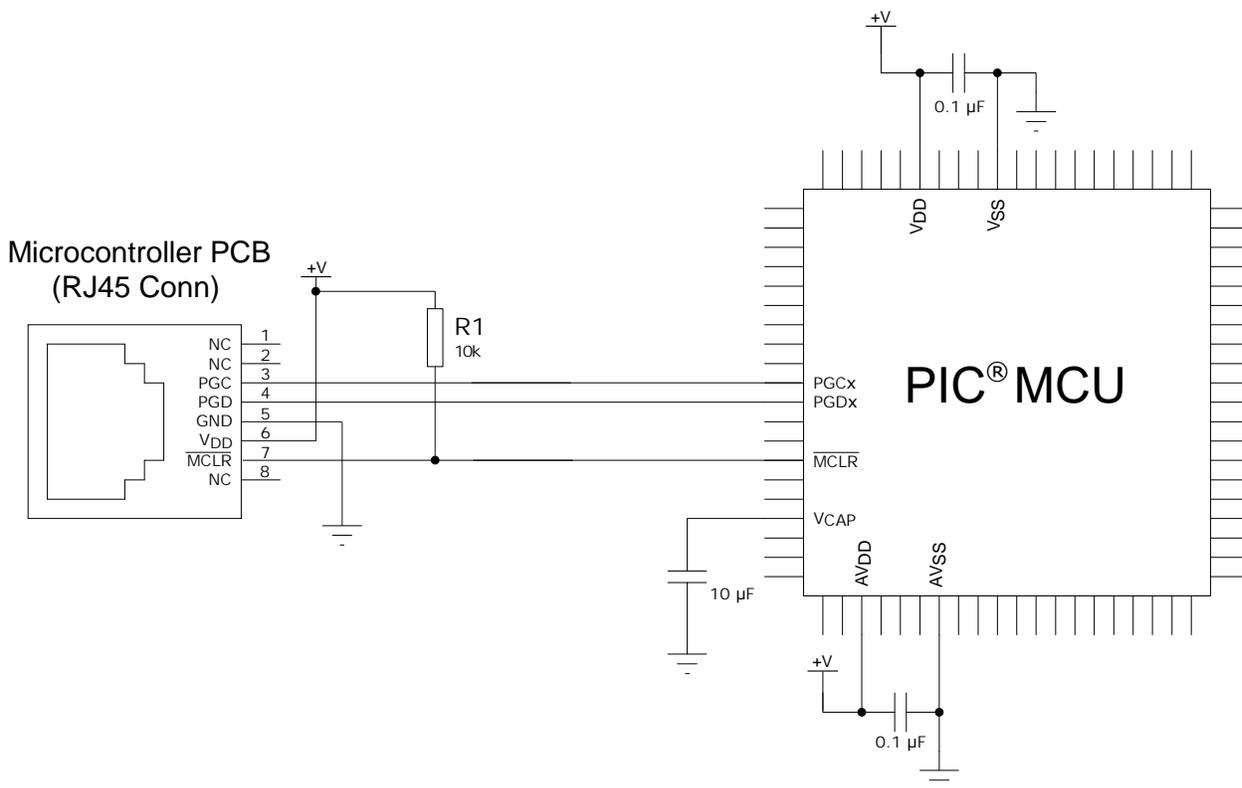
图 4-2. MPLAB® ICD 4 ICSP™ 接线图



Signal	ICD 4 (Female Conn)	ICD 4 Cable (Male Conn)		MCU Cable (Male Conn)		Target MCU (Female Conn)
		6P6C	8P8C	6P6C	8P8C	
TMS	8	NC	8	NC	1	N/A
AUX	7	6	7	1	2	N/A
TCK/PGC	6	5	6	2	3	3
TDO/PGD	5	4	5	3	4	4
GND	4	3	4	4	5	5
V _{DD}	3	2	3	5	6	6
NMCLR (#MCLR)	2	1	2	6	7	7
TDI	1	NC	1	NC	8	N/A

注：6P6C = 6 引脚 6 芯；8P8C = 8 引脚 8 芯。

图 4-3. ICSP™和复位电路图



注：为清楚起见，未显示附加电源和接地引脚上的旁路电容（见图 2-3）。

[返回检查清单](#)

4.2 器件编程正常但调试器连接失败

问题 11：编程正常，但调试无效。

必须在器件配置中选择用于调试的端口。如果选择了错误的端口，器件仍将正常编程，但调试无效。请验证配置位中是否选择了正确的端口。

例如：

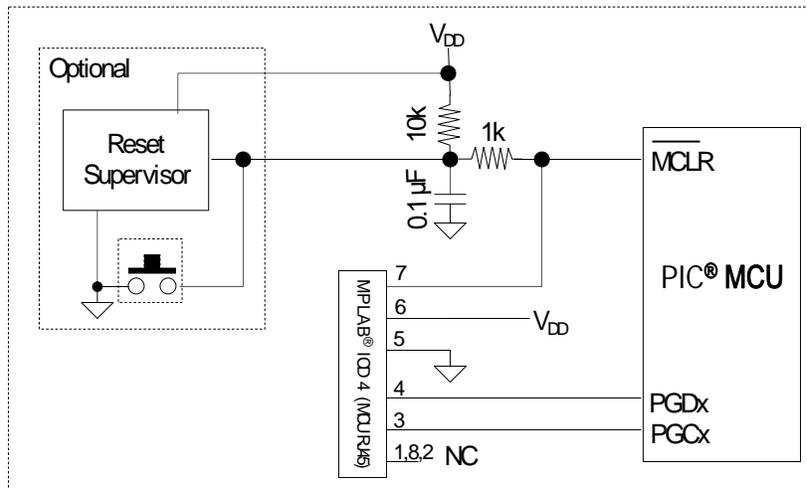
```
#pragma config ICS = PGD1 // ICD Communication Channel Select bits
(Communicate on PGEC1 and PGED1)
```

4.3 MCLR

问题 12：MPLAB IDE 无法连接目标器件。

- 务必使用一个 470-1K 的隔离电阻将器件的 $\overline{\text{MCLR}}$ 输入与 0.1 μF 电容和复位监控器（或复位按钮）隔离

图 4-4. MCLR 电路图

[返回检查清单](#)

5. PCB 和 PIC MCU 连接



重要：任何引脚的功能优先级均按照引脚映射表中从左到右的信号顺序定义。用户使用的任何引脚功能都会覆盖引脚名称中该功能右侧列出的所有功能。例如，在 **RP46/PWM1H/RB14** 引脚功能列表中，最高优先级功能为可重映射引脚 **RP46**。如果通过 PPS 寄存器使能该功能，则 **PWM1H** 和端口引脚 **RB14** 不可用。

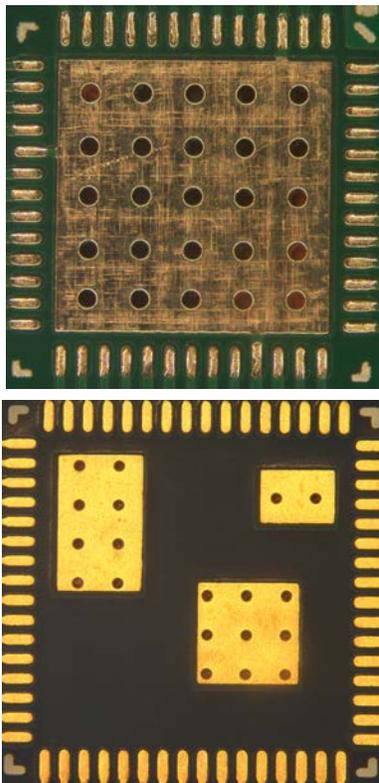
具有模拟功能的引脚可选择模拟功能或数字功能。默认选择模拟功能。要使用数字引脚功能，必须将相应的 **ANSEL** 或 **ADCFG** 位清零以允许应用数字输入阈值。关于 **ANSEL** 或 **ADCFG** 位的可用性，请参见具体器件的数据手册。

5.1 外露焊盘

问题 13：SMT 器件的外露焊盘连接。

请参见具体器件的数据手册来确定外露焊盘是否必须接地。热拼接（过孔）可改善热性能。有关过孔拼接的示例，请参见图 5-1。

图 5-1. 通过过孔拼接改善热传递的外露焊盘 PCB 引脚布局示例



[返回检查清单](#)

5.2 V_{USB3V3} 引脚

问题 14: 即使已正确配置共用 USB 引脚的某些备用功能，也无法正常使用。

USB On-The-Go (OTG) 由以下线缆接口信号组成：

- D+ (标准 USB 数据)
- D- (标准 USB 数据)
- V_{BUS} (标准 USB +5V)
- USBID (OTG 支持)
- V_{BUSON} (OTG 支持)

在 PIC24 系列器件中，内部 USB PHY 收发器及上述所有接口 I/O 焊盘信号均由 V_{USB3V3} 引脚（而非 V_{DD} 引脚）供电。上面列出的标准 USB 信号是专用引脚，不与任何其他备用功能或 I/O 复用。USBID 和 V_{BUSON} 功能具有备用功能和 I/O 映射功能。

注：即使不使用 USB，V_{USB3V3} 也必须连接到 V_{DD}，以便为与相应器件的 USBID 和 V_{BUSON} 共用引脚的备用功能或 I/O 供电。

注：如果使用 USB 但不需要 OTG 支持，则必须在配置字中禁止 USBID 和 V_{BUSON} 引脚功能，以便使用映射到这些引脚的低优先级功能。使能 USB 后，这些 OTG USB 扩展功能（USBID 和 V_{BUSON}）会变为工作状态，除非事先在配置字中将其禁止。

[返回检查清单](#)

5.3 V_{BAT}

问题 15: V_{BAT} 引脚是否需要使用旁路电容？

建议为 V_{BAT} 引脚使用 4.7 μF 和 0.1 μF 的接地电容，以减轻从 V_{DD} 切换到 V_{BAT} 电源期间的瞬变。请参见图 5-2。

问题 16: 无法使用 ADC 正确测量外部电池电压。

要最大程度降低电流消耗，通常采用由高值电阻构成的分压器（图 5-2A）。分压器产生的源电阻会超出大多数器件的 ADC 要求或需要过多的采样时间。对应的解决方案是在电阻分压器的输出上添加电容（图 5-2B）。该电容通过电阻分压器连续充电，并在采样期间为 ADC 采样保持电路提供低阻抗路径。这将缩短 ADC 采样时间，但不会提高采样速率。采样速率由 $R1 * C1$ 决定。

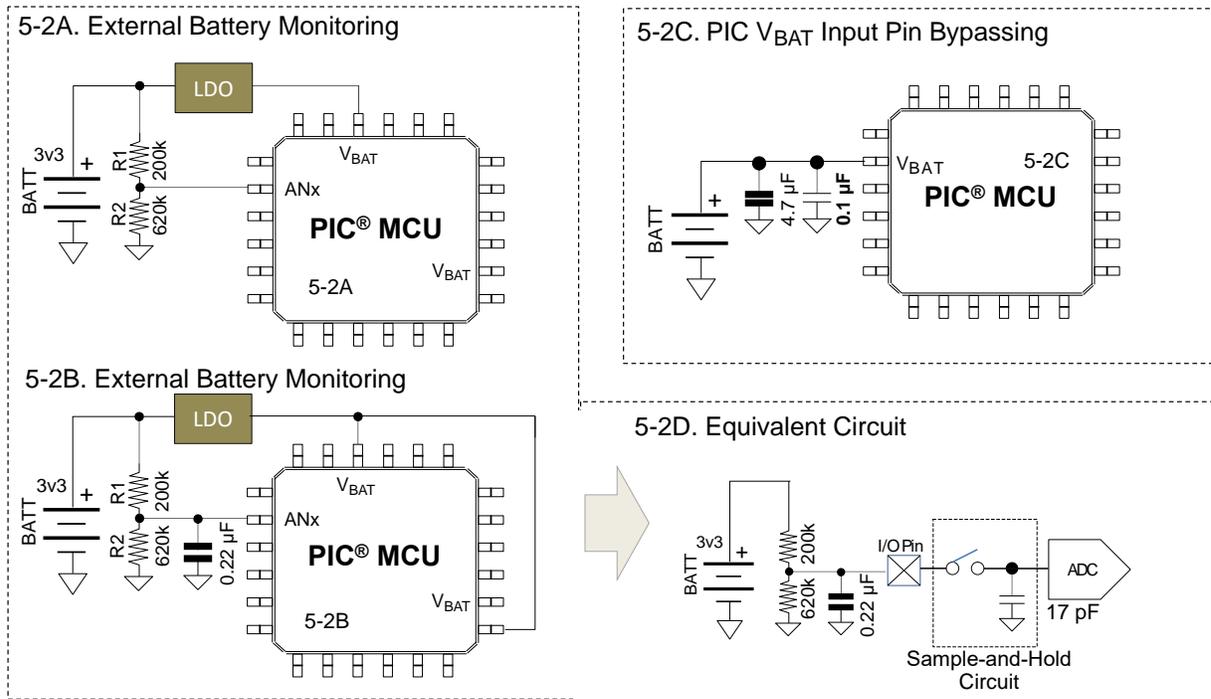
梯形电阻网络元件选择：

选择分压器电阻时，应确保最大程度地降低电池消耗。如果电路采用 820 kΩ 电阻分压器（如图 5-2A 所示），则会产生 $3.3V/820\text{ k}\Omega = 4\text{ }\mu\text{A}$ 的恒定电流消耗。分压器将输出调节为最大输出电压， $620\text{ k}\Omega/(620\text{ k}\Omega + 200\text{ k}\Omega) =$ 输入的 75.6%。通过调节输入，ADC 可在低负载和充电状态（此时，电压预计会超出标称值）下测量电池电压。

电容选择：

应基于所需 ADC 精度（ADC 采样电容的充电百分比）选择电容值。容值为采样电容值 100 倍的电容会在 5 Tau 内将采样电容充电至 $100/(100 + 1) \geq \sim 99\% * 99.3$ （图 5-2D）。内部 ADC 电阻仍适用，因此会在 5 Tau 充电时间内将该电容充电至电阻分压器输出的 97.3% 左右。增大电容和/或延长充电时间将提高 ADC 采样电容的充电精度。

电容 C1 将在 5 Tau ($R1 * C1$) 内充电至梯形电阻网络的 99.3%。该充电时间决定最大采样速率。

图 5-2. V_{BAT} 旁路和电池监视图

注：为清楚起见，未显示 V_{DD} 和 V_{SS} 引脚和旁路电容。关于所需连接，请参见 5. PCB 和 PIC MCU 连接。

[返回检查清单](#)

6. 串行数据损坏错误

6.1 阻抗匹配

问题 17: 器件与目标 IC 之间经常发生间歇性数据损坏。

信号快速上升和下降以及源器件和目标器件之间阻抗不匹配都会导致信号完整性问题或反射。信号频率越高，上升和下降时间就越短（见图 6-1）。

确定何时需要进行传输线端接的一般准则是：

- 当 PCB 走线的单向传播延时等于或大于所施加信号上升/下降时间的一半时（以较快的边沿为准），应根据传输线的特性阻抗对传输线进行适当端接

由于大多数设计人员不知道 PCB 走线的传播延时，因此应采用以下步骤：

- 检查是否已在原点（即信号源）处或总线上的所有器件输出引脚处（对于双向信号）使用串联电阻来端接所有超过 15 MHz 的高速信号

如需根据用户的 PCB 设计规范确定要使用的终端电阻值，请使用如下在线工具计算线路阻抗：

<https://www.eeweb.com/tools/microstrip-impedance> = 走线阻抗

公式 3: PCB 信号串联终端电阻值 = $\{[(V_{DD} - V_{OH(min)})/I_{OH(max)}] - \text{走线阻抗}\}$

表 6-1. 典型 PCB 走线特性（仅供参考）

走线宽度	PCB 层间高度	走线厚度	PCB 基板介电常数	走线阻抗
0.175 mm	113 μm	1.41 mil (1 盎司铜)	4	54.6 Ω

例如：

PCB 信号串联终端电阻值 = $\{[(V_{DD} - V_{OH(min)})/I_{OH(max)}] - \text{走线阻抗}\}$

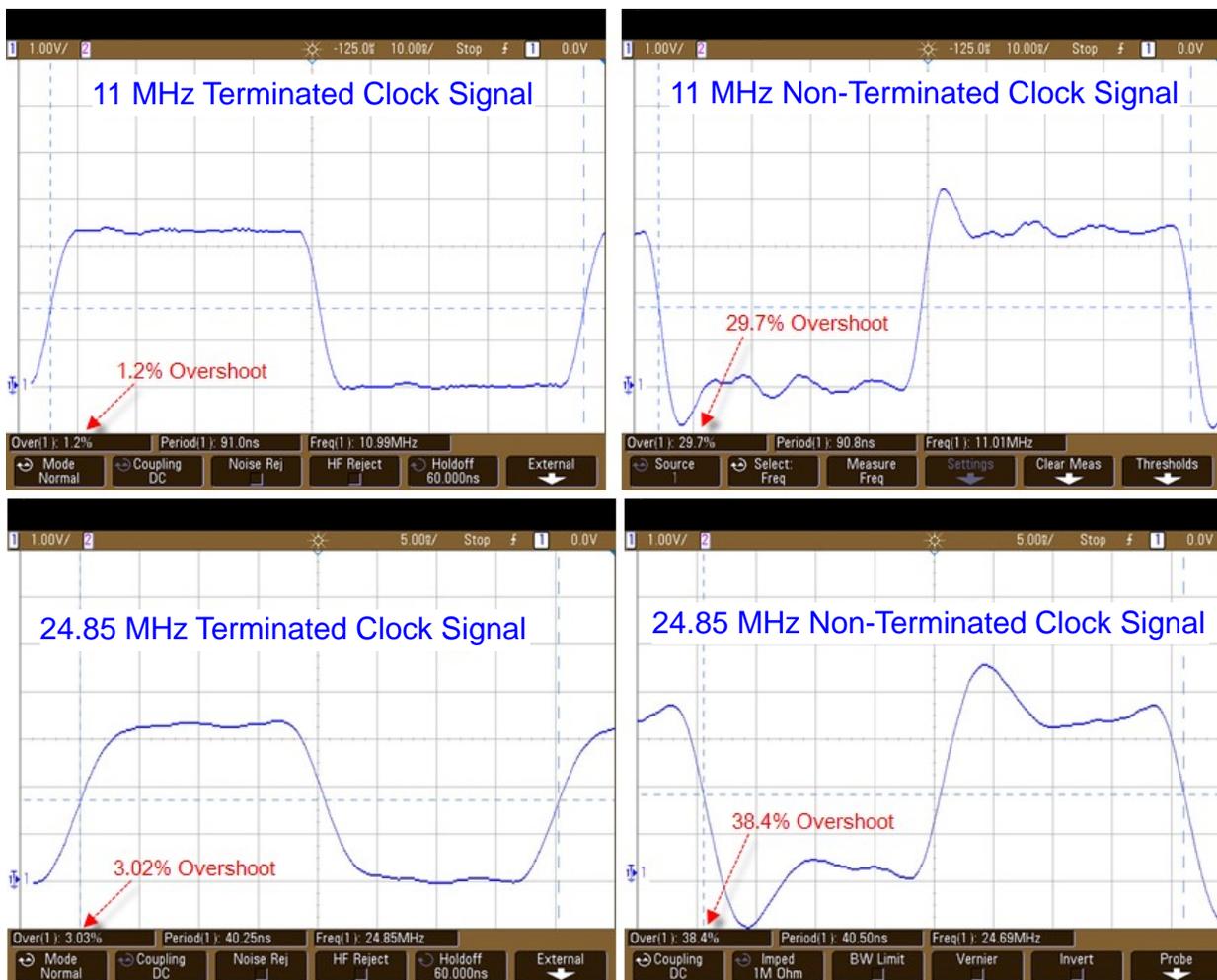
= $\{[(3.3-2.4)/10 \text{ mA}] - 54.6 \Omega\}$

= 35.4 Ω （舍入为最接近的标准电阻值）

= 33 Ω

注： 终端电阻过大会影响信号的压摆率和速度，进而导致信号不再满足指定的时序要求。

图 6-1. 传输前后的信号完整性图



6.1.1 通用高速信号布线简要指南

设计高速信号时，应遵循以下准则：

1. 首先对差分和高速走线进行布线，必要时使邻近地平面层的 PCB 层 1（与 PIC MCU 器件的信号源/目标位于 PCB 的同一侧）保持差分阻抗匹配。
2. 确保时钟和高速信号走线都有一个完整的参考地平面，其下方没有间隙或空隙。
3. 对带信号地的信号层上的所有空隙进行灌铜。
4. 最大限度地减少在高速信号设计过程中使用过孔。过孔会使信号走线的电容、阻抗变化和频率增大，进而导致反射和辐射 EMI。
5. 使用 3 倍宽度规则提供足够的走线间距以避免串扰问题。

注：请参见本文档末尾的 12. 综合 PCB 布线指南和建议。

6.1.2 I/O 引脚压摆率控制

某些器件系列（例如 PIC24）具有 I/O 输出引脚压摆率控制功能，不再需要为器件高速信号使用终端电阻。通过缩短上升和下降时间，可以改善信号完整性并消除数据收发器错误。

[返回检查清单](#)

6.2 接地回路

问题 18: 远程 PCB 站或设备之间的通信链路上存在间歇性数据损坏。

如果不同位置的设备通过共用公共数字地的线缆连接在一起，但它们的局部 PCB 地各不相同，就会形成接地回路，如图 6-2 所示。接地回路电流的大小取决于相同交流电源总线上，甚至不同交流相上不同电源总线上的工作负载汲取的电流。由于数字地是相对于交流中性点电位而言，因此在非隔离逻辑电源（例如开关电源）上，这会导致接地在不同电压下的变化很小（通常在 mV 范围内）。在同一 PCB 上，由于接地偏移是单个 PCB 上所有逻辑所共有的，因此同一 PCB 上的各个元器件信号之间没有问题。

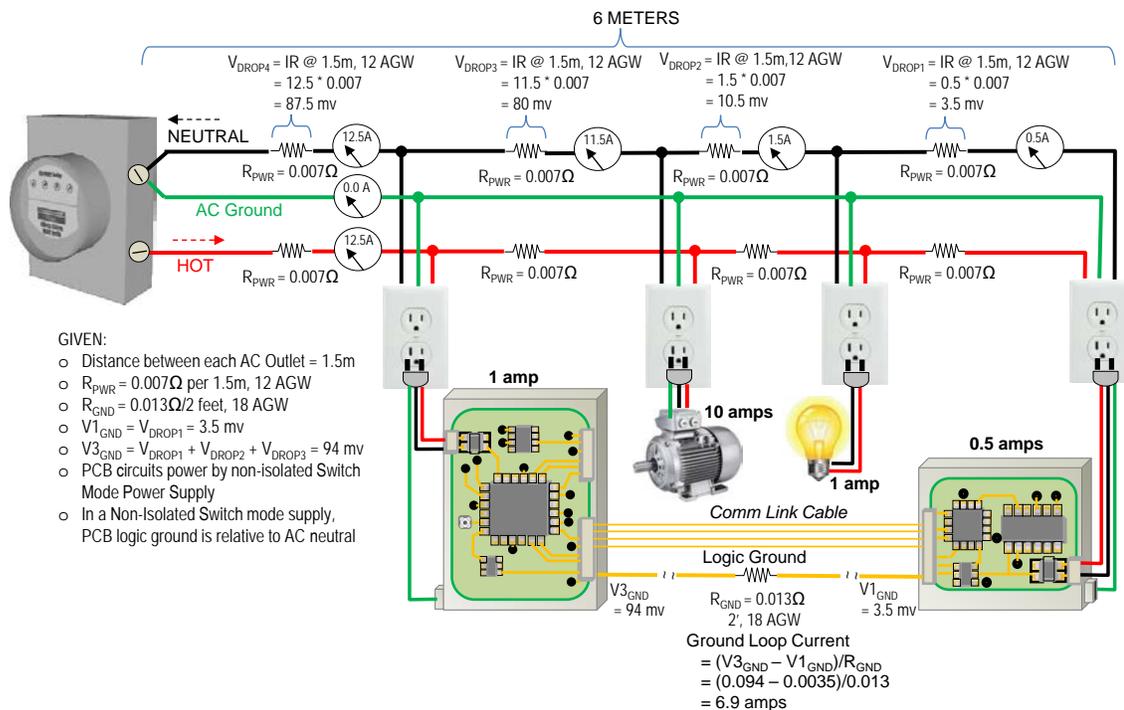
当多个 PCB 板通过线缆互连时，就会出现这个问题。由于 $I = V/R$ 并且典型互连 PCB 布线的电阻相对较小，因此即使很小的逻辑接地偏移也会在 PCB 系统之间引起较大的接地回路电流。这种接地偏移会改变远程 PCB 系统之间的相对 V_{IL}/V_{IH} 和 V_{OL}/V_{OH} 信号阈值，因为 $V_{IL}/V_{IH}/V_{OL}/V_{OH}$ 始终是相对于其局部逻辑地而言。在许多交流负载处于工作状态期间，信号问题可能会变得更严重，而随着交流工作负载被关闭或禁止，信号问题可能会有所改善。这就解释了为什么工业控制系统中的设备之间普遍采用 4-20 mA 电流环通信，因为它既不依赖也不使用通信链路接地。家用恒温器和 HVAC 之间的大多数通信均为 4-20 mA 电流环控制。

如果怀疑存在接地回路问题，只需通过同一电源为互连的各个 PCB 系统供电便可轻松确认。如果通信链路数据损坏错误消失，即可确认存在需要解决的接地回路电流问题。

选项:

- 按 12. 综合 PCB 布线指南和建议中所述使用类似的元件对 PCB 通信链路线缆接口信号进行电气隔离，并断开数字地线互连或使用更高电压的信号（例如 RS-232），以便改善抗噪性和接地回路偏移抑制能力。
- 使用隔离电源为 PCB 系统供电。

图 6-2. 接地回路图示例



[返回检查清单](#)

6.3 串行外设接口（Serial Peripheral Interface, SPI）和 I²S 接口

SPI 和 I²S 接口是双向同步串行接口。

问题 19: 为什么 SPI 或 I²S 数据会损坏？

不正确的 SPI 模式

选择不正确的模式会导致接收到损坏的数据或数据移位 1 位。对于 SPI 操作，SPI 模式必须与目标器件支持的模式相匹配。对于 I²S，模式必须配置为模式 0。

工作速度

验证单片机和目标器件是否能够支持所需时钟速率。可以使用 SMP（SPIxCON[9]）位将主机接收的数据采样从中间位更改为结束位，从而提高工作速度。使用具有较高驱动能力的 SPI 引脚，尽可能使用专用 SPI 引脚。使用外设引脚选择（Peripheral Pin Select, PPS）引脚时，很多器件的 SPI/I²S 工作速度较低。

片选（Chip Select, CS）

在一些目标器件上，可将片选连接到低电平以减少使用的 I/O 引脚数量。确保目标器件可以这种方式工作。一些器件需要 CS 线上发生跳变才能正常工作。

当 CS 线连接到低电平时，目标器件可能会将时钟线上的毛刺检测为时钟。在这种情况下，可能需要使用上拉或下拉电阻（取决于 SPI 模式）来防止在 PIC 单片机外设初始化之前 I/O 引脚上出现毛刺。

信号质量

在较高的工作频率下，可能需要串联电阻或连接终端电阻。更多详细信息，请参见 [12.3. PCB 信号完整性问题](#)。

6.3.1 SPI SD 卡保护设计要点

- SD 卡插座必须连接到机壳的交流地（如果可能），或者通过 100 k Ω 电阻连接到数字地，以减少任何潜在的 ESD 放电事件。
- 在这种情况下，不需要信号终端电阻，因为 ESD 保护器件 [CM1422-03CP](#) 的 ESD RC 滤波器中有一个 100 Ω 的串联电阻。
- 所有 SD 卡信号均经由 ESD RC 滤波器进行滤波。

[返回检查清单](#)

6.4 SD 主机控制器（SD Host Controller, SDHC）

问题 20: SD 卡无法写入或擦除，只能读取。

- SD 卡可能被锁定。SD 卡侧面有一个小滑动开关。插拔卡时偶尔会误开启滑动开关，导致 SD 卡处于写保护状态。

问题 21: 无法访问 SD 卡。

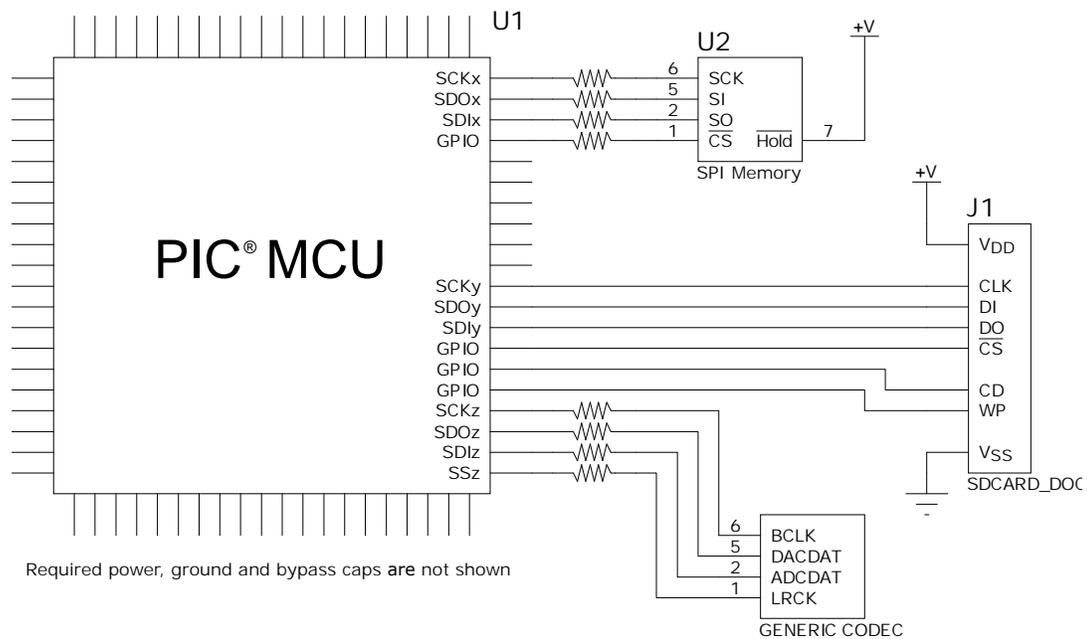
- 如果使用的是软件框架或堆栈，则可能需要将卡检测（即#CD）输入连接到器件接口。

注: 检查器件接口和软件配置是否要求卡检测功能。

注: 卡检测功能是一种机械张力开关，在 SD 卡插入时闭合以将卡检测信号接地。如果您的器件和软件接口要求卡检测功能，应确保开关仍能正常工作。检查卡检测信号并确认其为逻辑低电平。如果使用该状态信号，则需要上拉。

- SD 卡共有三种尺寸：标准、Mini 和 Micro。它们都支持 SPI 和 SDHC 接口，但是接口连接各不相同。
- 尝试降低 SD 卡 CLK 频率以减慢数据访问速率。如果这能够解决问题，则可能存在 PCB 走线长度和/或阻抗匹配问题（相对于预期的数据速率）。

图 6-3. SD 卡 SDHC 设计示例图



注：请参见 2.2. 电源旁路中相应的 PIC® MCU 电源旁路电路配置。

6.4.1 SD 主机控制器保护设计要点

- SD 卡插座应连接到机壳的交流地（如果可能），或者通过 100 k Ω 电阻连接到数字地，以减少任何潜在的 ESD 放电事件。
- 在这种情况下，不需要信号终端电阻，因为 ESD 保护器件 CM1422-03CP 的 ESD RC 滤波器中有一个 100 Ω 的串联电阻
- 所有 SD 卡信号均经由 ESD RC 滤波器进行滤波

[返回检查清单](#)

6.5 通用异步收发器（Universal Asynchronous Receiver Transmitter, UART）

UART 是异步串行通信外设。

问题 22: UART 数据损坏。

波特率不匹配

根据行业规范，源与目标之间的 UART 波特率误差总和不能超过 $\pm 3\%$ （即 $\pm 1.5\%$ 发送器容限加上 $\pm 1.5\%$ 接收器容限）。

UART 波特率有两种误差来源：

- 器件 UART 时钟源精度
- 整数值引起的波特率计算误差（见例 6-1）

注：波特率不匹配通常会导致 UART 帧错误。

UART 配置不匹配

确保两个器件为其 UART 配置了相同数量的数据位和停止位，并且均采用 8 位或 9 位模式。

UART 溢出错误

当 UART 接收 FIFO 没有空间再接收字符时，将发生溢出错误。

选择缓冲区未滿的接收中断模式（URXISEL）。这样，中断后便有更多的时间在发生溢出前读取缓冲区。

问题 23: 上电或从休眠状态唤醒后，第一个字节缺失或损坏。

每次复位时，I/O 引脚均为三态且悬空。RX 线悬空为低电平时激活接收被视为启动位，随后将开始接收数据。如果需要停止位时 RX 线仍为低电平，则将发生帧错误。

UART RX 线上的外部上拉电阻将确保 UART 在检测到线路空闲而非启动位后才配置 UART 发送。

从休眠状态唤醒需要在 UART 开始正常工作且 CPU 开始执行代码之前运行所选的时钟源。

UART 唤醒模式（WAKE（UxMODE[12]））与同步间隔字符（由 10 个低电平位时间及其后的 1 个高电平位时间组成的特殊序列）配合使用，可唤醒器件并为 UART 的时钟源留出准备时间。

伪代码

将 UART WAKE 位置 1（仅在具有该位的器件上）。

进入休眠状态。

主机发送同步间隔字符。

产生 UART 事件中断以唤醒器件。

主机发送数据字节。如果器件的时钟源需要超过 11 个位时间来准备，则发送数据前可能需要额外的主机延时。

例 6-1. 波特率计算

$$\text{目标波特率} = F_{CY} / (16 (UxBRG + 1))$$

$$\text{求解 } UxBRG \text{ 值: } UxBRG = ((F_{CY} / \text{目标波特率}) / 16) - 1$$

$$UxBRG = ((4000000 / 9600) / 16) - 1$$

$$UxBRG = 25$$

$$\text{计算波特率} = 4000000 / (16 (25 + 1)) = 9615$$

$$\begin{aligned} \text{误差} &= (\text{计算波特率} - \text{目标波特率}) / \text{目标波特率} \\ &= (9615 - 9600) / 9600 = 0.16\% \end{aligned}$$

6.5.1 UART 保护设计要点

- 请注意，在 RS-232 DB9 连接器上，“屏蔽层”未直接连接到数字信号地，连接到数字地是一种典型的设计错误。不将屏蔽层连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的应用操作，以防发生 MCU 复位或元件故障。将屏蔽层连接到机壳地；如果机壳地不可用，则通过以下任一方式进行连接：
 - 1 k Ω @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15 Ω ，仅用于 ESD 保护。
 - **推荐：**使用一个 10 k Ω 的固定电阻，这样不仅可添加与铁氧体磁珠相同的 ESD 保护，还能够在远程系统未遵循推荐设计方法的情况下在远程系统屏蔽层或外壳与本地数字地之间实现接地回路电流隔离。10 k Ω 仍然很低，足以分流和衰减 RS-232 线缆屏蔽层上的 RF 和 EMI。

- UART 具有 RS-232 DB9 数字地连接器、引脚 5、铁氧体磁珠和 $10\ \Omega$ 电阻。铁氧体磁珠可防止远程系统可能发生的 ESD 接地放电事件， $10\ \Omega$ 电阻用于限制潜在的接地回路电流（见[接地回路](#)），同时不会影响信号的 V_{IL}/V_{IH} 和 V_{OL}/V_{OH} 电压。
- 本地系统的输入和输出 UART 信号线上的瞬态电压抑制器进一步完善了保护设计。

注：很多人误以为，元件供应商声称其 IC 可以承受 $\pm 15\ \text{kV}$ 的电压即表示 I/O 上已获得了充分的保护，但实际上这并不是对外部接口元件和信号的惟一要求。通常， $\pm 15\ \text{kV}$ 的额定值针对 IEC 61000-4-2 空气放电规范。这适用于非外部接口信号，但不包括 IEC 61000-4-2 ESD 接触放电，这种放电对设备外壳、外部信号接口、端口、连接器和线缆硬件的峰值电流放电要求为 $\pm 8\ \text{kV} @ 30\ \text{A}$ 。

[返回检查清单](#)

6.6 USB

问题 24：为什么 USB 数据传输时间长于预期？

- 当时序或信号完整性问题引起的 CRC 错误导致数据包被丢弃时，USB 协议允许连续重新尝试传输数据包（同步数据传输除外）。这会导致传输时间延长，因为相同的数据包一再地重复传输，直到 CRC 匹配为止，请参见下一个问题中的**注意事项**。

问题 25：为什么 USB 设备无法枚举？

大多数 USB 问题都是相似的，最终都会回到信号完整性和时序精度问题上，下面将详细讨论。

问题 26：USB 连接已丢失。

- 当 USB 传输错误按照一定的频率发生时，USB 主机系统软件将确定是否以及何时发生超时，或者允许进行多少次重试。当满足这些阈值中的任意一项时，USB 连接将终止。
- 根据 USB 2.0 规范，可以将 USB 设备归为低功耗（ $5\ \text{V} @ 100\ \text{mA}$ ）或高功耗（ $5\ \text{V} @ 500\ \text{mA}$ ）两个类别。USB 设备建立连接后，最初只能汲取 $100\ \text{mA}$ 的电流，同时进行枚举并与主机协商其功率预算。主机将基于枚举将供电提高到 $500\ \text{mA}$ 或继续保持 $100\ \text{mA}$ 。如果下行设备的功耗超出主机所能支持的值或超出其协商的限值，则主机将断开下行违规端口的连接（本段所述的 USB 2.0 规范中不含全新的电池充电规范 BC 1.2 ECN）。

表 6-2. USB 模式和数据速率汇总

USB 模式	时钟精度	数据速率
FS: 全速	$\pm 0.25\%$	12 Mbps
LS: 低速	$\pm 1.5\%$	1.5 Mbps

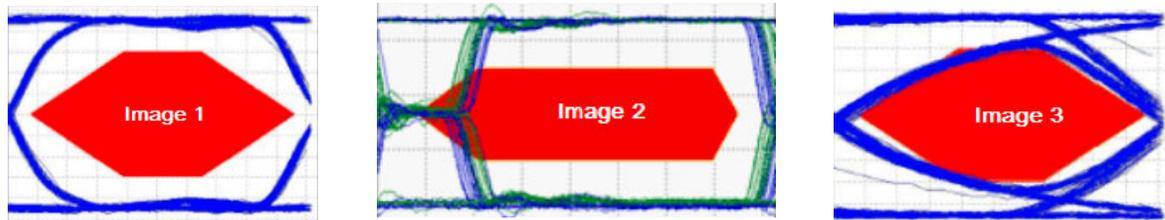
表 6-3. USB 传输类型和错误重试汇总

USB 数据传输类型	在发生 CRC 错误时自动重新发送	用例
控制传输	是	用于配置设备（枚举）。
中断传输	是	用于发送简短的简单数据，例如键盘、鼠标、触摸板、触摸屏或游戏控制器数据。
批量传输	是	用于以 100% 的准确度传输大量数据，如文件、图片和打印机数据。
同步传输	否	用于流式传输视频和音频。

注：CRC 检查由 USB 硬件自动完成。发送数据包时，数据包 CRC 被编码在数据包报头中。接收数据包时，将再次计算数据包的 CRC，并与数据包中发送的编码 CRC 值进行比较。

- 与 USB 相关的两个最常见的设计问题分别是由于阻抗不匹配引起的信号完整性问题以及时序违例问题。[图 6-4](#) 显示了所谓的 USB 眼图。红色区域是一个受限区域，在该区域内的 USB 信号不能发生交叉，否则将不符合 USB 规范。此类违例会导致 CRC 错误和数据包被丢弃。

图 6-4. USB 眼图



- 图 1 表示符合限制条件规范的 USB 差分眼图，其中的时序、上升/下降时间和阻抗匹配情况均非常出色。
- 图 2 表示通常与 USB 时钟源精度和/或抖动问题相关的时序问题。
确保用于提供 USB 时钟的时钟源与 PLL 组合满足上面的 [USB 模式和数据速率汇总表](#) 中列出的时钟精度要求。一些 PIC MCU 可使用自调节功能将 FRCPLL 用作 USB 时钟源（仅限 USB 设备模式）。自调节功能可将 USB 主机时钟或器件的 32.768 kHz 晶振辅助振荡器（SOSC）作为参考。自调节控制位在 OSCTUN 寄存器中。
- 图 3 表示典型的阻抗不匹配问题，可能是由于 PCB 布线、元件选型（与 D+ 和 D- 信号接触）引起，也可能是由于使用了未经认证的 USB 线缆引起。

表 6-4. USB PCB 布线规则和限制

1	首先对 USB 和 USB 差分走线进行布线，使邻近地平面层的 PCB 层 1（与器件元件在同一侧）保持差分阻抗匹配（ $90\ \Omega$ ）。 D+ 和 D- PCB 走线不应超过：
2	1. USB 全速 = 4.5 英寸（114.3 mm） 2. USB 低速 = 6 英寸（152.4 mm）
3	确保 D+ 和 D- 走线都有一个完整的参考地平面，其下方没有接地间隙或空隙。
4	确保 D+ 和 D- 走线长度相同。
5	D+ 和 D- 走线不应有任何 PCB 过孔（即通孔）或尖角，否则它们会干扰阻抗和频率并引起反射。
6	USB 连接器屏蔽层不应直接连接到数字逻辑地。尽管差分信号具有良好的抗噪性，但它们容易受到接地回路的影响，接地回路会使信号电平阈值产生偏移。最好不要在 USB 屏蔽层和逻辑地之间使用电容，因为该电容会将 ESD 放电直接传导到 PIC MCU 系统中（请参见后面几页上的 USB 设计示例图）。
7	如果使用保护元件： 1. 应将其放置在靠近 USB PCB 连接器的位置，并且不要使用短桩线。元件应沿着 D+ 和 D- 走线进行贴装，以保持阻抗匹配并最大程度地减少反射。如果必须使用短桩线，应确保其小于 200 mil。 2. 每个信号的全速 USB 保护元件负载不应超过 1.5 pF。
8	D+/D- 走线不应包含任何额外的元件，以便保持信号完整性。例如，走线不应连接多个 USB 连接器。
9	请勿在使用或复制时钟信号的晶振、振荡器、时钟信号发生器、开关稳压器、安装孔、磁性器件或 IC 的下方或附近布设 USB 走线。

注：请参见本文档末尾处的[完整 PCB 布线指南](#)。

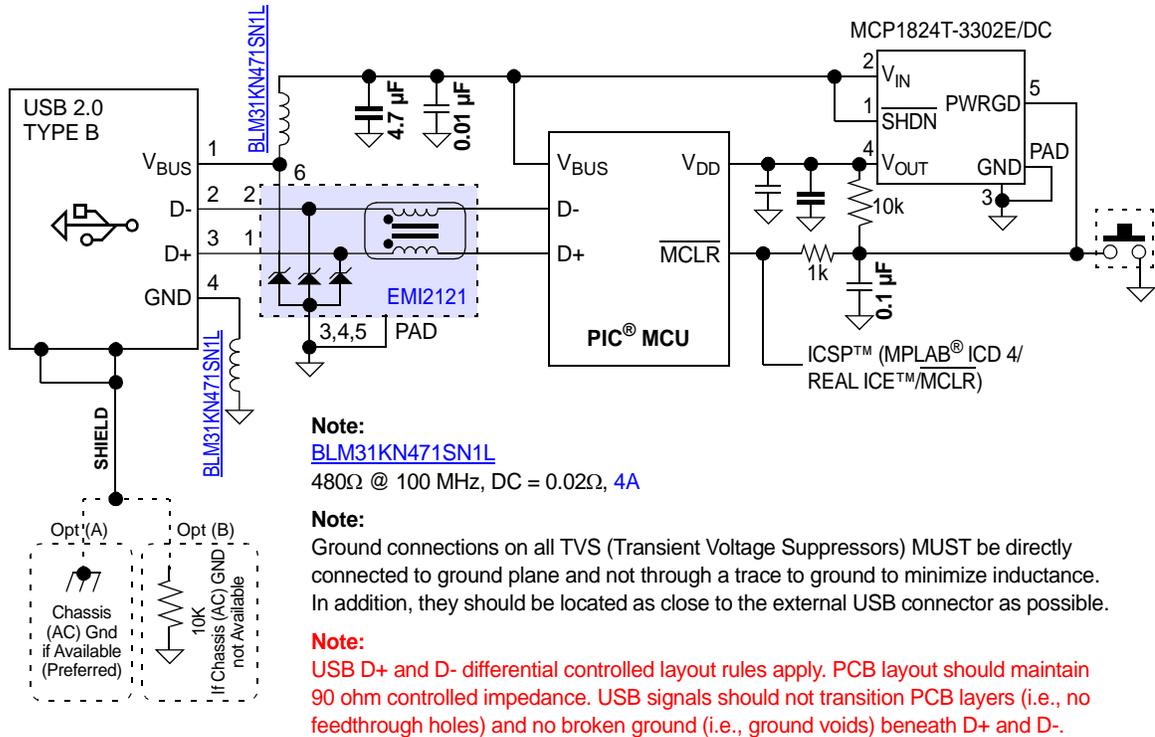
6.6.1 USB 主机设计要点

- 请注意，在图 6-5 所示的 USB 连接器上，屏蔽层未连接到数字信号地，连接到数字地是一种典型的设计错误。不将屏蔽层连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的应用操作，以防发生 MCU 复位或元件故障。将屏蔽层连接到机壳地。如果机壳地不可用，则通过以下任一方式进行连接：
 - 1 k Ω @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15 Ω ，仅用于 ESD 保护（即 [MI0805J102R-10](#)）。
 - **推荐：**使用一个 10 k Ω 的固定电阻，这样不仅可添加 ESD 保护，还能够在远程系统未遵循推荐设计方法的情况下在远程系统屏蔽层或外壳与本地数字地之间实现接地回路电流隔离。对于屏蔽层而言，10 k Ω 的阻抗足够低，可以有效地衰减 RF 和 EMI 干扰，以保持 USB 线缆的屏蔽效果。

- 在 USB 连接器上，数字地、引脚 4 和铁氧体磁珠有助于防止远程系统可能发生的 ESD 接地放电事件。普通串联电阻与许多其他外设接口上的铁氧体磁珠串联，以限制潜在的接地回路电流。由于可能存在较大的 USB 下行功率需求，因此这里未进行串联。
- 瞬态电压抑制器和 90 Ω 共模扼流圈应尽可能靠近 USB 连接器放置。共模扼流圈仅用于隔离传导的 EMI。
- TPS2041C 限流开关 TPS20XXX 可提供 500 mA 至 2A 的电流（步长为 0.5A）。其目的是限制下行 V_{BUS} 负载，以保护主机系统上的 5V 电源。

[返回检查清单](#)

图 6-5. USB 设备设计示例图



6.6.2 USB 设备设计要点

- 请注意，在图 6-5 中的 USB 连接器上，屏蔽层未直接连接到数字信号地，连接到数字地是一种典型的设计错误。不将屏蔽层连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的操作，以防发生器件复位或元件故障。将屏蔽层连接到机壳地。如果机壳地不可用，则通过以下任一方式进行连接：
 - 1 k Ω @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15 Ω ，仅用于 ESD 保护（即 [MI0805J102R-10](#)）。
 - 推荐：**使用一个 10 k Ω 的固定电阻，这样不仅可添加 ESD 保护，还能够在远程系统未遵循推荐设计方法的情况下在远程系统屏蔽层/外壳与本地数字地之间实现接地回路电流隔离。对于屏蔽层而言，10 k Ω 的阻抗足够低，可以有效地衰减 RF 和 EMI 干扰，以保持 USB 线缆的屏蔽效果。
- 在 USB 连接器上，数字地、引脚 4 和铁氧体磁珠有助于防止远程系统可能发生的 ESD 接地放电事件。普通串联电阻与许多其他外设接口上的铁氧体磁珠串联，以限制潜在的接地回路电流，但由于可能存在较大的 USB 下行功率需求，因此这里未进行串联。
- 瞬态电压抑制器和 90 Ω 共模扼流圈应尽可能靠近 USB 连接器放置。共模扼流圈仅用于隔离传导的 EMI。

- 图中的 MCP1824T 3.3V LDO 用于说明如何将其另作器件的复位监控器。
注：所需的 1 kΩ 隔离电阻是 ICSP 的要求。

[返回检查清单](#)

6.7 CAN FD

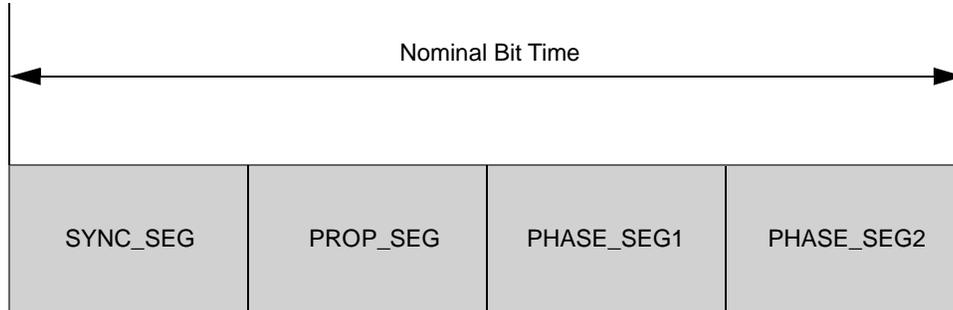
问题 27: 为什么出现 CAN 发送报文错误?

问题 28: 为什么 CAN 无法连接?

6.7.1 CAN FD 芯片配置要求

- CAN/CAN FD 的最大数据速率误差 ≤ 1%。
- 至少要将一个 CAN 器件配置为固定 CAN 比特率。如果将多个 CAN 器件配置为固定 CAN 比特率，则网络上每个具有固定 CAN 比特率的器件的比特率必须相同。
- CAN 网络中每个 CAN 节点的 ID 必须惟一。
- 可通过以下方式确定 CAN 数据速率：
 - CAN 时间份额（即 TQ）= ((数据波特率预分频比 + 1)/FCAN)
 - 注：FCAN 是 CAN 模块输入时钟频率（建议使用 20 MHz、40 MHz 或 80 MHz）。
 - 位周期 = (TQ * ((SYNC + (TSEG1 + 1) + (TSEG2 + 1))))
 - CAN 比特率 = (1/(((BRP + 1))/FCAN) * (SYNC + (TSEG1 + 1) + (TSEG2 + 1))))
 - 或者，比特率 = 1 / 位周期
 - 1% 的误差 ≥ [(比特率 - 用户所需比特率)/所需比特率] * 100

图 6-6. CAN 标称位时间图



CAN 相位段限制规则

1. (传播段 + 相位段 1) ≥ 相位段 2。
2. 8 ≤ (同步段 (即 SJW) + 传播段 + 相位段 1 + 相位段 2) ≤ 40。
3. 同步段 (即 SJW) ≤ 相位段 2。

表 6-5. CAN FD 位时间寄存器

CAN FD 段	SAM 和 PIC32C		PIC32MK							
同步段	DBTP.DSJW	≥	NBTP.DSJW	CFD1DBTCFG.SJW	≥	CFD1NBTCFG.SJW				
传播段	DBTP.DTSEG1		NBTP.DTSEG1	CFD1DBTCFG.TSEG1		CFD1NBTCFG.TSEG1				
相位段 1							DBTP.DTSEG2	NBTP.DTSEG2	CFD1DBTCFG.TSEG2	CFD1NBTCFG.TSEG2
相位段 2										

注:

1. 通过 SAM/PIC32C [DBTP 寄存器]或 PIC32MK [CFD1DBTCFG]为 CAN FD 数据阶段配置的比特率必须大于或等于通过 SAM/PIC32C [NBTP 寄存器]或 PIC32MK [CFD1NBTCFG 寄存器]为仲裁阶段配置的相应比特率。
2. 此外, 最大 CAN 数据速率误差百分比还必须考虑时钟源误差 + 抖动误差百分比。
3. 检查以上所有内容, 对照预期数据速率和误差百分比正确配置实际数据速率。

6.7.2 CAN FD 硬件要求

- CAN 网络中仅安装或配置两个 120 Ω 总线终端电阻, 这两个电阻位于 CAN_H 和 CAN_L 之间的两个物理端点上。
 - 通过为所有 CAN 器件断电并测量“CAN 高电平”和“CAN 低电平”线之间的电阻, 可以轻松进行检查。测得的电阻大小必须约为 60 Ω (即 $R_{PARALLEL} = ((120 * 120)/(120 + 120)) = 60 \Omega$)。低于 60 Ω 的任何值均表示可能存在两个以上的 120 Ω 总线终端电阻, 这种问题必须加以解决。
 - 120 Ω 终端电阻必须位于 CAN 高电平和 CAN 低电平之间, 才能正常工作。
 - 大于 60 Ω 的值通常表示缺少至少一个总线终端电阻, 或者总线终端电阻的值错误。
 - 必须目视检查两个 120 Ω 总线终端电阻是否正确置于网络两端。
 - 网络中的 CAN GND 必须有一端连接到地电位。
 - 使用双屏蔽线缆时, 需要将外屏蔽层的一端连接到地电位。网络中的机壳/地连接不得超过一个。
- 共有两种类型的 CAN 线缆: 末端接线缆和自端接线缆。端接线缆已在线缆组件中内置了 120 Ω 终端电阻。确保端接线缆未与 CAN 端接电路节点混合使用。当连接多个已端接的 CAN 器件时, 需要使用非端接线缆。

图 6-7. 典型 CAN 网络

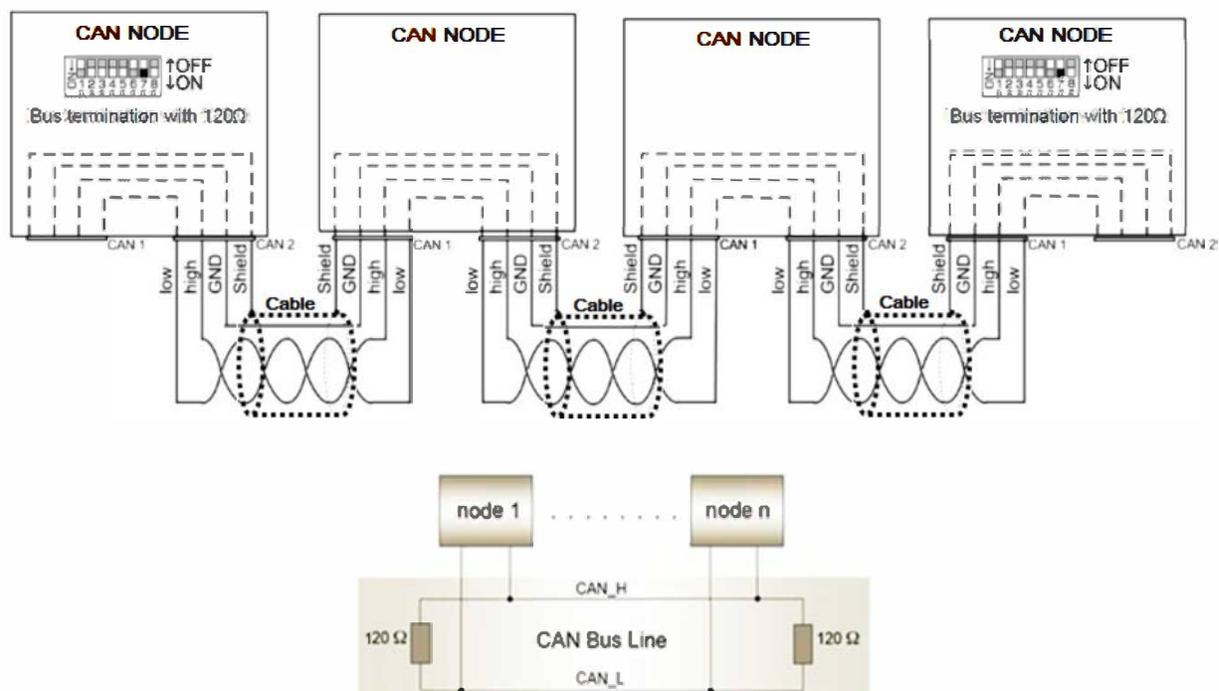
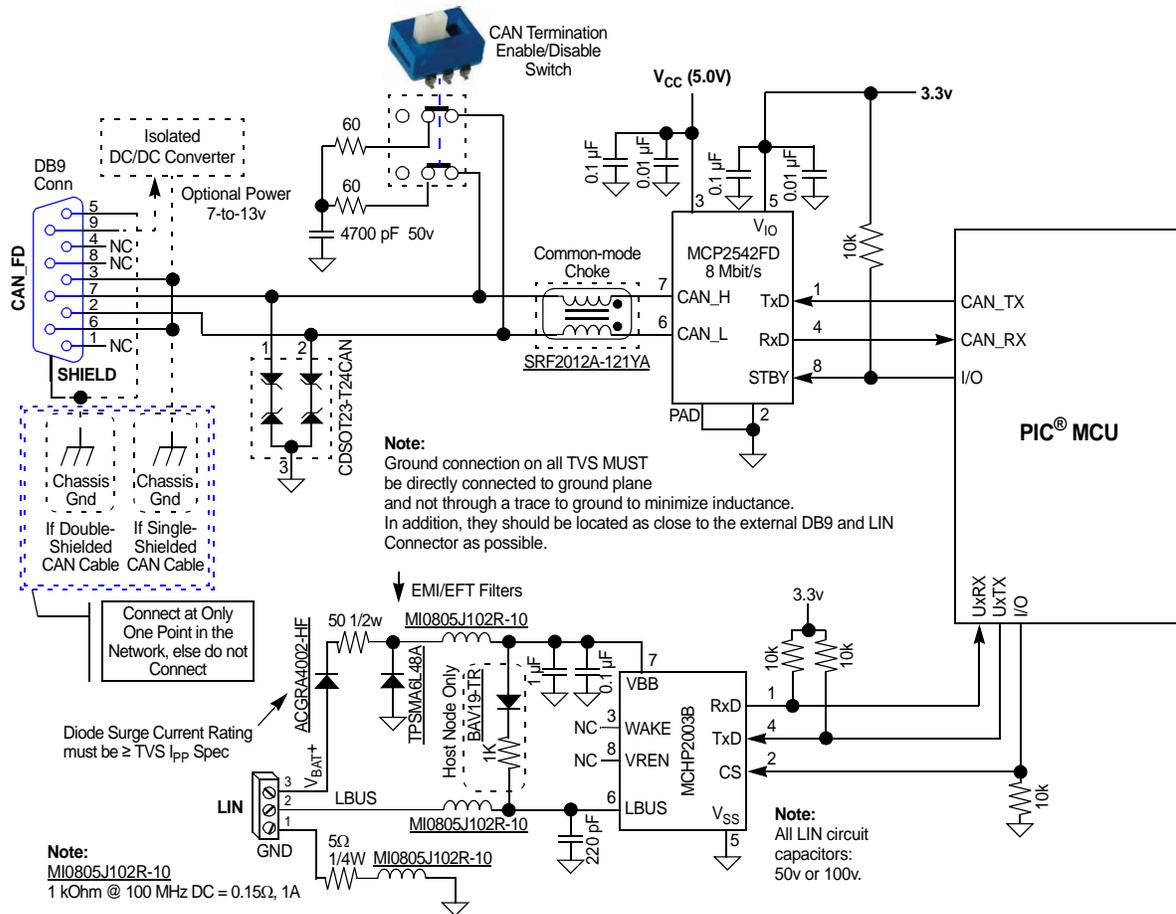


图 6-8. CAN FD/LIN 设计示例图



注：请参见 2.2. 电源旁路中相应的 PIC MCU 电源旁路电路配置。

6.7.3 CAN FD/LIN 保护设计要点

- 在图 6-8 所示的 CAN DB9 连接器上，屏蔽层没有像在其他外设中一样与 CAN 中的数字信号地相连。CAN 定义指出，CAN 通信是一种双线差分协议（CANH 和 CANL）总线。总线的显性状态和隐性状态取决于 CANH 和 CANL 之间读取的差分电压，无论是否接地。
- 屏蔽层与 CAN 网络中机壳/地的连接只能有一处。
- 在某些 CAN 网络上，可选电源还连接到线缆引脚 9。如果用户要使用该电源，请注意线路电压波动可能很大。此外，整个网络上的大电流所导致的接地偏移需要使用隔离直流转换器将 MCU 电源和地与 CAN 线缆电源和地隔离。
- 120 Ω 终端电阻只能位于 CAN 网络的两端，因此用于使能或禁止端接的开关取决于用户的 PCB 顺序和在 CAN 网络中的位置。
- 数据速率超过 1 Mbps 时，建议使用共模扼流圈。

注：很多人误认为，元件供应商声称其 IC 可以承受 15 kV 的电压即表示 I/O 上已获得了充分的保护，但实际上这并不是对外部接口元件和信号的惟一要求。通常，15 kV 的额定值针对 IEC 61000-4-2 空气放电规范。这适用于非外部接口信号，但不包括 IEC 61000-4-2 ESD 接触放电，这种放电对设备外壳、外部信号接口、端口、连接器和线缆硬件的峰值电流放电要求为 8 kV @ 30A。

[返回检查清单](#)

7. ADC

问题 29: 为什么在输入电压不低于 30 mV 时 ADC 结果为 0V?

导致计数从 0 变为 1 的 ADC 输入电压受失调误差影响。失调误差导致 ADC 零点发生移位，移位值为计数误差。

问题 30: 为什么 ADC 结果不一致且不准确?

ADC 精度和可重复性可能受以下误差源影响:

- ADC 芯片的总不可调整误差 (Total Unadjusted Error, TUE)
- 系统噪声
- 参考电压的精度以及随温度和制造工艺影响产生的漂移
- 用户 PCB 电路设计实现和 IR 压降
- 未执行 ADC 校准 (对于支持 ADC 校准的器件)

7.1 典型 SAR ADC 的总不可调整误差源 (TUE)

- ADC 失调误差⁽¹⁾
- ADC 增益误差⁽¹⁾
- 非线性误差 (INL 和 DNL) ⁽¹⁾

注:

1. 这些误差源均记录在数据手册中，在假设预期 ADC 精度时必须考虑这些误差源。不过，还有其他一些因素会影响 ADC 的精度，它们未在数据手册中定义，其中一些因素可能并不明显。用户 PCB 设计和 V_{REF} 精度也会影响 ADC 精度，用户必须在其应用中考虑这些通常被忽略的因素。

[返回检查清单](#)

7.2 V_{REF} 精度

- FS LSB 误差 = $((V_{REF} \text{ 精度} + \text{漂移} + \text{系统噪声})/V_{REF})/2^n$
= $((2^n * (V_{REF} \text{ 精度} + \text{漂移} + \text{系统噪声}))/V_{REF})$
- 最坏情况下的实际 ADC 结果 = (ADC 理想结果/ 2^n) * FS LSB 误差
例如: LDO 模式下 SAM D5x/E5x 系列 SAR ADC 在不同器件发行版、工艺、电压和温度下的最坏情况配置。
其中,

- 内部 $V_{REF} = 1.2V \pm 50 \text{ mV}$
- 25°C-85°C 范围的内部 V_{REF} 温度漂移 (0.02%/°C) = 14 mV
- 系统噪声 = ~50-75 mV
- 12 位分辨率
- ADC AIN0 输入信号 = 0.6V (即 V_{REF} 量程的 50%)

$$\begin{aligned} \text{FS LSB 误差} &= (2^n * (V_{REF} \text{ 精度} + V_{REF} \text{ 漂移} + \text{系统噪声}))/V_{REF} \\ &= (4096 * (50 \text{ mV} + 14 \text{ mV} + 50 \text{ mV}))/1.2V \\ &= 389.12 \text{ LSB} \end{aligned}$$

$$\begin{aligned} \text{ADC 结果误差} &= (0.6V \text{ 输入的 ADC 理想结果}/2^n) * \text{FS LSB 误差} \\ &= (2048/4096) * 389.12 \end{aligned}$$

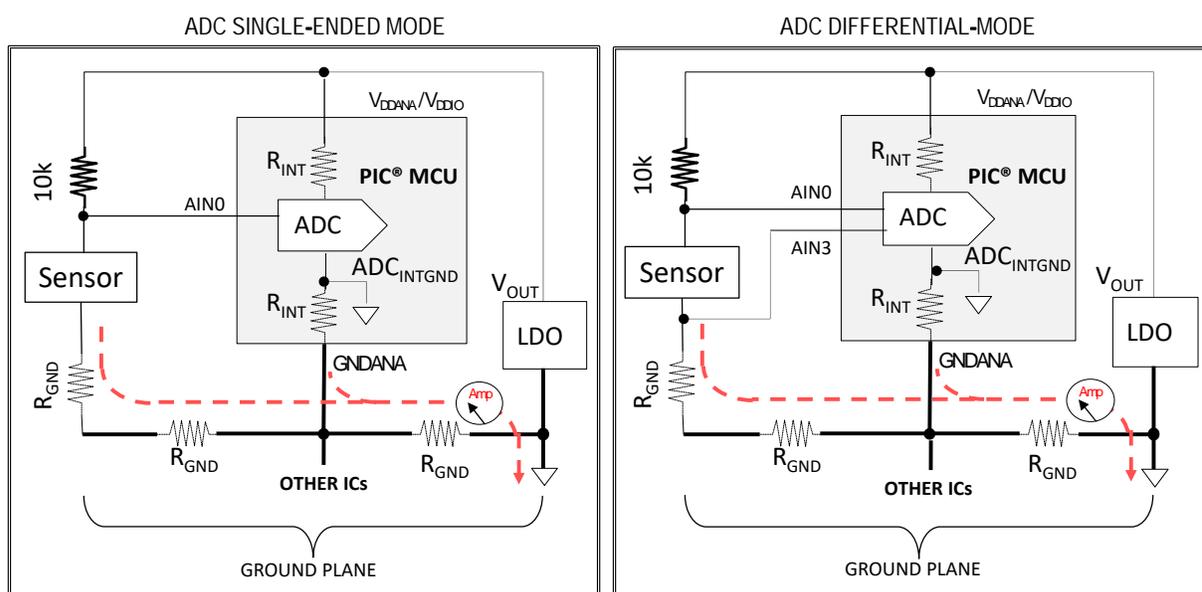
$$= 194.56 \text{ LSB 的误差, 即 } 57 \text{ mV (即 } 1 \text{ LSB} = (V_{REF}/2^n) = (1.2V/4096) = 293 \mu\text{V/LSb})$$

[返回检查清单](#)

7.3 电路 IR 压降误差

- 典型 SAR ADC:
 - $ADC I_{DD} = 45\text{-}600 \mu\text{A}$
 - $R_{INT} = 45\text{-}50 \Omega$
 - $V_{RINT} = (ADC I_{DD} * R_{INT})$
 $= 2.02 \text{ mV} \leq V_{RINT} \leq 30 \text{ mV}$
- 典型电路板特性:
 - 地平面 = $\sim 0.06 \Omega/\text{英寸}$ (即 $0.06 \Omega/25.4 \text{ mm}$)
 - 假设: 地平面 $W = 76.2 \text{ mm}$, $L = 101.6 \text{ mm}$, ADC 至传感器 $\sim 50.8 \text{ mm}$
 - 接地电流: $200\text{-}1000 \text{ mA}$
 - 因此: $25 \text{ mV} \leq V_{RGND} \leq 120 \text{ mV}$

图 7-1. ADC PCB 设计引起的误差 (单端模式与差分模式图)



- ❑ R_{GND} = Distributed resistance along ground plane and connecting traces or wires to load Sensor.
- ❑ R_{INT} = Internal MCU resistance of metal runs and bond wires to analog power and ground pins.
- ❑ ADC_{INTGND} = Local relative ground of the internal ADC module.

注:

1. 根据图 7-1 所示的 ADC 单端模式可知, 由于公共传感器与 ADC_{INTGND} 之间存在接地 IR 压降 (即电压差), ADC 在传感器两端检测到的电压的失调与接地电流和接地电阻成比例。它的值为 $V_{RINT} + V_{RGND}$ 之和, 通常会引起 30 mV 至 50 mV 或更大的误差。ADC 单端转换结果是相对于模拟输入信号和 ADC 内部地 ADC_{INTGND} 的结果。
2. 确保从 NVM 软件校准区域映射寄存器中加载 $ADCx$ $BIASCOMP$ 、 $BIASREFBUF$ 和 $BIASR2R$ 值, 以确保将 ADC 配置为最佳性能。
3. 当应用需要高分辨率时, 请考虑使用差分模式来提高精度。单端模式测量相对于内部 ADC 地的输入, 并受接地 IR 压降/失调的影响, 而差分模式则测量两个输入之差, 与 ADC 内部地和外部地无关。如果 ADC 处于差分模式 (如图 7-1 所示), 则 ADC 的输入阻抗将非常高, 导致流入模拟输入引脚的电流非

常小。这反过来会使进入 AINx 引脚的 IR 压降变得忽略不计，从而使系统中的接地 IR 压降也无关紧要。这样便可实现更准确的低电平信号传感器测量。

[返回检查清单](#)

8. 过零检测 (ZCD)

问题 33: 过零检测 (ZCD) 无法准确检测过零点。

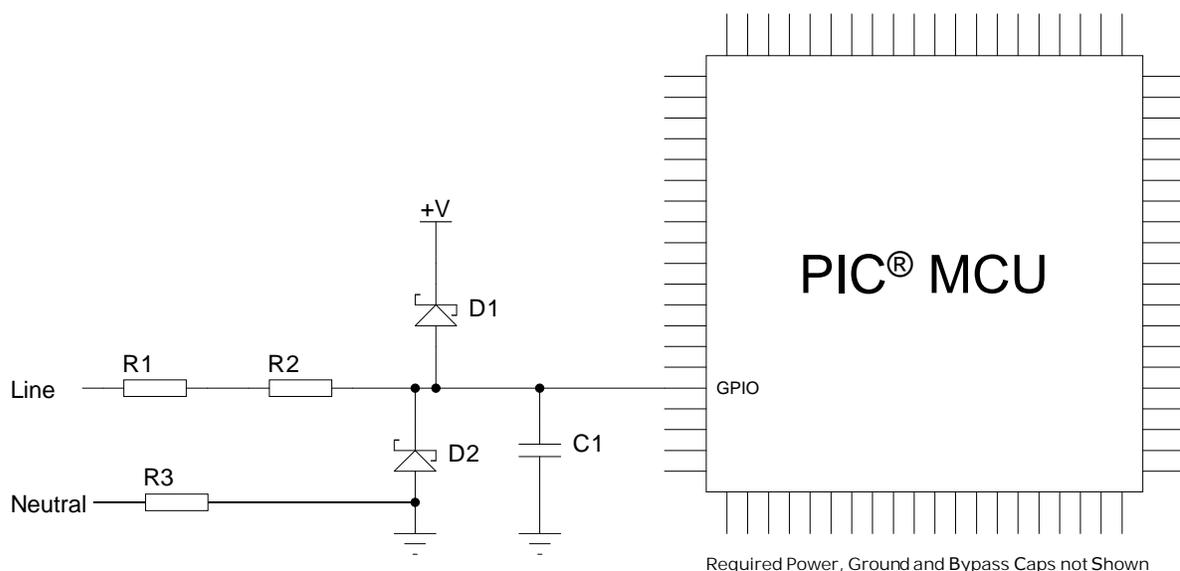
ZCD 用于检测交流波形何时达到 0V 电压。结果可用作时基或触发信号，以在电压达到最低时在交流线路上执行负载切换。

输入调理电路 (图 8-1) 会将输入电流和电压降至与器件输入引脚兼容的大小。可以添加电容 C1 来降低噪声。输入检测电压的决定因素包括：

- 引脚的 V_{IH}/V_{IL} 阈值 (引脚为数字输入时)，或
- 参考电压 (使用比较器时)。

该检测电压始终大于 0，因此测量结果中会引入一定的相位误差。

图 8-1. 输入调理电路



降低相位误差的步骤如下：

1. 最大限度地降低电容 C1 的值并
2. 测量半波的周期和相对于理想过零点的滞后。计算检测到过零到下一次实际过零的时间。使用由 ZCD 触发的定时器在下一个理论过零点产生中断。

注： 冗余高电压输入限流电阻以及肖特基二极管和电容（存在时）必须能够承受线路瞬变。必须遵循包括接地、间隙和爬电距离要求在内的很多安全标准（不在本文档的讨论范围内）。这些要求由保险商实验室（Underwriters Laboratory, UL）和国际电子工业联接协会（IPC）IPC2221A 定义。

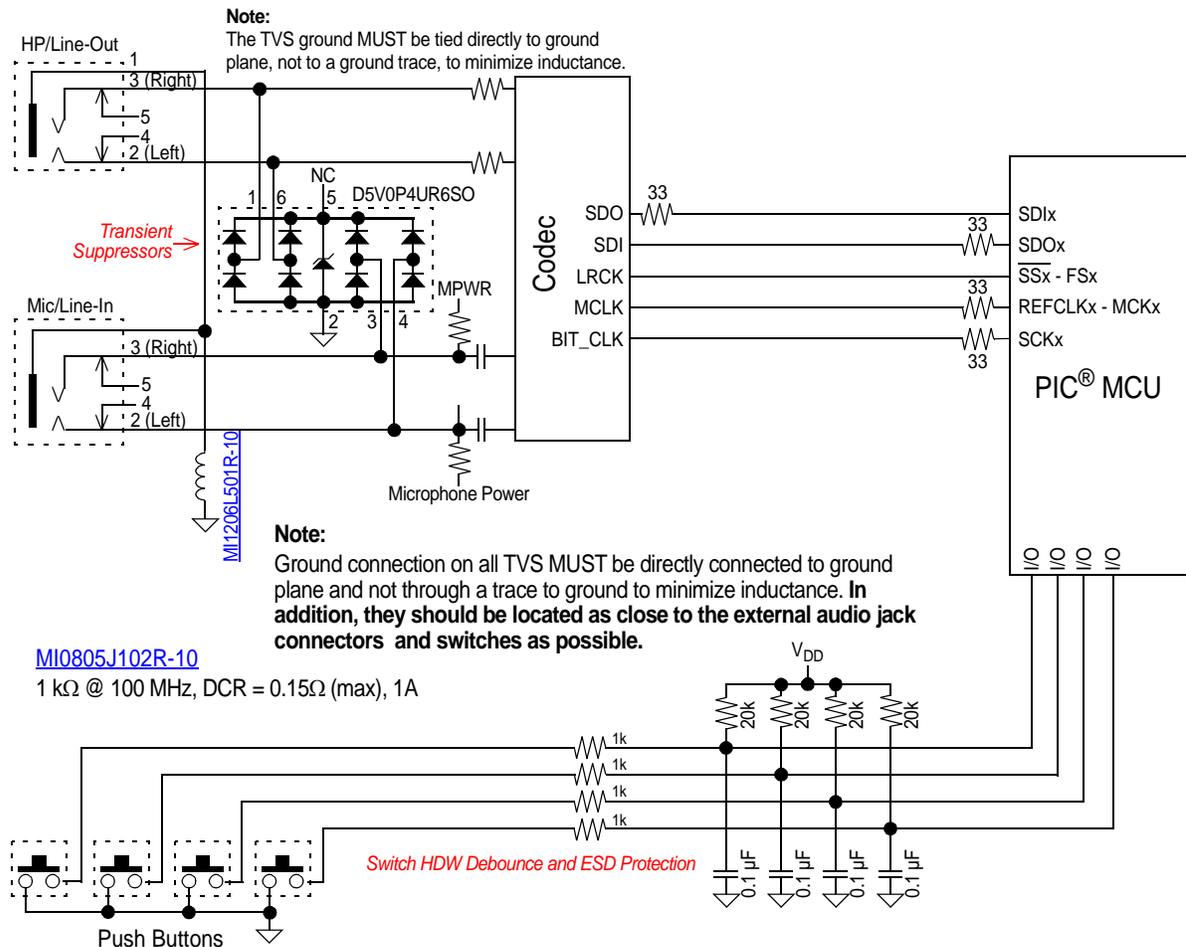
[返回检查清单](#)

9. I²S 和按钮保护

PIC 单片机可支持包括 I²S 在内的音频应用。器件的一些 SPI 外设支持 I²S 音频。图 9-1 给出了所需的连接，其中包括保护电路。由于音频连接位于 PCB 外部，因此在与编解码器连接之前需要进行保护。

开关去抖对于保证稳健工作十分重要。RC 滤波器由一个串联电阻和一个电流检测电容组成，用于减少 I/O 引脚中发生的瞬变。此外，也可通过软件实现附加去抖算法。

图 9-1. I²S 和按钮保护设计图



注：可使用 PIC MCU 的内部上拉电阻代替外部电阻。

10. I²C

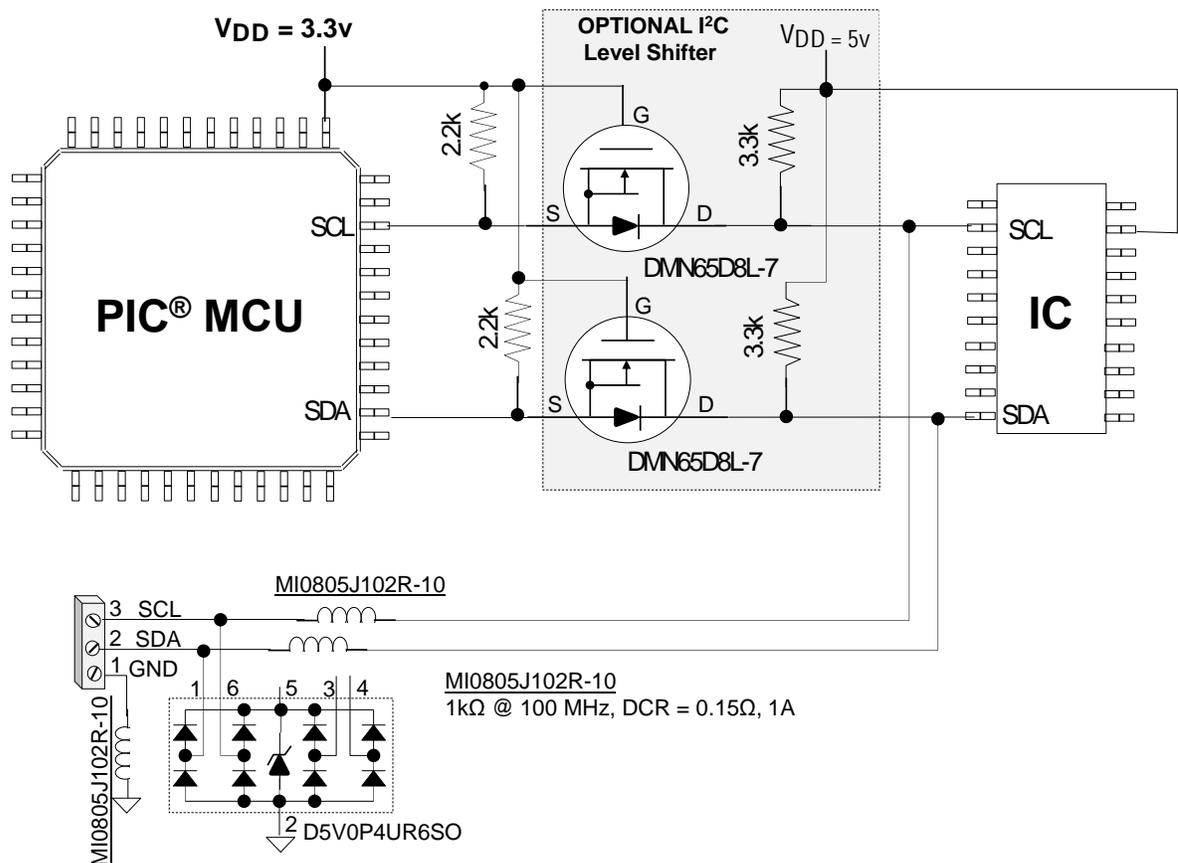
问题 31: 为什么 I²C 通信链路不起作用？

- 为实现 TTL 兼容性，原始 I²C 规范规定的 I²C 默认接口标准为 5V。确保 SDA 和 SCL 信号使用的引脚为 5V 耐压。如果这些引脚非 5V 耐压，则需要使用电平转换器。

注:

- 用户必须确保网络上的任何内部 I²C 通信和外部线缆 I²C 总线器件都兼容信号电压，这对于实现可靠性和适当的信号兼容性至关重要。
- 在大多数设计中，只有主器件才有上拉电阻，这些电阻通常位于漏极开路 SDA 和 SCL 上。每个器件都有一定的 SDA 和 SCL 驱动能力（即 I_{OL} 规范）。如果网络上有多个带上拉电阻的 I²C 节点，则用户必须确保所有上拉电阻的总和不超过任何一个节点对于网络总上拉电流的灌电流能力，以确保正确的 I²C 逻辑信号电压（即 V_{OL} 和 V_{IL} 规范电压）。
- 在混合信号电压网络中，如果上拉电阻在 3.3V 侧，则所得 V_{OH} 可能无法满足高电压侧上一个或多个节点的逻辑高电平 V_{IH} 规范。如果上拉电阻在高电压节点上，则除非用户使用电平转换器，否则存在将电流注入低电压节点 IC 的可能性。
- 如果用户应用可连接到外部 I²C 总线网络，则通常无法预知哪个设备采用外部节点 I²C 总线工作电压。如果标称 3.3V MCU 中使用的是非 5V 耐压 SDA/SCL，则用户必须考虑使用图 10-1 所示的电平转换器，以便与外部 I²C 节点的工作电压兼容。

图 10-1. I²C 保护设计图



10.1 I²C 保护设计要点

可选择使用电平转换器将 3.3V 标称逻辑连接到 5V 及更高的标称逻辑。当低电压 I²C 节点信号变为低电平时，FET 会导通，从而将高电压 I²C 总线也拉低。当高电压节点侧变为低电平时，它会正向偏置 FET 内部二极管，从而将低电压节点侧拉为低电平（减去二极管压降）。当两侧均为高电平时，FET 会关闭，FET 内部二极管将反向偏置。

- 接地、SDA 和 SCL 上的 ESD 保护

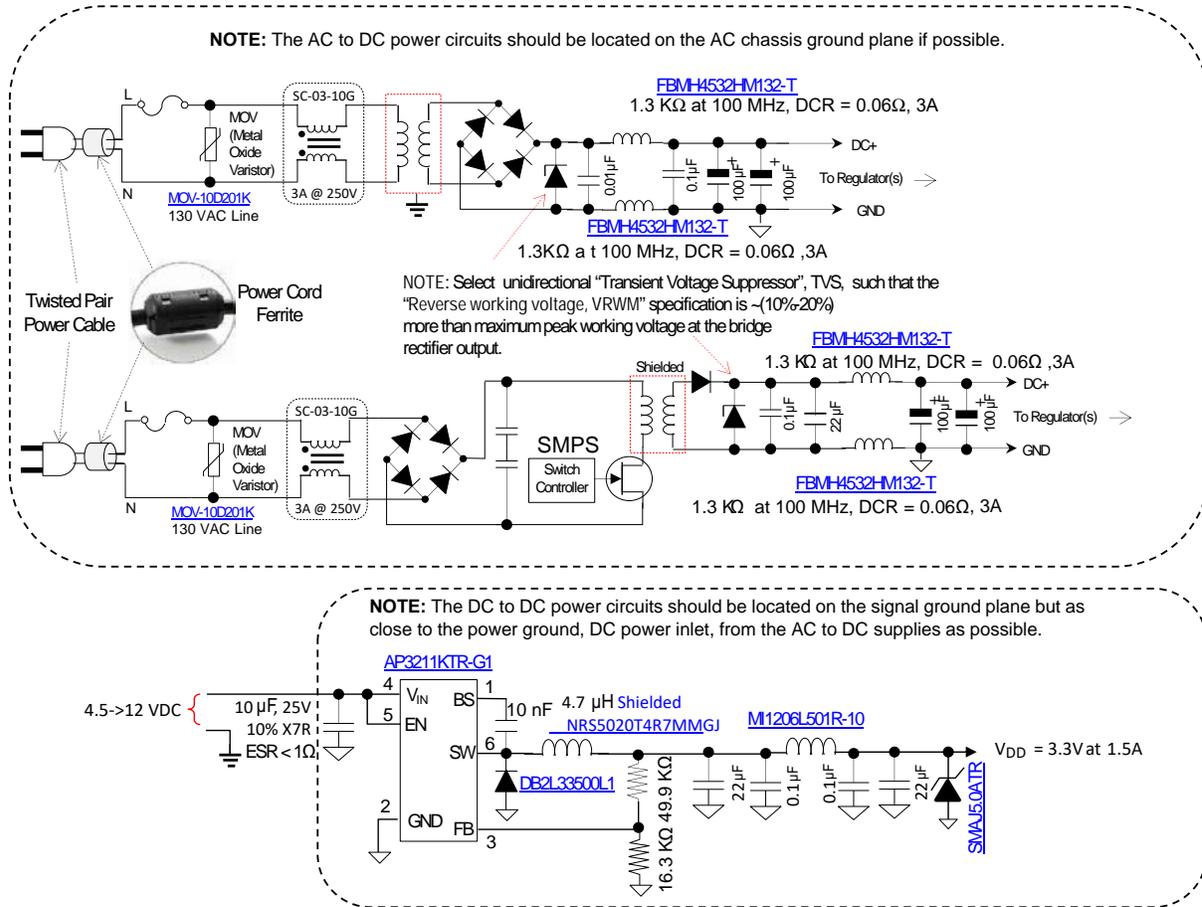
表 10-1. 示例 I²C 电平转换器逻辑真值表

3.3V 低电压侧 I ² C 节点 (MCU)	5V 高电压侧 I ² C 节点	3.3V I ² C 节点侧	5V I ² C 节点侧
0	0	0V	0V
1	0	0.3V	0V
0	1	0V	0V
1	1	3.3V	5V

[返回检查清单](#)

11. 进线电源保护

图 11-1. 电源输入保护图



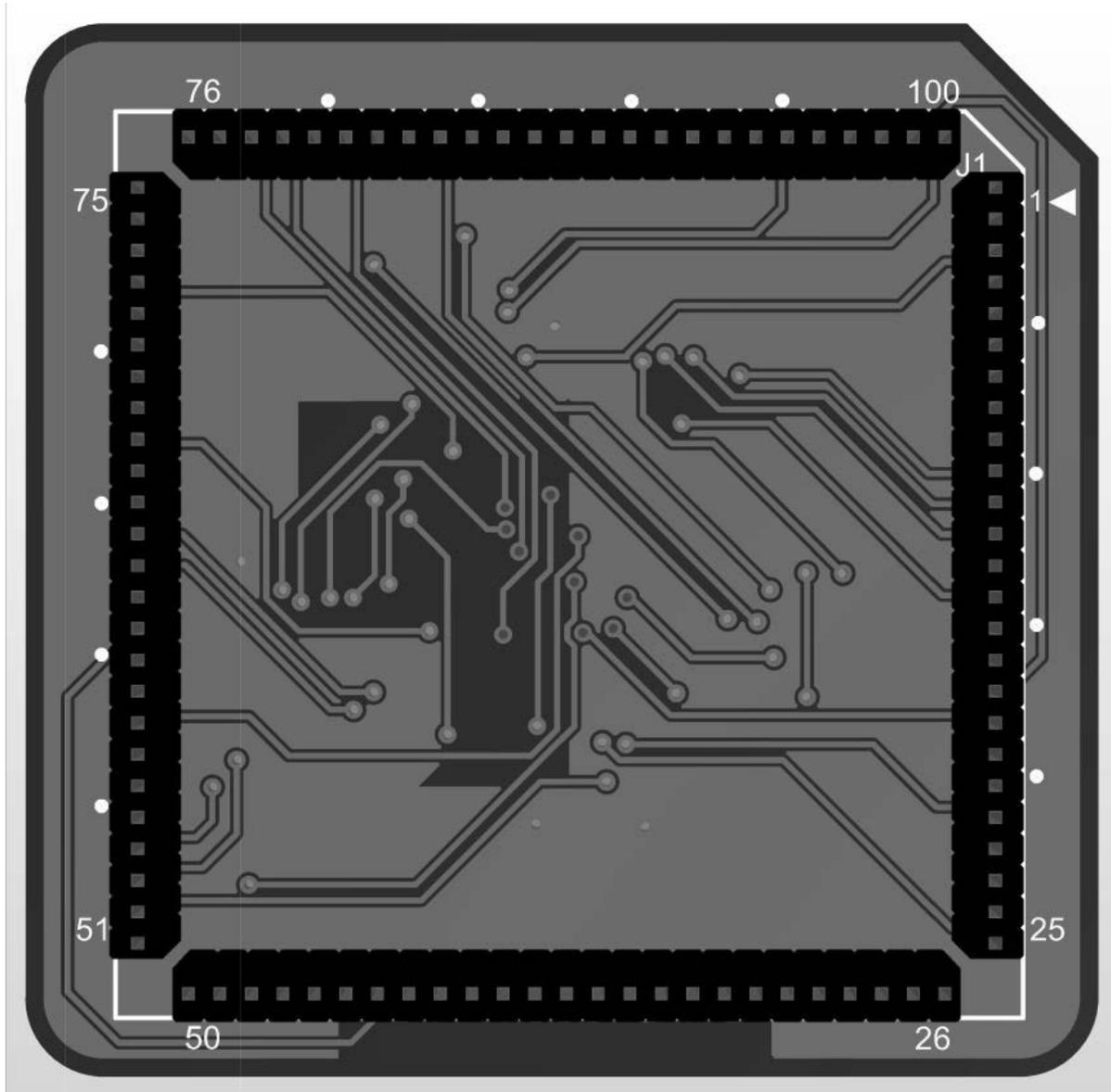
[返回检查清单](#)

12. 综合 PCB 布线指南和建议

以下部分讨论 PCB 布线指南和建议。PCB 设计可以从很多方面来影响系统稳健性和性能标准。理解并遵循列表中的相关项可缩短设计周期和降低成本。

1. 首先对差分 and 高速走线进行布线，使邻近地平面层的 PCB 层 1 保持差分阻抗匹配。
2. 确保所有时钟和高速信号走线都必须有一个完整的参考地平面，其下方没有间隙或空隙。
3. 对带信号地的信号层上的所有空隙进行灌铜（见图 12-1）。

图 12-1. PCB 空隙的接地灌铜

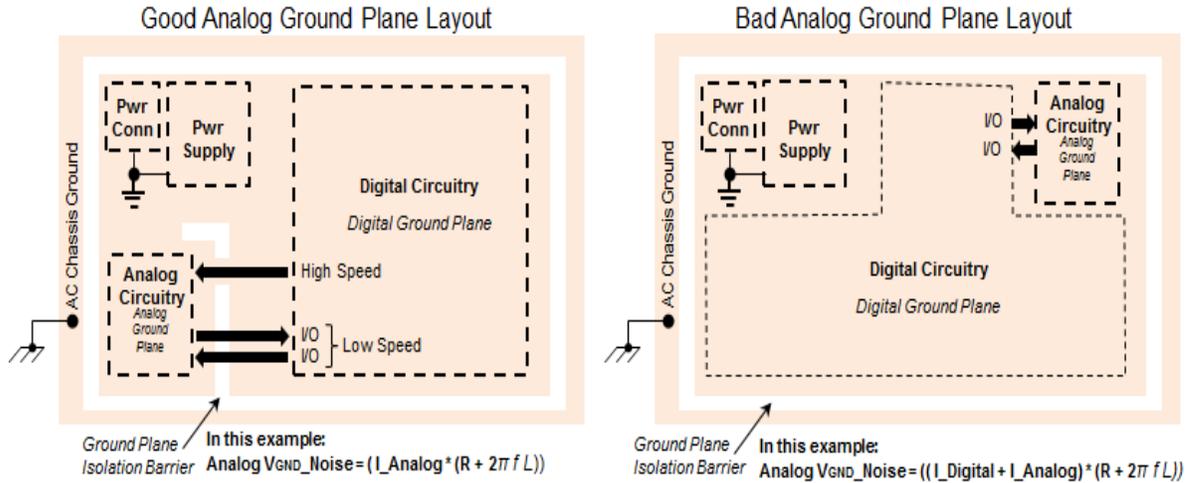


4. 适当时使用单独的的数字地和模拟地，不要将地平面连接在一起，但电源地（即最靠近相应输入稳压器的地）除外；请参见图 12-2。

数字噪声和电流通常远大于模拟电路的噪声和电流。因此，应选择这样一种布局策略：将模拟地电流和噪声与数字地电流和噪声隔开，如上所述。使用接地隔离层来控制 and 包含远离模拟电路的数字噪声/电流。请记住，高频噪声会寻找电感最小的路径，该路径通常是地平面上距离最短的路径。来自数字域的

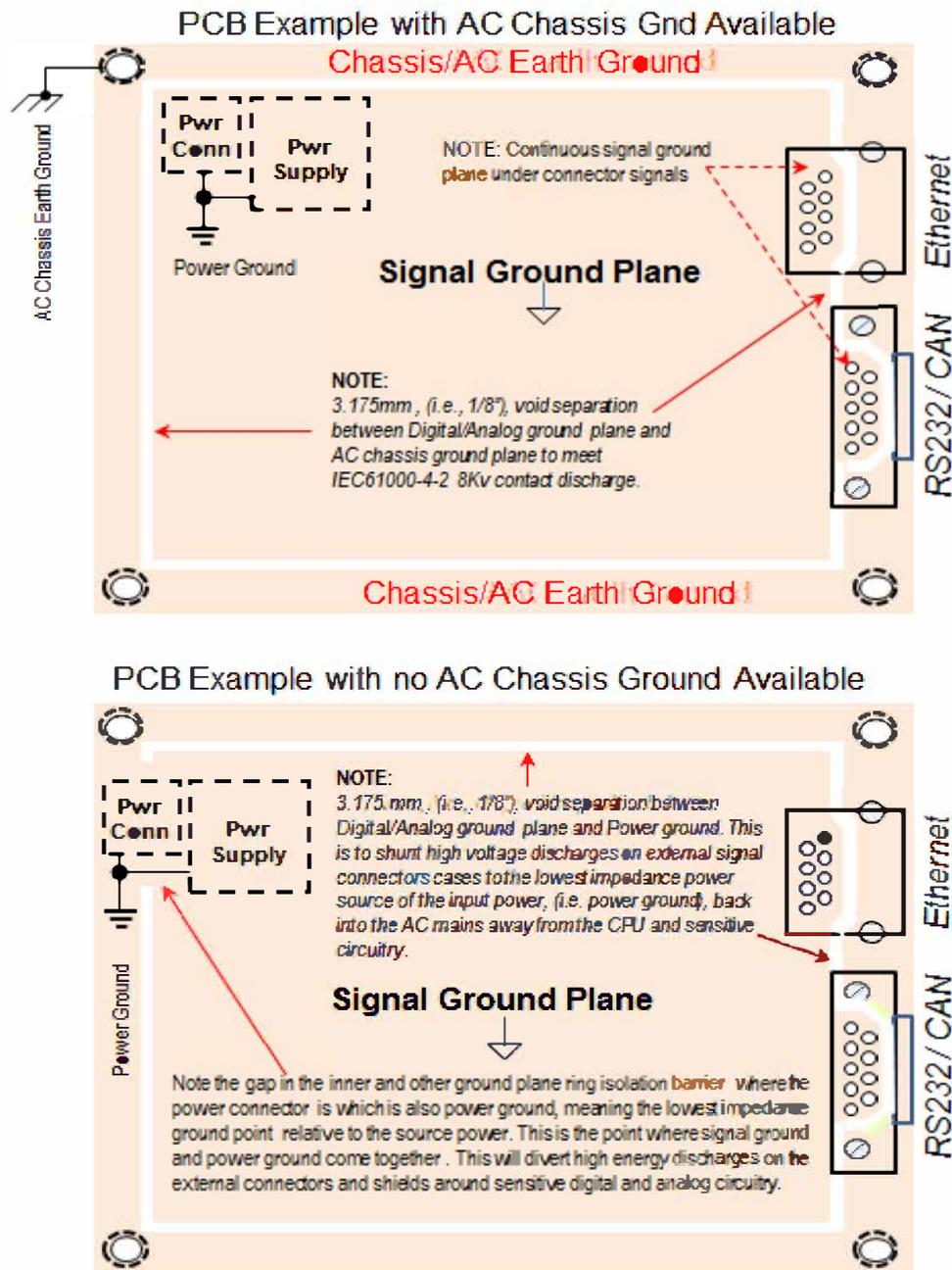
大多数模拟控制信号都是低速和中速的，因此这些情况下在接地空隙上方布线是可以接受的。如果需要从数字域到模拟域的高速信号，例如音频编解码器主时钟，请不要在接地空隙上方布线，而是使用一个隔离层桥（如第一个示例所示）以及一个约 $50\ \Omega$ 的终端电阻（时钟源处）。

图 12-2. 模拟地与数字地布局



5. 不要将敏感模拟信号走线在快速数字传输信号走线上方或附近平行布线。如有必要，确保它们以直角相交，以最大程度减小走线的电容横截面。
6. 应尽量缩短承载高速数字信号或时钟的走线的长度。高速数字信号和时钟通常是最强的噪声源。这些走线越长，与能量耦合的机会就越多。请记住，回路面积通常比走线长度更重要。确保每条走线附近都有良好的高频电流返回路径。
7. 必须最大程度缩短直接连接到连接器（I/O 走线）的走线的长度。直接连接到连接器的走线可能是在板上或板外耦合的 EMC、EMI 和 EFT 能量的路径。建议根据需要在所有外部连接器 I/O 引脚上使用 TVS 和铁氧体磁珠和/或共模扼流圈。请参见原理图推荐的设计保护示例。
8. 通常，理想的 PCB 设计规则是不在任何表面贴装焊盘（电阻、电容和铁氧体磁珠等）之间铺设任何走线。
9. 要使 PCB 走线能够提供所需电流量，必须为其设计合理的宽度。在顶层或底层的局部区域中使用迷你平面，这样可确保提供足够的电流。
10. 连接任何电源平面或地平面的所有元件引线应尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度必须小于 5-10 mil。走线连接必须尽可能宽，以降低电感。这包括为电源平面供电的任何铁氧体磁珠以及为电源平面供电的熔丝等。
11. 不得将具有高频分量的信号连接到电路板 I/O 所使用元件的下方，否则可能产生辐射发射。在元件下布线的走线可以通过电容或电感方式将能量耦合到该元件。
12. 如有可能，所有连接器应位于电路板的同一边缘或同一拐角。在大多数设计中，连接器代表了最有效的 EMC/EMI 天线部分。将它们放置在电路板的同一边缘可以更容易地控制共模电压，从而可以相对于一个连接器驱动另一个连接器。更多信息，请参见图 12-3。

图 12-3. 外部连接器的接地建议



13. 在具备 AC 机壳地的应用中，强烈建议不要将数字信号地和 AC 机壳地相连，而是要至少间隔 3.175 mm（即 0.125 英寸），以实现 11-12 kV 火花间隙隔离，从而符合 IEC61000-4-2 等级 4 的±8 kV 接触放电要求。

对于 USB、以太网、SD 存储卡槽、RS-232 和 CAN 等外设，连接器外壳与信号地电气隔离。如有可能，外壳应连接到 AC 机壳地（即地），以便无害地将高电压放电分流到地，而不是分流到数字地或模拟地电路中。

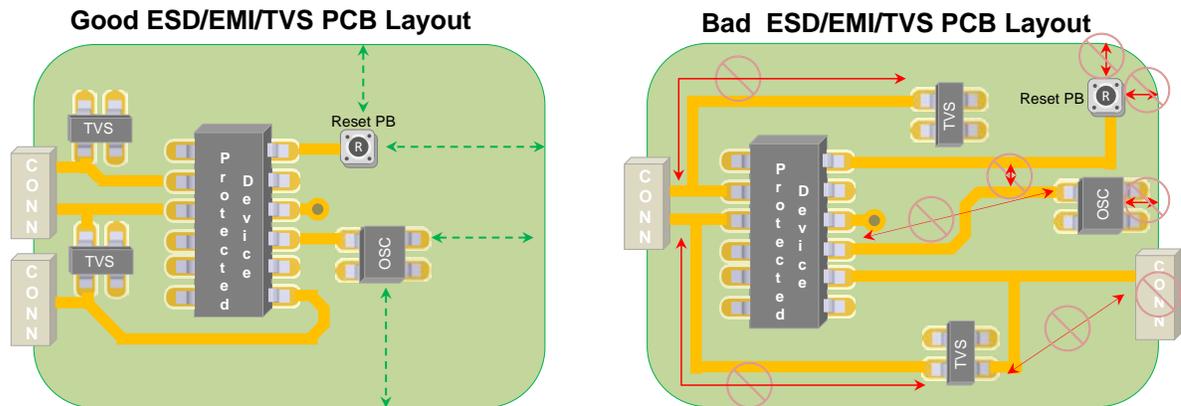
注：图中的地平面在外设连接器的所有高速信号连接下始终是连续的，但连接器外壳与外部 AC 机壳平面隔离。

注：并非所有连接器外壳都是隔离的，如音频金属输入/输出插孔外壳。它们实际上是信号地。在此类情况下，它们不得安装在隔离的 AC 机壳地上，而应根据需要通过铁氧体磁珠安装在数字/模拟地上（见音频电路设计保护示例）。用户必须确定所使用的外设连接器是否具有与信号地隔离的外壳。对于隔离的连接器，仅将连接器外壳连接到 AC 机壳地；其他情况下，通过适当的铁氧体磁珠连接到信号地。

对于第二个示例，在没有可用的 AC 机壳地（即地）的情况下，最佳策略是仍然使用隔离层，并将其置于内部和其他平面的电路中相对于电源（电源进线和稳压器处，也称为电源地）阻抗最低的点。这将转移敏感数字和模拟电路周围的外部连接器和屏蔽层上的高能量放电，以通过电源耗散并耦合回交流市电中。

14. I/O 连接器之间不应有高速电路。即使两个连接器位于电路板的同一边缘，位于它们之间的高速电路也会产生足够的共模电压来相对于一个连接器驱动另一个连接器，从而导致严重的辐射发射。
15. 如有可能，关键信号或时钟走线应埋在电源/地平面之间。在两个固定平面之间的层上布线可以很好地通过这些走线包含相应区域，避免不需要的耦合。
16. 选择具有最大可接受片外转换时间的有源数字元件。如果数字波形的转换时间短于它们所需的转换时间，则高次谐波中的功率可能远高于所需的功率。如果所用逻辑的转换时间短于它们所需的转换时间，则通常可以使用串联电阻或铁氧体来减慢转换速度。
17. 与单个器件的所有板外通信都应通过同一连接器传输。许多元件（尤其是大型集成电路）会在不同的 I/O 引脚之间产生大量共模噪声。如果其中一个器件连接到多个连接器，则此共模噪声可能会驱动符合规范的天线（该器件也会更容易受到此天线带来的辐射噪声的影响）。
18. 将瞬态电压抑制器（Transient Voltage Suppressor, TVS）尽可能靠近外部信号连接器，TVS 接地连接直接连接到地平面。避免接地走线连接。
19. 高速或易受影响的模拟或数字走线与电路板边缘的距离必须至少为 $2X$ ，其中“X”是走线与其返回电流路径之间的距离。走线如果非常靠近电路板边缘，就很难对关联的电场线和磁场线进行有效的控制。天线的串扰和耦合往往比这些走线更严重，使其更容易受到 ESD、EMI 和 EFT 事件的影响。更多信息，请参见图 12-4。

图 12-4. 印刷电路板布线示例



20. 差分信号走线对必须布线在一起，并与任何固定平面保持相同的距离。差分信号不易受噪声影响，如果它们是平衡的（即具有相同的长度并且相对于其他导体保持相同的阻抗），则不太可能产生辐射发射。
21. 以相同电源返回（例如接地）平面为基准的所有电源（例如电压）平面必须在同一层上布线。例如，如果电路板采用三种电压（3.3V、3.3V 模拟电压和 1.8V 电压），通常需要最大程度地减少这些平面之间的高频耦合。将电压平面放在同一层上将确保没有重叠。这样还能形成高效率的布局，因为有源器件不太可能在电路板上的任何一个位置需要两个不同的电压。

22. 给定层上任何两个电源平面之间的间隔应至少为 3 mm（即 11 kV 隔离）。如果同一层上的两个平面彼此过于靠近，则可能发生明显的高频耦合。在不利条件下，如果平面距离太近，电弧或短路也可能成为问题。
23. 在带有电源平面和地平面的电路板上，不得使用任何走线连接电源或接地。应使用与元件的电源或接地焊盘相邻的过孔进行连接。连接到不同层上的平面的走线会占用一定空间并增加连接的电感。如果高频阻抗成为问题（类似电源总线去耦连接问题），此电感会显著降低连接的性能。
24. 如果设计具有多个地平面层，则给定位置处的任何接地连接都应连接到所有地平面层的相应位置。此处的总体指导原则是，高频电流会在允许的情况下沿着最有益（最低电感）的路径流动。不要尝试只通过连接到特定的平面来引导这些电流的流动。
25. 理想情况下，除非用户有想要隔离的敏感模拟逻辑，否则地平面中应当没有间隙或狭缝（见[模拟地与数字地布局](#)）。通常情况下，最好有一个固定地（信号返回）平面和一个专用于该平面的层。必须与地平面隔离直流的任何额外电源或信号电流返回路径应当在地平面专用层以外的层上布线。
26. 请务必查看整个 PCB 设计，了解是否有高速信号走线在参考平面切口上方相交。这很有可能会引起 EMC 问题，应避免这种情况。
27. 电路板上与机壳、线缆或其他符合规范的“天线部分”接触（或耦合）的所有电源或接地导体必须在高频下连接在一起。不同导体之间的意外电压（名义上称为“地”）是辐射发射和敏感性问题的主要来源。

[返回检查清单](#)

12.1 PCB 旁路

1. 旁路电容必须放置在靠近 PCB 上所有电源入口点的位置。这些电容将阻止不必要的高频噪声进入设计；噪声会被分流到地面。
2. 设计中的所有 IC 电源连接和所有稳压器都必须使用旁路电容。
3. 所有旁路电容引线应尽可能短。最佳解决方案是在电容表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度应小于 5-10 mil。走线连接必须尽可能宽，以降低电感。
4. IC 去耦电容和铁氧体磁珠应尽可能靠近 IC 电源引脚。建议将电容放在电路板上器件所在的一侧。理想情况下，应将电容值为 0.1 μF 和 0.001 μF 的两个旁路电容并联。请首先布置电源线并把线返回到去耦电容，然后再走线到器件引脚。这可以确保去耦电容是电源链中的第一个元件。应保持电容和电源引脚之间的走线长度尽可能短，这一点同样重要，因为这可以减少 PCB 走线间的互感。
5. 建议在设计中使用分布在电源平面区域上方的大容量电容来改善电源稳定性，尤其是在电路消耗较大的器件区域。典型值的范围为 4.7 μF 至 47 μF 。

[返回检查清单](#)

12.2 PCB 层策略

PCB 层的数量取决于应用的性能和噪声要求。增加层数可有效将敏感信号彼此隔离或与噪声源隔离。较大的电源平面和地平面可减小电源阻抗，从而提高稳定性。

在混合信号应用中，通常建议至少使用四层电路板。

1. 4 层 PCB 示例：
 - 第 1 层——元件加信号层（短走线）
 - 第 2 层——地平面
 - 第 3 层——电源平面
 - 第 4 层——信号

注：强烈建议将此策略作为所有高速以太网 LAN 设计的最低要求，以满足大多数 EMC、EMI 和 EFT 要求。

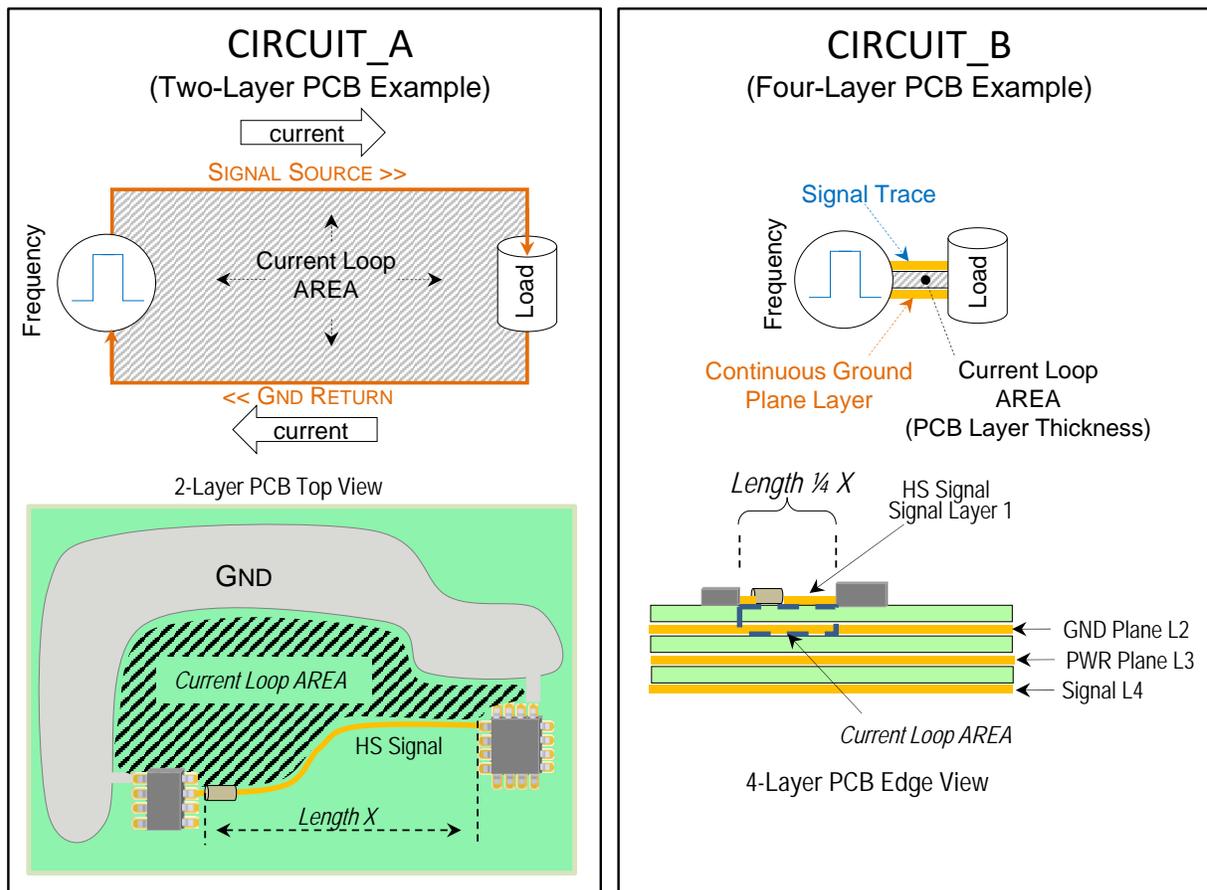
2. 6层 PCB 示例:

- 第 1 层——元件加信号层（短走线）
- 第 2 层——地平面
- 第 3 层——信号
- 第 4 层——信号
- 第 5 层——电源平面
- 第 6 层——信号

注：4层或6层 PCB 上的第 1 层被认为是主要的布线层和元件层，因为其正下方是固定数字地平面，第 1 层也不需要通孔来连接位于第 1 层的元件。

3. 所有 PCB 走线（尤其是高速和关键信号走线）必须在固定连续地平面层相邻的第 1 层上布线。这些走线必须具有连续的参考平面，才能满足其整个传导长度的要求。这将有助于确保最佳信号完整性和 EMC 性能。
4. 需要将以太网机壳地平面与数字地平面分离。
5. 避免在 PCB 设计和系统设计中形成电流回路。为了便于布线并最大程度减少信号串扰问题，多层设计中的相邻层应以正交方式布线。电流回路会形成强大的天线效应，使电路极易受到噪声和辐射 EMI 的影响。电流回路越大，天线效应越大，它吸引的噪声也越大。在 2 层 PCB 设计中最常见的是不符合规范的 PCB 设计意外产生了电流接地回路。对于高速信号，这些不符合规范的设计是导致数据损坏的最主要问题之一。更多信息，请参见图 12-5。

图 12-5. PCB 设计中的电流回路图



[返回检查清单](#)

12.3 PCB 信号完整性问题

信号质量或完整性主要取决于 PCB 设计。通常，速度和边沿速率越高，信号完整性问题越大。使用终端电阻、可控阻抗走线和正确的层规划可防止反射和其他意外结果。

1. 为 PCB 上大于 15 MHz 的所有高速开关信号和时钟线提供电阻端接。在走线的驱动器侧进行上述这些端接。例外情况是高速芯片 *阻抗控制* 差分信号（例如 USB），这些信号不需要电阻端接，因为驱动器本身保证了输出阻抗符合规范（见图 12-6）。

对于双向信号，在总线上任何输出驱动器的输出端放置一个串联电阻。

图 12-6. 高速信号端接示波器图



有两种方法可以确定所需的终端电阻值。

步骤 1: 通过在如下阻抗计算器中输入 PCB 走线信息来计算 PCB 线路阻抗:

<https://www.eeweb.com/tools/microstrip-impedance> = 走线阻抗

表 12-1. PCB 走线阻抗计算示例

走线宽度	PCB 层间高度	走线厚度	PCB 基板介电常数 (FR4 Bd)	走线阻抗
0.175 mm	113 μm	1.41 mil (1 盎司铜)	4	54.6 Ω

表 12-2. 基于铜重量的典型走线厚度

铜箔重量	厚度 (mil)
1 oz	1.4 mil
2 oz	2.8 mil
3 oz	4.2 mil
4 oz	5.6 mil

步骤 2: 通过输入 PCB 走线信息计算走线阻抗后:

方法 1: Ball Park 方法

$$\begin{aligned} \text{PCB 信号串联终端电阻值} &= \{[(V_{DD} - V_{OH(\min)})/I_{OH(\max)}] - \text{走线阻抗}\} \\ &= \{[(3.3 - 2.4)/10 \text{ mA}] - 54.6 \Omega\} \end{aligned}$$

= 35.4 Ω (舍入为最接近的标准电阻值)

= 33 Ω

方法 2 (此方法更精确) :

将 I/O 引脚设置为输出, 将逻辑高电平驱动至 1 k Ω 接地电阻。一些 I/O 引脚具有可选的驱动能力, 因此可将其驱动能力配置为与应用中高速信号所需的驱动能力相同。记录在 1 k Ω 电阻两端测得的 MCU V_{DD} 和 V_{OH} 。

- 驱动器阻抗 = $(V_{DD} - V_{OH}) * 1K / V_{OH}$

- PCB 信号串联终端电阻值 = (驱动器阻抗 - 走线阻抗)

>30 MHz 的末端接信号频率可能在 50% 范围内经历过冲/下冲。末端接的高速信号可能是辐射 EMI/EMC 特征和串扰的重要因素。

2. 最大限度地减少在高速信号设计过程中使用过孔。过孔会使高速信号走线的电容和失真阻抗增大。
3. 通常, 应查看所有信号串扰设计规则以避免串扰问题。使用 3-W 规则提供足够的走线分离以避免串扰问题。还可以利用保护走线来最大限度地减少高速信号的串扰问题。

[返回检查清单](#)

12.4 PCB 走线注意事项

连接任何电源平面或地平面的所有元件引线必须尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时, 焊盘到过孔的连接长度必须小于 5-10 mil。走线连接必须尽可能宽, 以降低电感。这包括为电源平面供电的任何铁氧体磁珠以及为电源平面供电的熔丝等。

[返回检查清单](#)

13. 常见问题解答

问题 1: 上电期间出现间歇性启动问题或某些器件根本无法启动。

问题 2: 间歇性启动、从低功耗模式唤醒或模拟可重复性问题。

问题 3: 上电时出现间歇性启动和/或锁定问题。

问题 4: 启动期间出现间歇性 MCU POR 和 BOR 复位问题，导致异常错误或锁定。

问题 5: 器件的工作频率不符合预期，或者没有执行任何器件代码。

问题 6: 尝试在不同时钟源之间进行时钟切换，但频率未发生更改和/或 OSWEN (OSCCON[0]) 位指示时钟切换从未完成。

问题 7: 在从休眠模式唤醒时或在时钟切换期间有时会发生复位。

问题 8: 工作数小时后会发生锁定。

问题 9: PC 无法识别 MPLAB ICD 4 和/或 PICKit 4。

问题 10: 无法将 PICKit™ 4/MPLAB® ICD 4 与目标连接。

问题 11: 编程正常，但调试无效。

问题 12: MPLAB IDE 无法连接目标器件。

问题 13: SMT 器件的外露焊盘连接。

问题 14: 即使某些 I/O 引脚和/或备用功能引脚的配置正确，也根本不起作用。

问题 15: V_{BAT} 输入引脚上是否需要使用旁路电容？

问题 16: 无法使用 ADC 正确测量外部电池电压。

问题 17: 器件与目标 IC 之间经常发生间歇性数据损坏。

问题 18: 远程 PCB 站或设备之间的通信链路上存在间歇性数据损坏。

问题 19: 为什么 SPI 或 I²S 数据会损坏？

问题 20: SD 卡无法写入或擦除，只能读取。

问题 21: 无法访问 SD 卡。

问题 22: 为什么 UART 数据会损坏？

问题 23: 为什么上电或从休眠状态唤醒后的第一个 UART 字节总是错误？

问题 24: 为什么 USB 数据传输时间长于预期？

问题 25: 为什么 USB 设备无法枚举？

问题 26: USB 连接已丢失。

问题 27: 为什么 CAN 发送报文错误？

问题 28: 为什么 CAN 无法连接？

问题 29: 为什么在输入电压不低于 30 mV 时 ADC 结果为 0V？

问题 30: 为什么 ADC 结果不一致和/或不准确？

问题 31: 为什么 I²C 通信链路不起作用？

14. 版本历史

版本 A (2022 年 3 月)

本文档的初始版本。

Microchip 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题解答 (FAQ)、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

产品变更通知服务

Microchip 的产品变更通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请访问 www.microchip.com/pcn，然后按照注册说明进行操作。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 (ESE)
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 www.microchip.com/support 获得网上技术支持。

Microchip 器件代码保护功能

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下，Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》(Digital Millennium Copyright Act)。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，

将来可能会发生更新。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 <https://www.microchip.com/en-us/support/design-help/client-supportservices>。

Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、TimeHub、TimePictra、TimeProvider 和 ZL 均为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、mSiC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2024, Microchip Technology Incorporated 及其子公司版权所有。

ISBN: 978-1-6683-2994-8

质量管理体系

有关 Microchip 质量管理体系的信息，请访问 www.microchip.com/quality。

全球销售及服务网点

美洲	亚太地区	亚太地区	欧洲
公司总部 2355 West Chandler Blvd. Chandler, AZ 85224-6199 电话: 480-792-7200 传真: 480-792-7277 技术支持: www.microchip.com/support 网址: www.microchip.com	澳大利亚 - 悉尼 电话: 61-2-9868-6733 中国 - 北京 电话: 86-10-8569-7000 中国 - 成都 电话: 86-28-8665-5511 中国 - 重庆 电话: 86-23-8980-9588 中国 - 东莞 电话: 86-769-8702-9880 中国 - 广州 电话: 86-20-8755-8029 中国 - 杭州 电话: 86-571-8792-8115 中国 - 香港特别行政区 电话: 852-2943-5100 中国 - 南京 电话: 86-25-8473-2460 中国 - 青岛 电话: 86-532-8502-7355 中国 - 上海 电话: 86-21-3326-8000 中国 - 沈阳 电话: 86-24-2334-2829 中国 - 深圳 电话: 86-755-8864-2200 中国 - 苏州 电话: 86-186-6233-1526 中国 - 武汉 电话: 86-27-5980-5300 中国 - 西安 电话: 86-29-8833-7252 中国 - 厦门 电话: 86-592-2388138 中国 - 珠海 电话: 86-756-3210040	印度 - 班加罗尔 电话: 91-80-3090-4444 印度 - 新德里 电话: 91-11-4160-8631 印度 - 浦那 电话: 91-20-4121-0141 日本 - 大阪 电话: 81-6-6152-7160 日本 - 东京 电话: 81-3-6880-3770 韩国 - 大邱 电话: 82-53-744-4301 韩国 - 首尔 电话: 82-2-554-7200 马来西亚 - 吉隆坡 电话: 60-3-7651-7906 马来西亚 - 槟榔屿 电话: 60-4-227-8870 菲律宾 - 马尼拉 电话: 63-2-634-9065 新加坡 电话: 65-6334-8870 台湾地区 - 新竹 电话: 886-3-577-8366 台湾地区 - 高雄 电话: 886-7-213-7830 台湾地区 - 台北 电话: 886-2-2508-8600 泰国 - 曼谷 电话: 66-2-694-1351 越南 - 胡志明市 电话: 84-28-5448-2100	奥地利 - 韦尔斯 电话: 43-7242-2244-39 传真: 43-7242-2244-393 丹麦 - 哥本哈根 电话: 45-4485-5910 传真: 45-4485-2829 芬兰 - 埃斯波 电话: 358-9-4520-820 法国 - 巴黎 电话: 33-1-69-53-63-20 传真: 33-1-69-30-90-79 德国 - 加兴 电话: 49-8931-9700 德国 - 哈恩 电话: 49-2129-3766400 德国 - 海尔布隆 电话: 49-7131-72400 德国 - 卡尔斯鲁厄 电话: 49-721-625370 德国 - 慕尼黑 电话: 49-89-627-144-0 传真: 49-89-627-144-44 德国 - 罗森海姆 电话: 49-8031-354-560 以色列 - 若那那市 电话: 972-9-744-7705 意大利 - 米兰 电话: 39-0331-742611 传真: 39-0331-466781 意大利 - 帕多瓦 电话: 39-049-7625286 荷兰 - 德卢内市 电话: 31-416-690399 传真: 31-416-690340 挪威 - 特隆赫姆 电话: 47-72884388 波兰 - 华沙 电话: 48-22-3325737 罗马尼亚 - 布加勒斯特 电话: 40-21-407-87-50 西班牙 - 马德里 电话: 34-91-708-08-90 传真: 34-91-708-08-91 瑞典 - 哥德堡 电话: 46-31-704-60-40 瑞典 - 斯德哥尔摩 电话: 46-8-5090-4654 英国 - 沃金厄姆 电话: 44-118-921-5800 传真: 44-118-921-5820
亚特兰大 德卢斯, 佐治亚州 电话: 678-957-9614 传真: 678-957-1455 奥斯汀, 德克萨斯州 电话: 512-257-3370 波士顿 韦斯特伯鲁, 马萨诸塞州 电话: 774-760-0087 传真: 774-760-0088 芝加哥 艾塔斯卡, 伊利诺伊州 电话: 630-285-0071 传真: 630-285-0075 达拉斯 阿迪森, 德克萨斯州 电话: 972-818-7423 传真: 972-818-2924 底特律 诺维, 密歇根州 电话: 248-848-4000 休斯顿, 德克萨斯州 电话: 281-894-5983 印第安纳波利斯 诺布尔斯维尔, 印第安纳州 电话: 317-773-8323 传真: 317-773-5453 电话: 317-536-2380 洛杉矶 米慎维荷, 加利福尼亚州 电话: 949-462-9523 传真: 949-462-9608 电话: 951-273-7800 罗利, 北卡罗来纳州 电话: 919-844-7510 纽约, 纽约州 电话: 631-435-6000 圣何塞, 加利福尼亚州 电话: 408-735-9110 电话: 408-436-4270 加拿大 - 多伦多 电话: 905-695-1980 传真: 905-695-2078			