**EMI 噪声源的分析与优化方法**

良好的 EMI 是板级 EMI 设计和芯片 EMI 设计结合的结果。许多工程师对板级 EMI 的降噪接触较多，也比较了解，而对于芯片设计中的 EMI 优化方法比较陌生。

**今天，我们将以一个典型的 Buck 电路为例，首先基于 EMI 模型，分析其噪声源的频谱，并以此介绍，在芯片设计中，我们如何有针对性地优化 EMI 噪声。**

**[查看更多 EMI 干货](https://www.monolithicpower.cn/cn/emc-lab.html?utm_source=website&utm_medium=Press_release&utm_campaign=2025_meida_promo&utm_content=q1_emi_article)**



1. **Buck 变换器的传导 EMI 模型介绍**

我们知道，电力电子系统中，半导体器件在其开关过程中会产生高 dv/dt 节点与高 di/dt 环路，这些是 EMI 产生的根本原因。

**而适合的 EMI 模型可以帮助我们分析噪声产生的原因。**

同时，由于传播路径的不同，EMI 可以分为共模和差模噪声（可详见：[汽车电子非隔离型变换器传导与辐射EMI的产生，传播与抑制](https://www.monolithicpower.cn/cn/learning/resources/emi-generation-propagation-and-supression-in-automotive-electronics-part-i?utm_source=website&utm_medium=Press_release&utm_campaign=2025_meida_promo&utm_content=q1_emi_article)）。

图 1 中展示了一个典型的 Buck 变换器差模和共模噪声的传播路径。

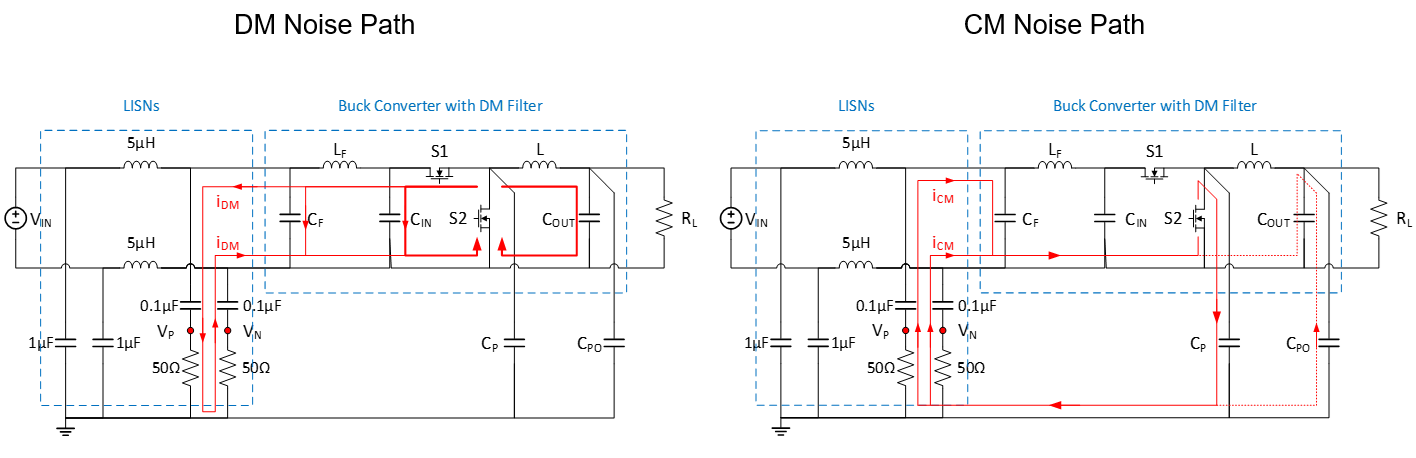
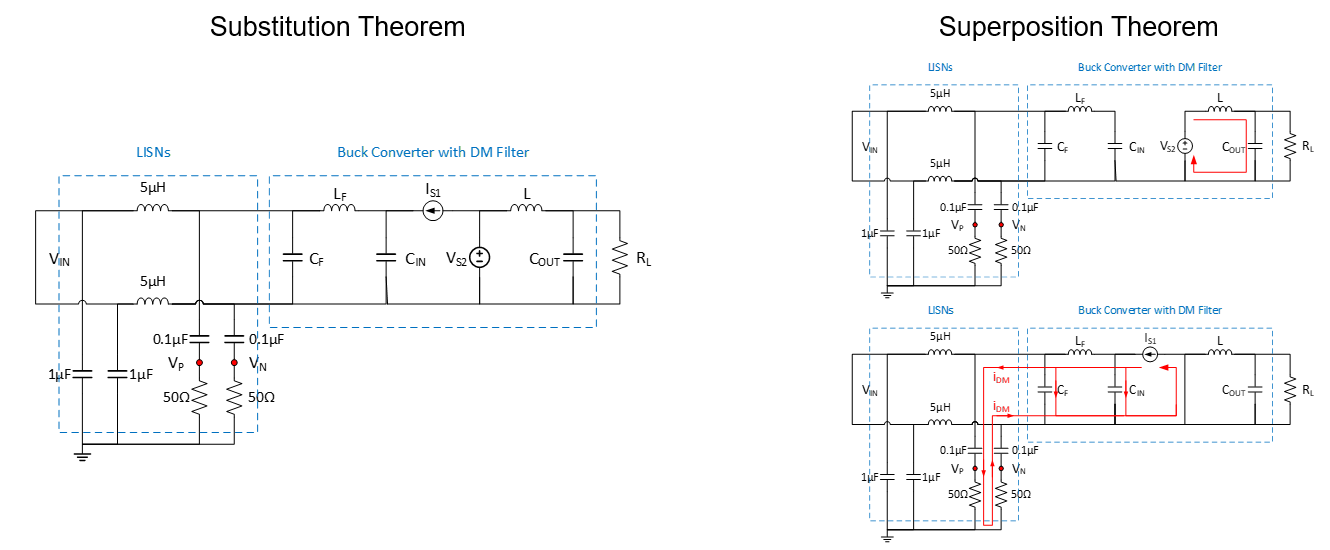


图 1 Buck 电路中差模和共模 EMI 的传播路径

EMI 建模的第一步是把开关用电流源或电压源进行等效，等效之后，电路各处的电流和电压依然不变。然后可以使用叠加定理来具体分析每一个源的影响。

以一个 Buck 变换器为例，在图 2(a) 中，我们将开关用电压源和电流源进行替代，由于差模电流不留经参考地，因此电路到参考地的寄生参数可以忽略。

在图 2(b) 中，我们使用叠加定理对其分别进行分析，需要注意的是，当分析某一个源的影响时，其他的电压源需做短路处理，而其他的电流源需进行开路处理。由图 2(b) 可知，实际上差模电流的源可以用 Buck 上管的电流等效，而最终的等效模型可简化为图 3 的形式。



(a) 使用替代定理将开关等效为电压源或电流源 (b) 使用叠加定理分析每个源的影响

图 2 Buck 差模 EMI 噪声模型推导

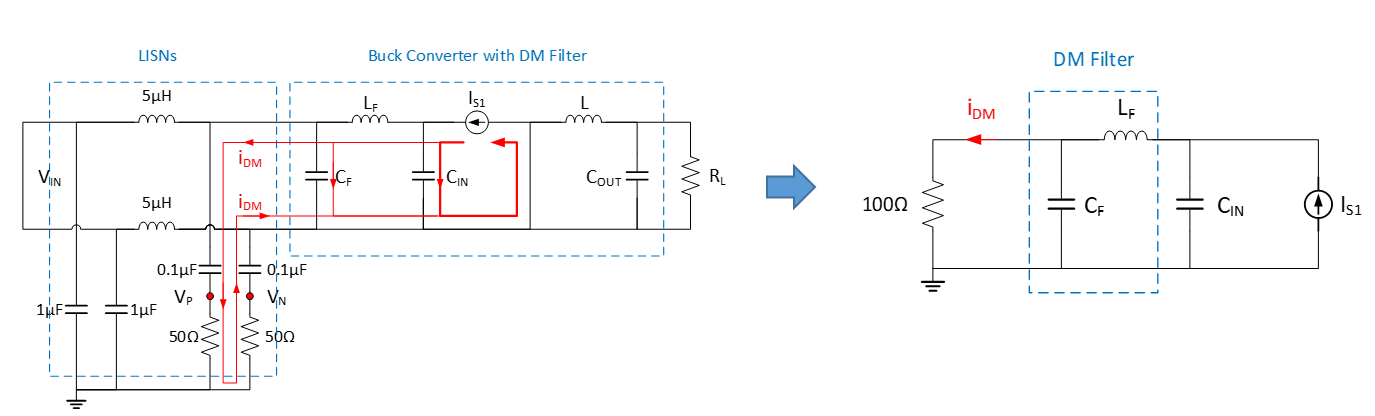
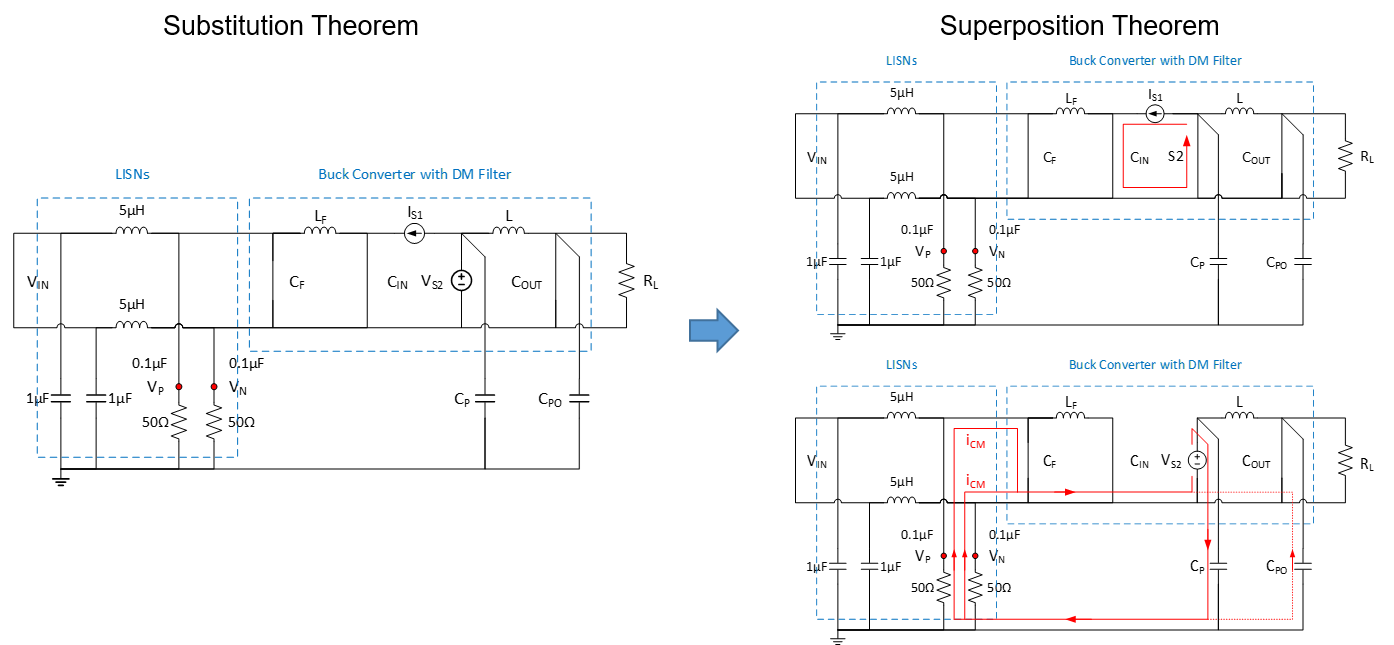


图 3 Buck 差模 EMI 噪声模型

由于差模噪声是由开关电源本身运行状态决定的，因此，降低差模噪声的主要方法是设计合理的差模滤波器，而与芯片设计关系不大。本次分享不展开讨论。

另一方面，对于共模 EMI 噪声来说，我们可以通过类似的方式进行建模，图 4 展示了建模的过程。值得一提的是，对于共模噪声，由于输入、输出电容的阻抗通常远小于电路对地寄生电容的阻抗，因此在建模中，输入、输出电容可以作为短路处理。而最终的等效模型可简化为图 5 的形式。



(a) 使用替代定理将开关等效为电压源或电流源 (b) 使用叠加定理分析每个源的影响

图 4 Buck 共模 EMI 噪声模型推导

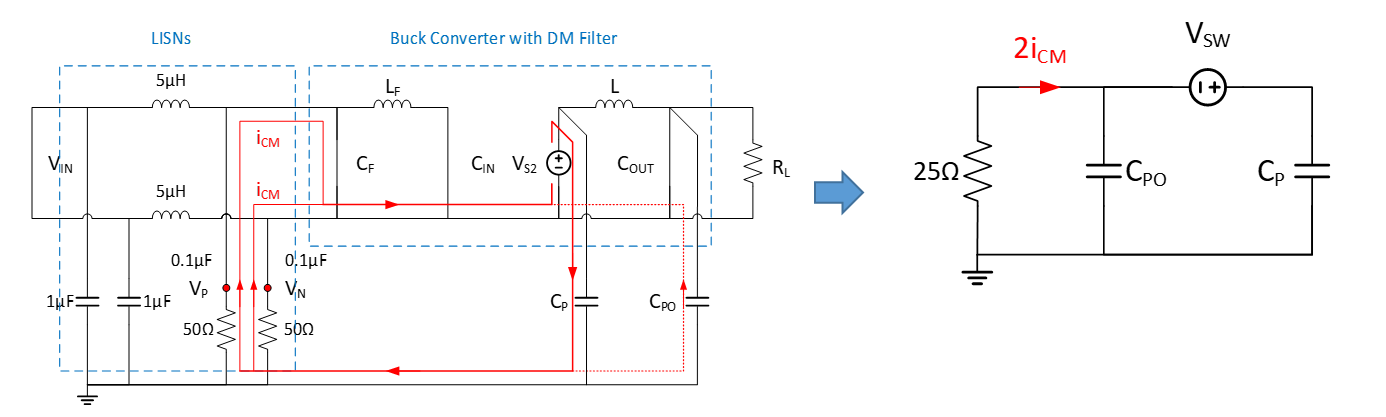


图 5 Buck 共模 EMI 噪声模型

有点工程师朋友可能会有疑惑，这个模型如此简洁，那么一些其他的电路元件是不是被忽略了呢？（比如图 6 中所示的 RC Snubber 元件）

**但实际上，答案是并不会。**

尽管 EMI 模型是相同的，但实际上开关波形会受到外部电路的影响，而这一部分已经被包含在了噪声源 VSW 中。而在电路分析中，与一个电压源并联的器件可以忽略。正因如此，我们可以看到，图 6 中的 RC Snubber 可以从最终模型中去掉。

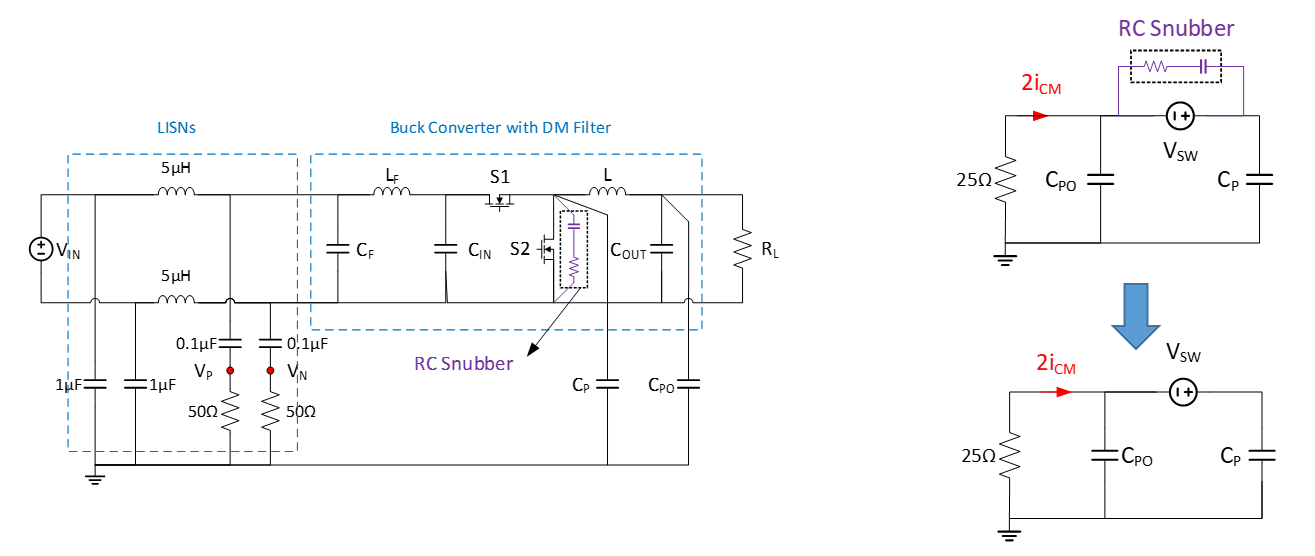
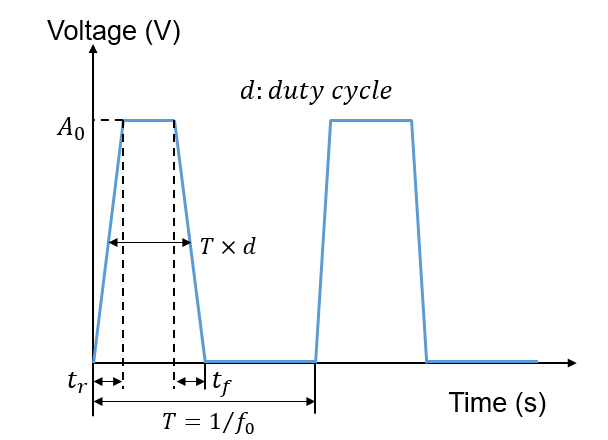
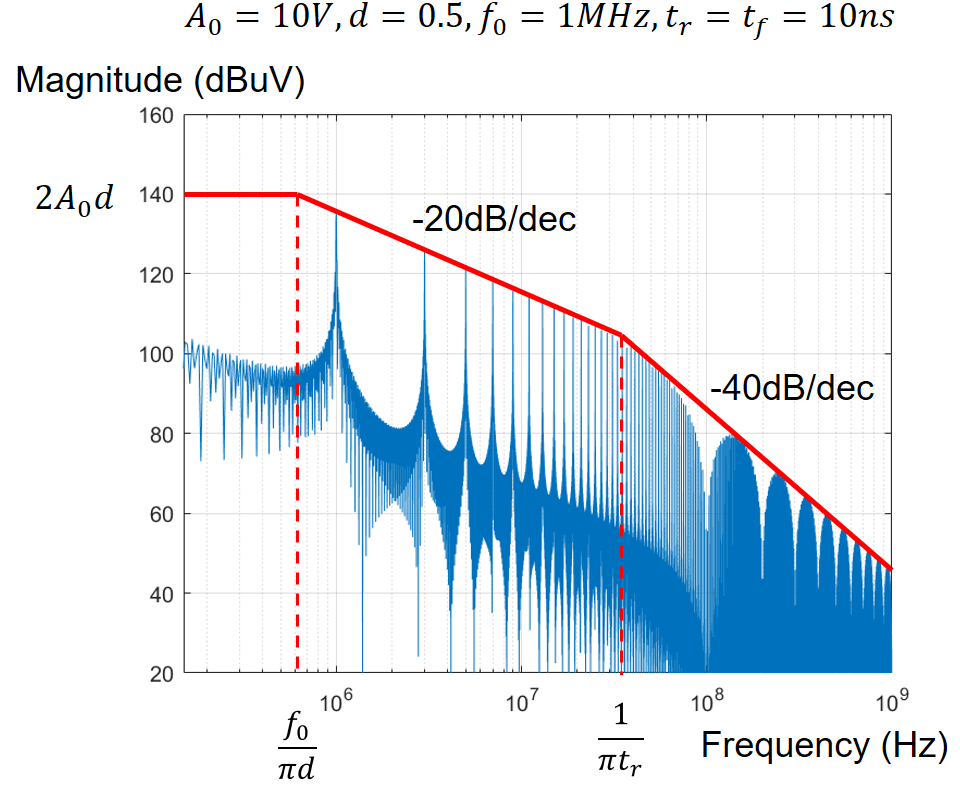


图 6 对于并联元件的讨论

**二、EMI 共模噪声源的频谱分析**

根据上一节的内容，我们知道对于 Buck 变换器来说，它的共模 EMI 噪声源即为开关节点的电压。

在忽略开关振荡时，Buck开关节点电压波形可以等效为一个梯形波，如图 7(a) 所示。其中梯形波的幅值即为 Buck 的输入电压，和 对应节点电压的上升和下降时间，波形的周期为 Buck 的开关频率 的倒数，为 buck 电路的占空比。

(a) 梯形波的时域波形 (b) 梯形波的频谱及其包络

图7

如果在频域上对这个波形进行分析，我们将会得到形如图 7(b) 中的频谱，而它的包络线分为两段：从到(取上升时间和下降时间中的较小值)，频谱的包络以每十倍频率 20dB 下降；而在 之后，频谱的包络以每十倍频率 40dB 下降。

**那这个结论是怎么产生的呢？**

实际上，如果对此梯形波进行傅里叶分解，我们将会得到如下的表达式，其中，为其 n 次谐波的幅值。

对这样的形式，在时，；在 时，。

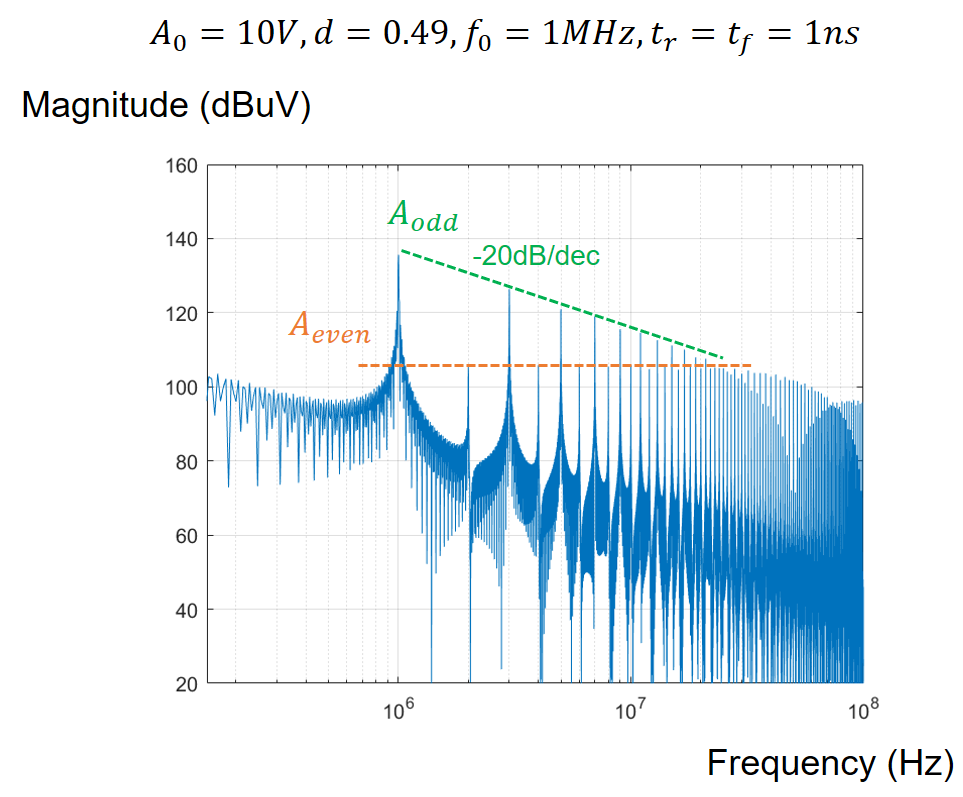
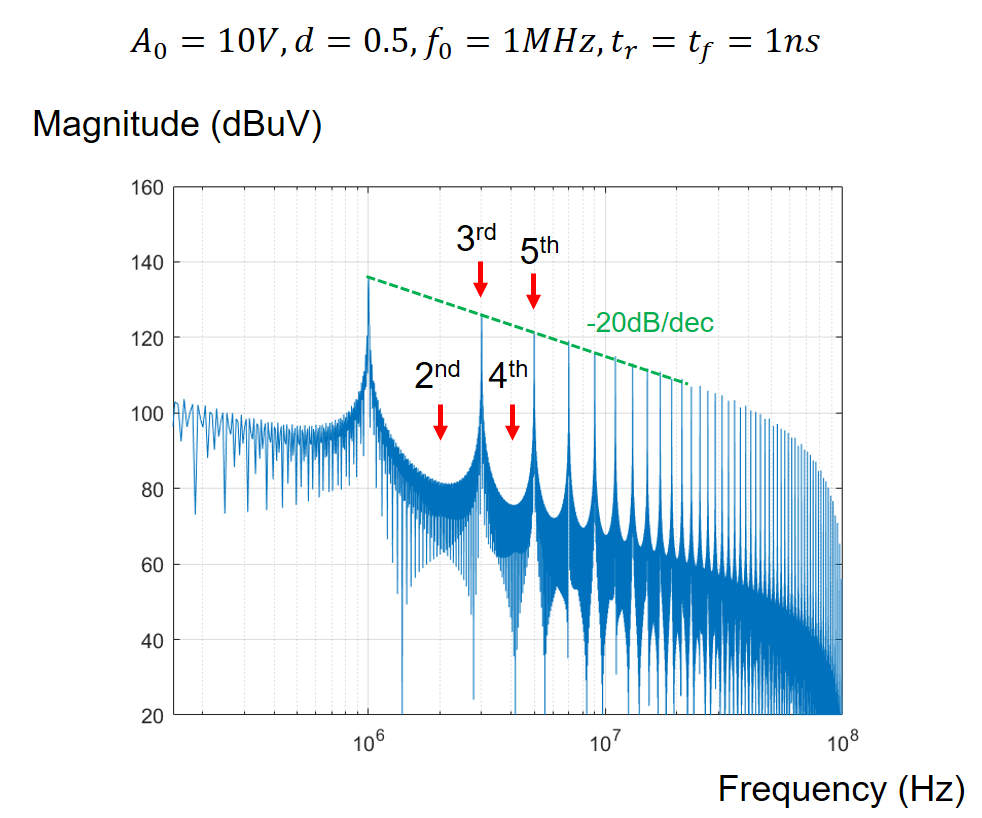
因此我们可以将其简化为公式（2）中所示的形式，并依此画出包络线。

对于到区间的表达式，函数与频率成反比；而在之后，函数与频率的平方成反比。因此我们得到了图 7 中展示的斜率。

**从公式（1）中我们还可以得到一些有趣的结论。**

如图 8 (a) 所示，如果 d = 0.5，当 n 为偶数时，，因此在频谱上是没有偶数次谐波分量的。

另外，如图 8 (b) 所示，当 d 与 0.5 接近的时候，偶次谐波的包络约等于。对于汽车电子来说，12V 转 5V 是一个很常见的应用，此时的占空比也比较接近 0.5，可以用这个结论帮助进行分析。



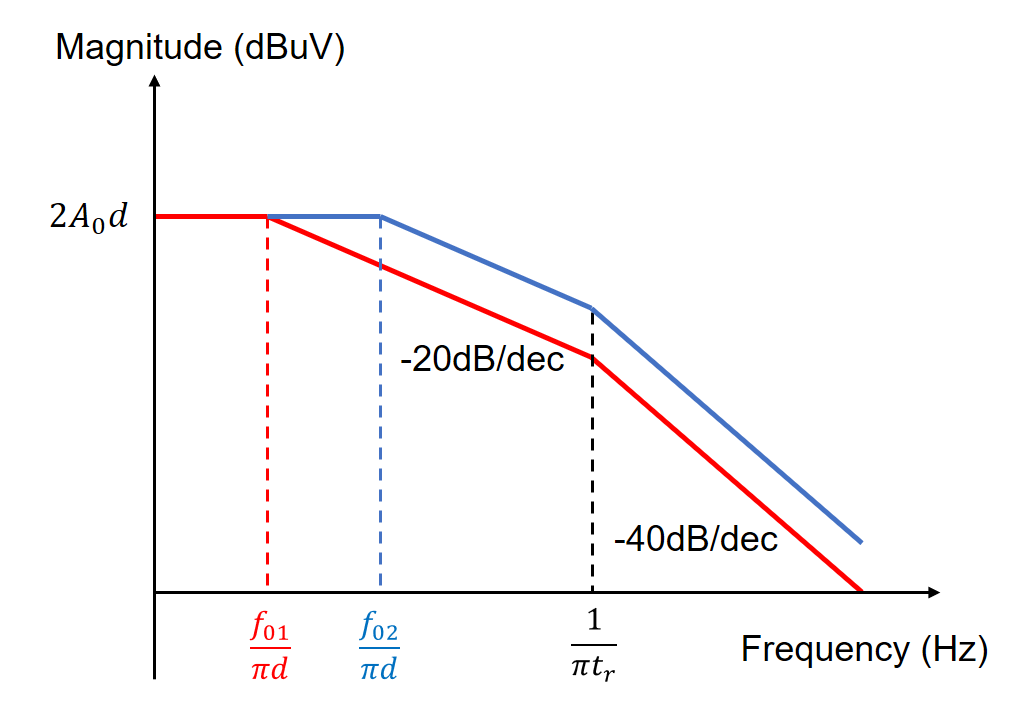
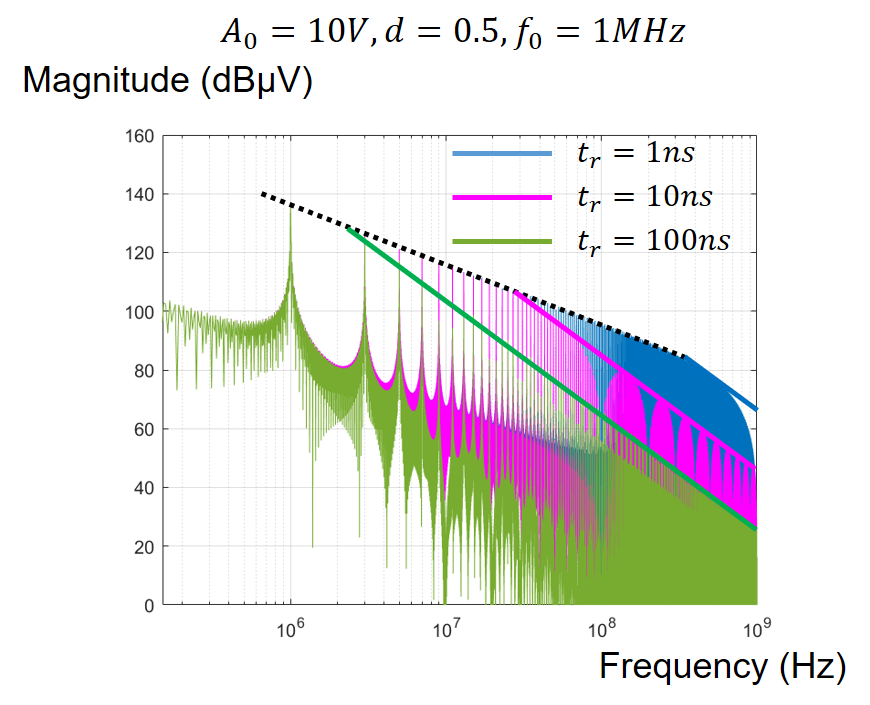
(a) 占空比为0.5的梯形波频谱 (b) 占空比接近0.5的梯形波频谱

图 8

**从公式（2）中，我们也可以对开关频率以及上升下降时间的影响进行量化分析。**

在其他条件不变的前提下，如图 9 (a) 所示，如果开关频率提高十倍，高频 EMI 的噪声源会整体提高 20dB；而如图 9 (b) 所示，如果开关上升/下降时间变为初始值的十分之一，则高频 EMI 的噪声源也会整体提高 20dB。

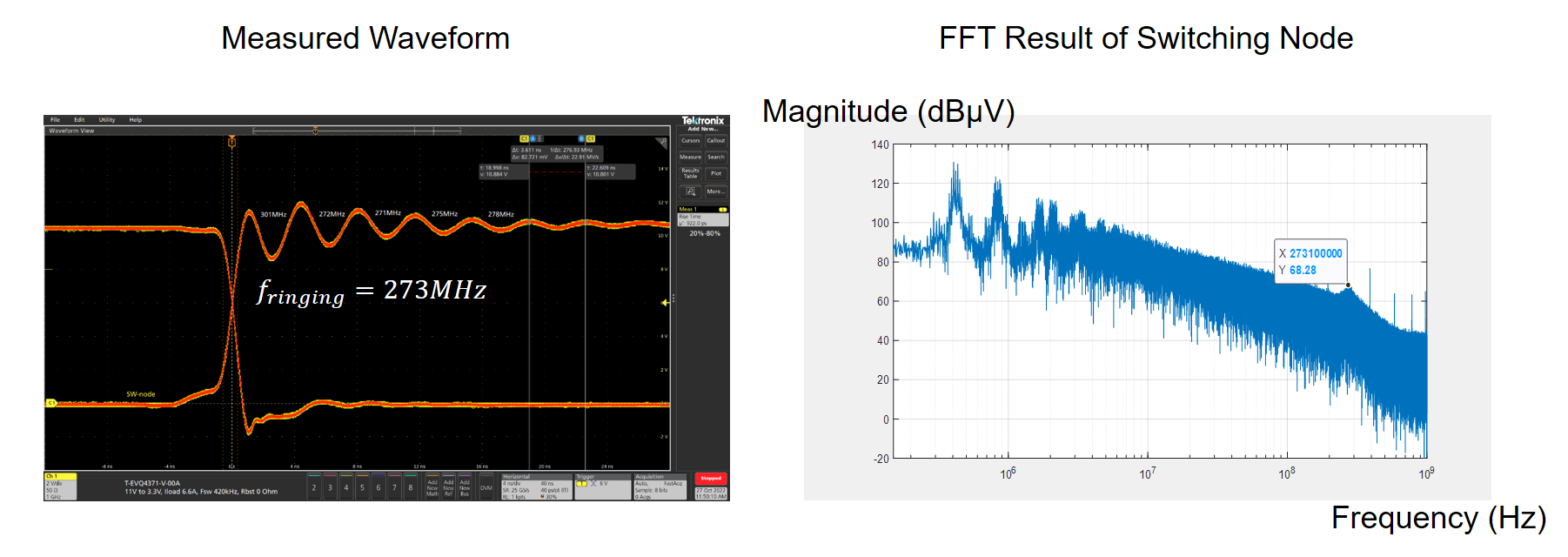
因此，提高开关频率虽然有助于减小电感元件，但确实也对 EMI 提出了更高的挑战。**而对于芯片设计来说，MPS 的大部分汽车电子芯片都支持客户通过模拟或者数字的形式来设置开关频率，从而帮助客户通过 EMI 测试。**

(a) 开关频率对频谱的影响 (b) 上升、下降时间对频谱的影响

图 9

以上分析主要是基于理想开关波形，而实际开关波形（如图 10(a) 所示）则往往会带有一些振荡，而在 EMI 频谱上，在对应振荡频率的位置也会出现一个凸起（如图 10(b) 所示）。我们将在下一节中分析如何对这个问题进行优化。



(a) Buck变换器开关波形实测结果 (b) 实际波形的FFT分解结果

图 10

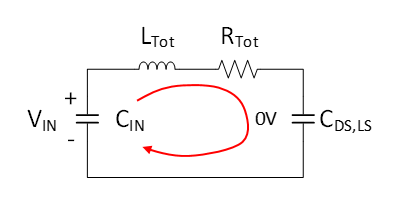
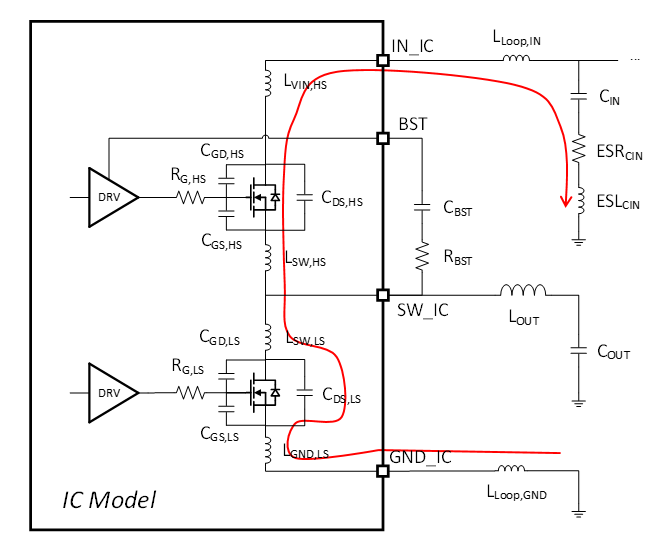
**三、IC 设计中优化 EMI 的方法**

**1. 对开关波形振荡的优化**

我们知道，在实际电路中，芯片、无源元件，以及 PCB 走线都会带来一些寄生参数。而在开关过程中，这些寄生参数会造成一些振荡。

图 11(a) 中展示了 Buck 变换器上管开通过程中，形成开关节点振荡的回路，其中 , 为 PCB 走线带来的寄生电感，, , , 为引脚到芯片内部晶片各节点的引线电感，, , 为 MOS 管的寄生电容。

这个回路其实是距离芯片最近的一颗输入电容 CIN 与芯片上下管之间形成的回路。在谐振发生时，CIN 上的电压较稳定，可以近似等效为输入电压 VIN。



(a) Buck 变换器上管开通过程中的振荡路径 (b) 振荡简化模型

图 11

通过进一步简化，我们可以得到图 11(b) 中的串联谐振模型，其中，为上管在开通过程中的电阻：

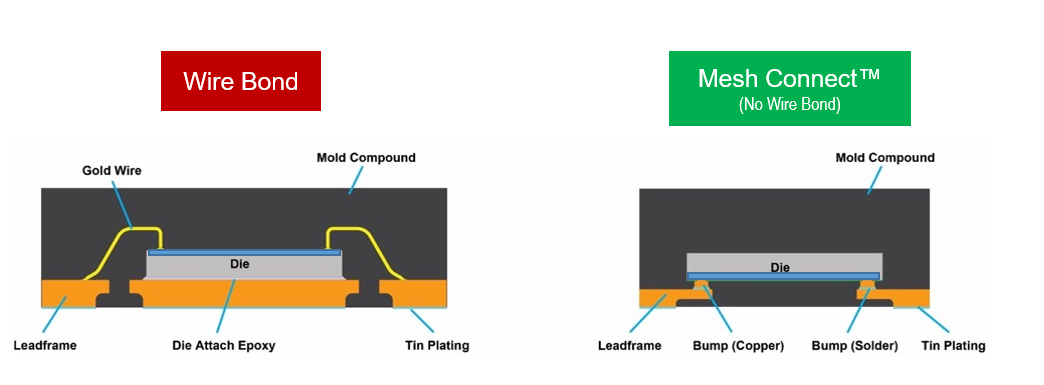
值得一提的时，在开通过程中，FET 处于饱和区，随着 VG-S 的增加，会逐渐减小，最终达到导通电阻。

对于这个串联谐振，其品质因数 Q 如（5）所示：

我们知道，Q 值越大，振荡越强烈。因此，为了从源头上减小这个振荡，我们需要做的是减小的值，或者增大和。

**在板级电路的设计上，是有一些方法来做到这点的。**比如通过在下管并联一个 RC snubber，可以等效增大电容；或者通过增加 Bootstrap 电阻来减小开通速度，从而等效增大谐振发生时的。但这些方法也有一些副作用，如增加了损耗，也增加了电路成本。

**从芯片设计上进行优化的优势更明显，副作用更小。**从封装技术上，相比传统的引线键合封装（如图 12(a) 所示），**MPS 的倒装封装技术（如图 12(b) 所示）大幅减小了封装带来的寄生电感，**可将, , , 等从 nH 级降为 pH 级。

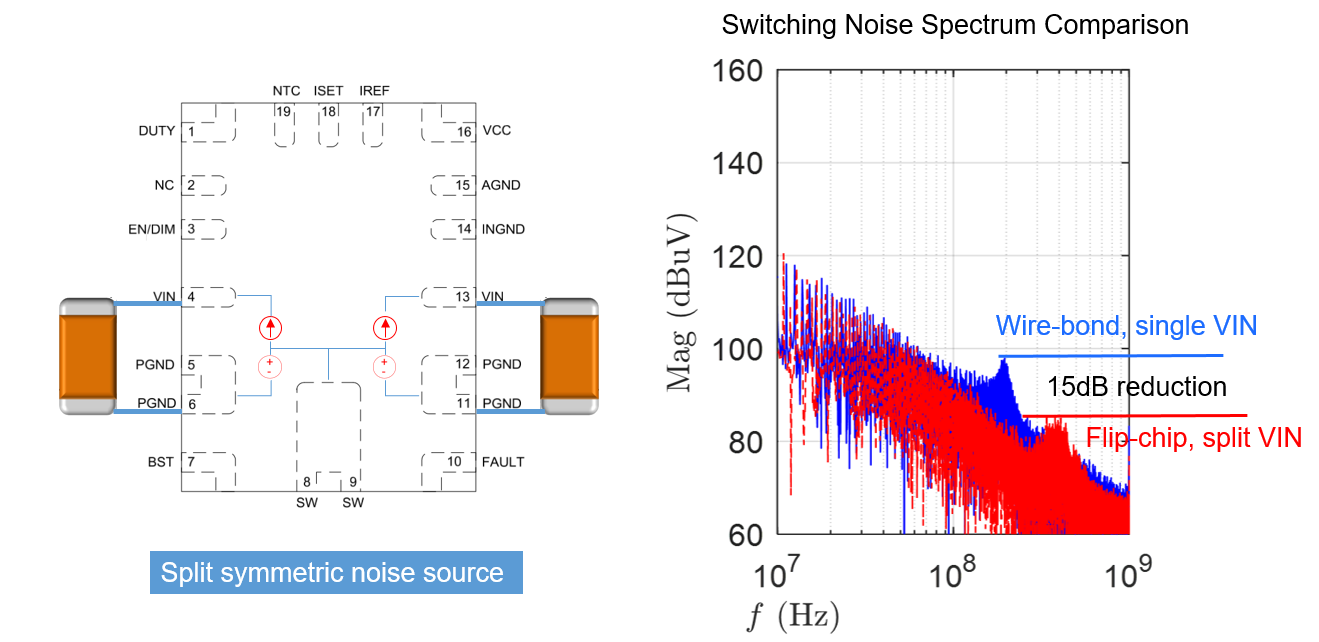


(a) 引线键合封装 (b) Mesh Connect 倒装封装

图 12

此外，由于振荡回路是由 VIN 与芯片内部上下管形成，**通过将输入环路分离为对称的两部分（如图 13(a) 所示），MPS 可以进一步降低输入回路的寄生电感。**

图 13(b) 对比了引线键合、单输入封装和倒装封装、输入分离设计的两颗芯片的噪声源频谱。从图中可见，**封装的改进带来了 15dB 以上的提升。**

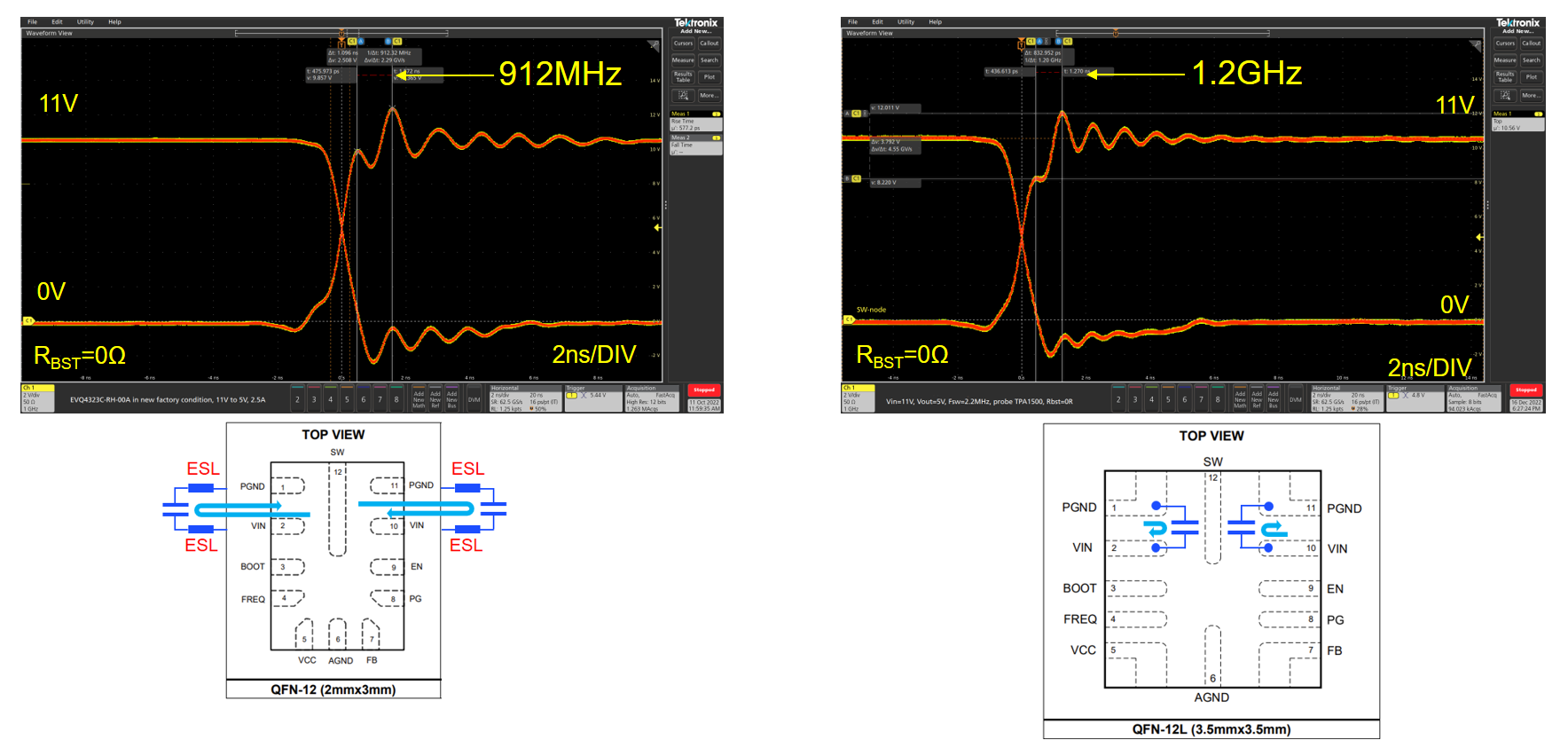


(a) 输入分离设计 (b) 噪声频谱对比

图 13

**为了进一步减小输出回路的电感，MPS 还可以进一步将输入电容也集成在封装之中。**

图 14 对比了集成输入电容的开关波形，由于回路电感进一步减小，**谐振频率已经在 1GHz 以上，**已经超过了许多 EMI 测试的要求范围。



(a) 不集成输入电容 (b) 集成输入电容

图 14 开关波形与引脚示意图

除了封装技术之外，在电路设计上也可以通过动态调整开关速度，使得谐振发生时，上管处于刚刚导通的状态，此时， 较大，从而可以有效抑制振荡强度。这一设计可通过设计多级驱动，并在合适的时间开通不同驱动来实现。

图 15 为一个两级驱动的示例。

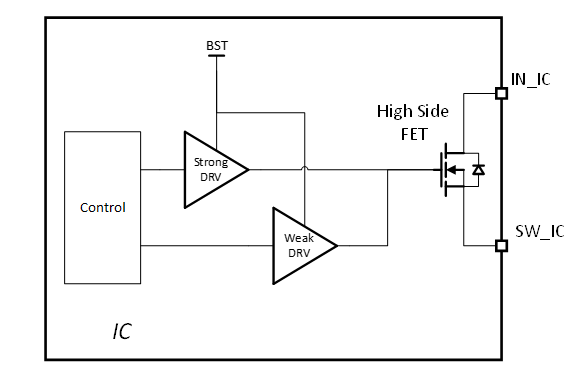
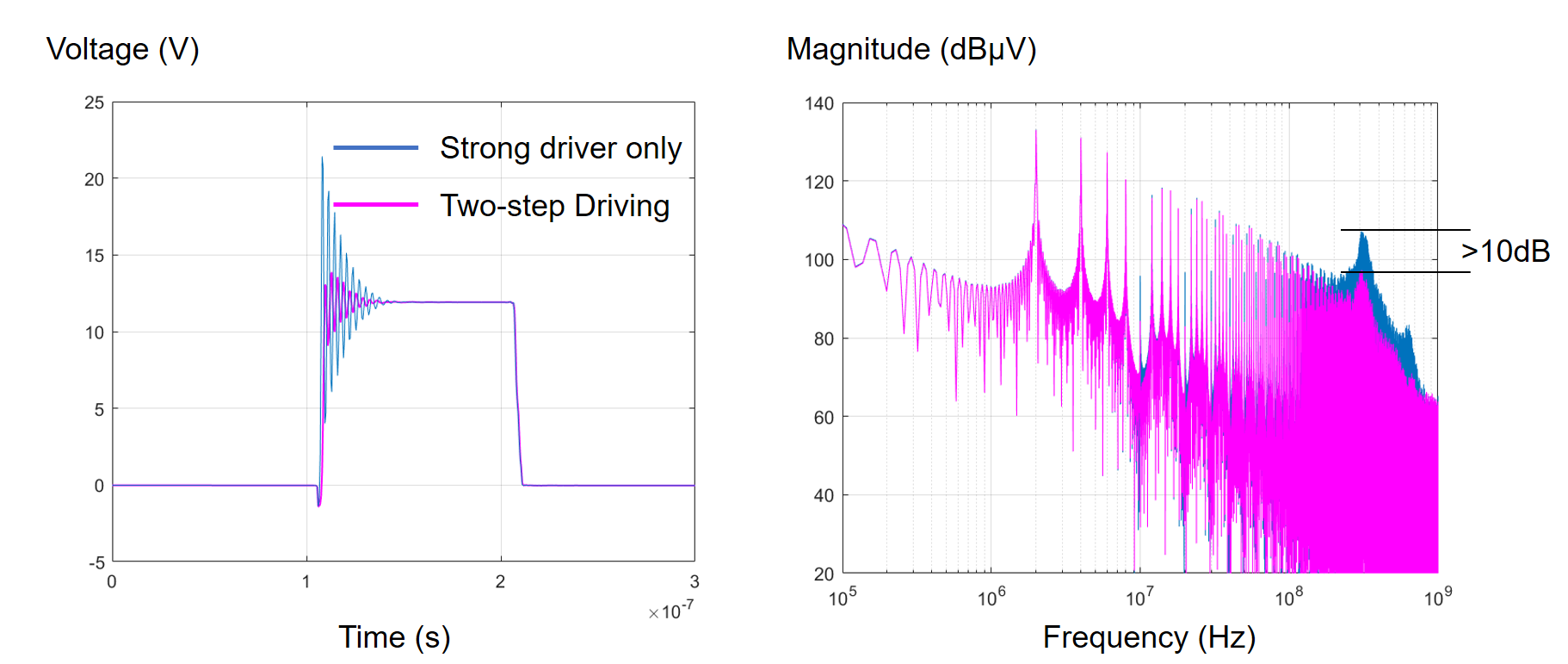


图 15多级驱动（以两级驱动为例）

**图 16 比较了传统的单级驱动方式与两级驱动的效果。**

从图 16(a) 的时域波形上可以看出，两级驱动有效地降低了开关时的振荡，而从图 16(b) 的频谱上来，两级驱动也有非常明显的效果，将振荡产生的 EMI 峰值抑制了 10dB 以上。因为这一方法只改变了谐振回路中的电阻，因此谐振频率不会发生变化。

另外，值得一提的是，由于多级驱动实际上降低了开关速度，它对开关损耗是有一定影响的。但相比于增加 Bootstrap 电阻的方法，由于多级驱动可以动态调节开关速度，在谐振发生后，芯片可以加快管子开通速度，从而使得总开关时间仅有有限的增加，来减少过多的开关损耗。



(a) 开关波形 (b) 开关频谱

图 16 单级驱动与两级驱动对比

**2. 通过抖频设计优化 EMI**

抖频技术可以通过将开关能量分散到不同的频率上，从而有效降低 EMI，这一部分在之前的分享中有详细介绍（可详见：[选择合适参数进行抖频设计](https://www.monolithicpower.cn/cn/support/videos/webinar-20230817-emi-2.html?utm_source=website&utm_medium=Press_release&utm_campaign=2025_meida_promo&utm_content=q1_emi_article)），因此在本文中暂略。

**总结**

**在本次的分享中，基于对噪声源频谱的分析，我们可以量化各个关键参数对于频谱的影响。另外，我们也介绍了芯片设计中降低 EMI 噪声的一些方法：**

从开关频率的选择上，MPS 芯片支持多种开关频率的选择，部分芯片也可以开启抖频；

从封装与布线设计上，MPS 的倒装封装，对称输入设计，集成输入电容等技术可以有效降低高频噪声源；

从驱动方法上，MPS 独特的多级驱动可以有效减小开关振荡。

[**查看更多技术资源**](https://www.monolithicpower.cn/cn/resources?utm_source=website&utm_medium=Press_release&utm_campaign=2025_meida_promo&utm_content=q1_emi_article)